AU5615/15X：四路 PLL、频率转换器 / 抖动衰减器 / 网络和端口同步器

概述

AU5615/15X 提供了可编程的四路基于小数频率转换的抖动衰减时钟合成器，提供灵活的输入到输出频率转换选项。超高的抖动性能 DPLL 可支持高达 4 个差分 / 8 个单端的输入时钟，该输入时钟由 4 个小数频率转换器共用，并提供 12 个时钟输出。时钟输出以高度灵活的方式从 4 个 PLL 派生。

AU5615 为 9 mm × 9 mm 的 QFN 封装，采用了外部晶体，AU5615X 为 9 mm × 9 mm 的 LGA 封装，采用了嵌入晶体。

器件可以通过 I²C/SPI 接口来配置或者由工厂将客户所需的配置烧录在器件的非易失性存储器（NVM）中，NVM 支持一次烧录。

器件型号：

AU5615：64-pin 9 mm × 9 mm QFN

AU5615X：64-pin 9 mm × 9 mm LGA

应用：

- 电信级以太网
- OTN 设备
- 微波回传
- 千兆以太网
- 无线基础设施
- 网络线卡
- 小基站
- 数据中心/存储
- SONET/SDH
- 测试/仪器仪表
- 广播视频

性能

- 超高性能 PLL
- 全集成设计，无需外部元件
- 85 fs 典型 RMS 积分抖动（12 k-20 M）
- 70 fs 典型 RMS 积分抖动（采用嵌入晶体 LGA 封装）
- 122.88 M 输出，具有出色的近端相位噪声性能
- 完全灵活的输出和输入多路复用器：在 PLL 的输出分配中具有高度的灵活性
- 为数据转换器时钟提供 JESD204B/C 支持
- 外部 EEPROM 支持
- 频率控制 DCO：所有输出端都提供 DCO 控制（0.001 ppt）
- 相位控制 DCO：精细相位调节旋钮（调整精度 < 1 ps），适用于闭环和开环模式下所有 PLL 输出端的相位
- 一流的无缝切换功能：PBO 的相位跳跃低于 25 ps，PPG 模式和 Frequency Ramp 模式可调频率/相位斜率
- 全集成的带宽可编程的环路滤波器，用于衰减抖动和漂移，低至 0.09 mHz
- 可重复的输入到输出延迟，具有输出相对延迟调整功能
- 内部 ZDB 模式的输入到输出延迟变化小于 0.5 ns（每个 PLL 都可独立启用此模式）
- 输出可在独立的同步脉冲上进行相位对齐
- 采用 64 引脚 9 mm × 9 mm 的 QFN/LGA 封装
- 集成嵌入晶体选项在订购时可用

产品系列	输入/输出	输入频率	输出频率	RMS 抖动	封装
AU5615/15X	4 个差分 / 8 个单端输入 高达 12 个差分 / 24 个单端输出	8 kHz - 2.1 GHz	0.5 Hz - 2.94912 GHz	~ 85 fs 典型值（QFN） ~70 fs 典型值（LGA）	64 QFN/LGA

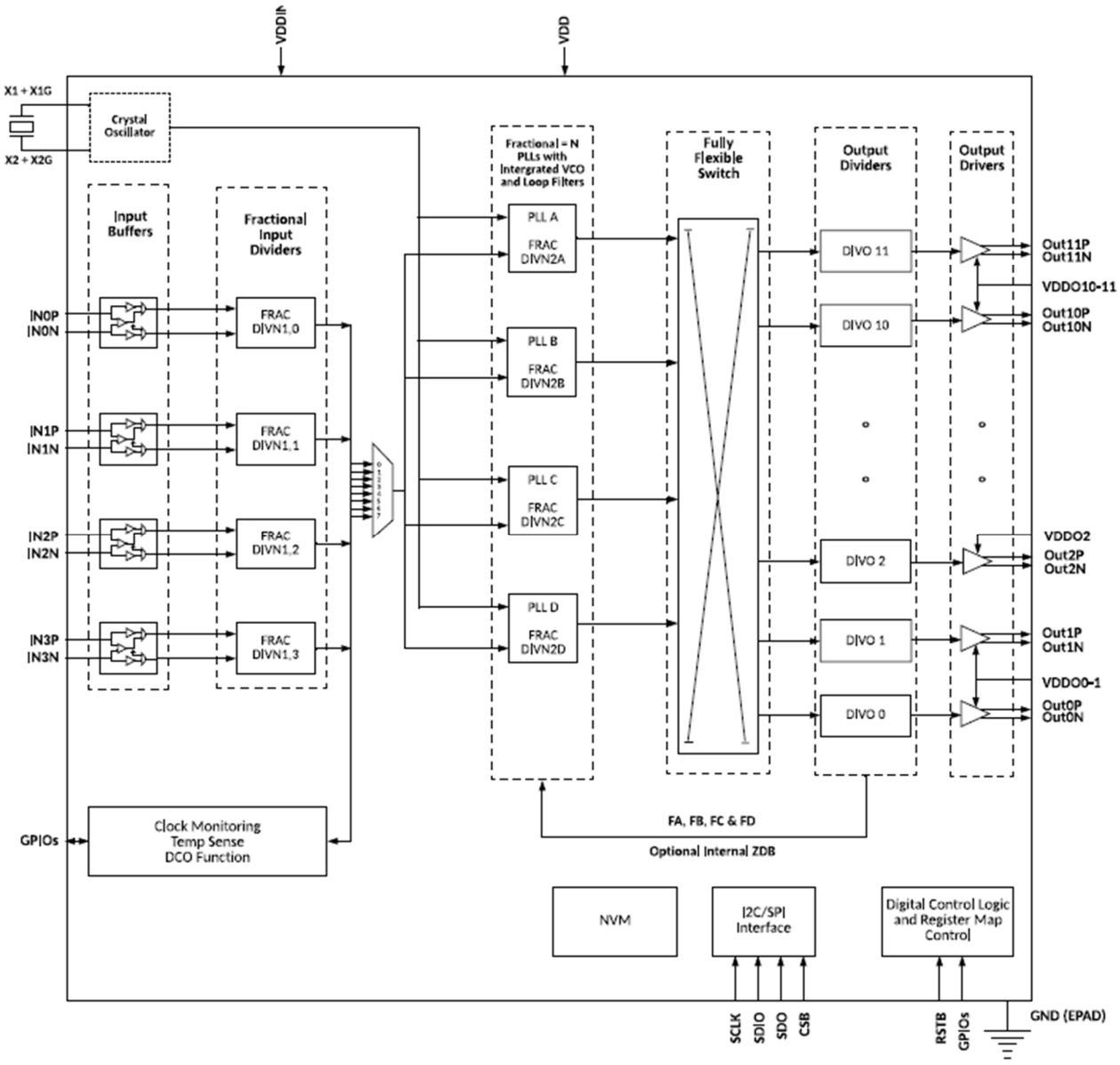

VDDIN
VDD
X1 + X1G
X2 + X2G
Crystal Oscillator
Input Buffers
Fractional Input Dividers
Fractional - N PLLs with Intergrated VCO and Loop Filters
Fully Flexible Switch
Output Dividers
Output Drivers
IN0P
IN0N
IN1P
IN1N
IN2P
IN2N
IN3P
IN3N
FRAC DIVN1_0
FRAC DIVN1_1
FRAC DIVN1_2
FRAC DIVN1_3
PLL A
FRAC DIVN2A
PLL B
FRAC DIVN2B
PLL C
FRAC DIVN2C
PLL D
FRAC DIVN2D
DIVO 11
DIVO 10
DIVO 2
DIVO 1
DIVO 0
Out11P
Out11N
VDDO10-11
Out10P
Out10N
VDDO2
Out2P
Out2N
Out1P
Out1N
VDDO0-1
Out0P
Out0N
GPIOs
Clock Monitoring
Temp Sense
DCO Function
FA, FB, FC & FD
Optional Internal ZDB
NVM
I2C/SPI Interface
Digital Control Logic and Register Map Control
SCLK
SDIO
SDO
CSB
RSTB
GPIOs
GND (EPAD)

图 1 功能框图