

ZSBM100X 用于生理信号测量的低功耗、3 通道、24 位模拟前端

1 特性

- 三个具有同步起搏输出的高分辨率数字心电图 (ECG) 通道
- 抗电磁干扰 (EMI) 输入
- 低功耗: 每通道 0.2mW
- 等效输入噪声: 0.8 μ Vrms (40Hz 带宽)
- 输入偏置电流: 65pA
- 数据速率: 高达 16ksps
- 差分输入电压范围: $\pm$ 500mV
- 模拟电源电压: 2.2V 至 5.5V
- 数字输入输出 (I/O) 电源电压: 1.8V 至 5.5V
- 右腿驱动放大器
- 直流导联脱落检测
- Wilson 中央端和 Goldberger 参考点
- 可配置的综合中断系统
- 内置振荡器与基准
- 灵活的断电和待机模式

2 应用

- 便携式 1~12 导联 ECG
- 病人生命体征监控: 动态心电图、事件、压力和远程医疗
- 自动体外除颤器

- ECG 柯氏音血压计
- 体育运动和健身 (心率和 ECG)

3 说明

ZSBM100X 包含便携式、低功耗医疗、体育运动和健身用心电图 (ECG) 应用中通常所需的全部特性。凭借高集成度以及出色的性能, ZSBM100X 能够以尺寸小、功耗低和整体成本的优势来创建可扩展的医疗仪器系统。

ZSBM1003 具有 3 个 (ZSBM1001 具有 1 个) 能够以高达 16ksps 速率工作的高分辨率通道。该器件可单独针对每个通道编程特定的采样率和带宽, 从而使用户可针对性能和功耗来优化配置。所有输入引脚均包含一个 EMI 滤波器, 并且可通过一个灵活的选通器连接至任一通道。另外, 凭借这一灵活的选路功能, 无需从外部重新连接导联即可实现独立的导联脱落检测、右腿驱动、以及生成 Wilson 中央端/Goldberger 参考点。

另外, ZSBM100X 包含了一个可配置的综合中断系统, 可实现以下功能:

- 共模超限检测
- 右腿驱动直流脱落检测
- 直流脱落检测
- FIFO 阈值检测/上溢出/下溢出异常检测
- 即时数据读取
- 定时器中断

此器件采用 5mm x 5mm x 0.75mm, 28 引脚 QFN 封装。-40°C to 85°C 的运行温度范围。

4 功能框图

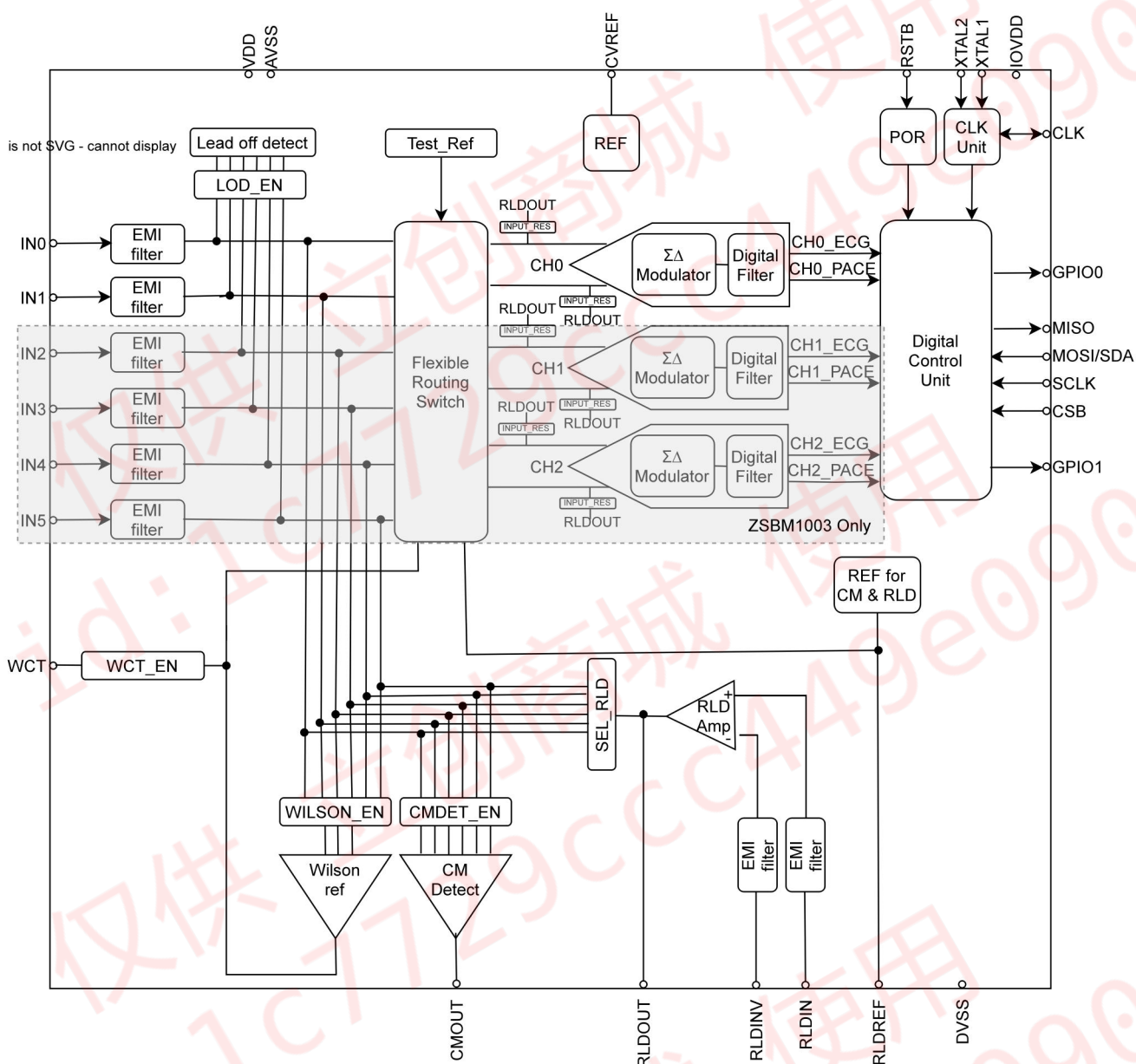


图 1. 功能框图

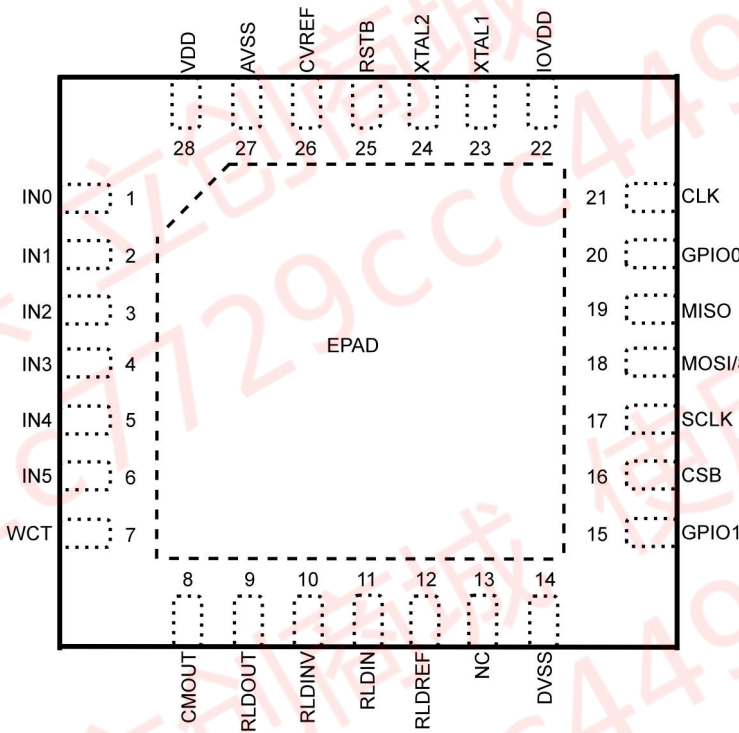
目录

1 特性	1	9 寄存器表	29
2 应用	1	10 寄存器描述	39
3 说明	1	10.1 系统、全局寄存器	39
4 功能框图	2	10.2 GPIO 相关寄存器	40
5 引脚配置和功能	4	10.3 模拟输入选通器相关寄存器	42
6 极限参数	6	10.4 AFE 相关寄存器	47
7 电气特性	6	10.5 WCT 相关寄存器	51
8 功能描述	13	10.6 共模检测相关寄存器	53
8.1 模拟输入选通器 (Flexible Routing Switch)	13	10.7 电缆屏蔽驱动相关寄存器	54
8.2 模拟前端 (Analog Front-End)	13	10.8 右腿驱动相关寄存器	55
8.3 WCT 模块 (Wilson Central Terminal)	15	10.9 脱落检测相关寄存器	56
8.4 共模检测器 (Common-Mode Detector)	17	10.10 NOTCH 相关寄存器	61
8.5 电缆屏蔽驱动 (Cable Shield Driving)	18	10.11 ADPCM 相关寄存器	63
8.6 右腿驱动 (Right-Leg Drive)	19	10.12 ECG 数据输出位宽相关寄存器	64
8.7 脱落检测 (Lead-Off Detect)	19	10.13 FIFO 相关寄存器	65
8.8 脱落检测中断报警 (INT_LO)	21	10.14 即时数据相关寄存器	73
8.9 数据处理 (Data Processing)	22	10.15 系统时钟控制寄存器	74
8.10 系统时钟 (System Clock)	24	10.16 定时器相关寄存器	75
8.11 定时器 (Timer)	25	11 封装与包装信息	77
8.12 同步 (Synchronization)	26	11.1 封装外形尺寸	77
8.13 参考电压发生器 (Reference Voltage Generators)	26	11.2 包装材料信息	78
8.14 可配置的综合中断系统 (Configurable Interrupt System)	26	12 型号列表	80
8.15 编程 (Programming)	26	联系方式	81
8.16 复位 (RESET)	27	修订历史记录	81
		法律声明	82

5 引脚配置和功能

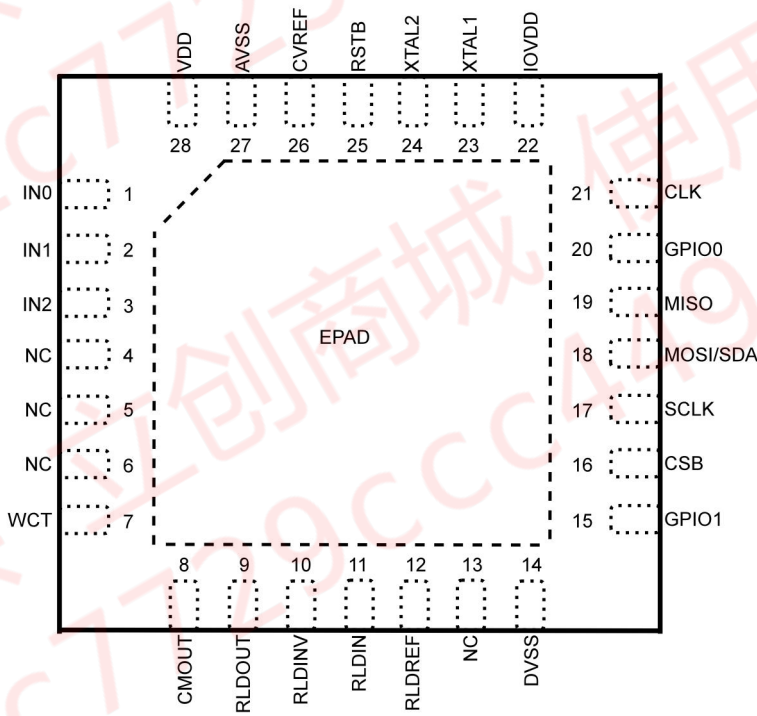
28-PIN QFN (ZSBM1003)

俯视图



28-PIN QFN (ZSBM1001)

俯视图



引脚功能

引脚序号 (QFN-28)		名称	类型	描述
(ZSBM 1003)	(ZSBM 1001)			
1-3	1-3	IN0-IN2	AI	电极输入信号
4-6		IN3-IN5	AI	电极输入信号
	4-6	NC	R	无内部连接
7	7	WCT	AO	WCT 模块输出
8	8	CMOUT	O	共模电压输出
9	9	RLDOUT	AO	右腿驱动放大器输出
10	10	RLDINV	AI	右腿驱动放大器负极输入
11	11	RLDIN	AIO	右腿驱动放大器正极输入
12	12	RLDREF	AO	右腿驱动参考电压输出
13	13	NC	R	无内部连接
14	14	DVSS	S	数字/IO 接地
15	15	GPIO1	DIO	GPIO1
16	16	CSB	DI	SPI 片选
17	17	SCLK	DI	SPI 时钟输入
18	18	MOSI/SDA	DIO	4 线 SPI 数据输入/3 线 SPI 数据收发
19	19	MISO	DO	4 线 SPI 数据输出
20	20	GPIO0	DIO	GPIO0
21	21	CLK	DIO	内部时钟输出或外部时钟输入
22	22	IOVDD	S	IO 电源
23	23	XTAL1	DI	时钟振荡器外部晶体
24	24	XTAL2	DI	时钟振荡器外部晶体
25	25	RSTB	DI	复位输入
26	26	CVREF	AIO	内部参考电压的外部电容
27	27	AVSS	S	模拟地
28	28	VDD	S	电源
DAP	DAP	—	—	无内部连接

6 极限参数

参数	符号	最小值	典型值	最大值	单位	备注
电源电压	VDD	-0.3		6	V	到 AVSS
IO 电源电压	IOVDD	-0.3		6	V	到 DVSS
IO 电压	V _{IO}	-0.3		IOVDD	V	到 DVSS
存储温度	T _s	-45		125	°C	
工作温度	T _c	-40		85	°C	
静电放电 (HBM) ⁽¹⁾	ESD _{HBM}	4000			V	
静电放电 (CDM) ⁽²⁾	ESD _{CDM}	500			V	

(1) JEDEC 文件 JEP155 指出, 500V HBM 允许使用标准 ESD 控制制程进行安全制造。

(2) JEDEC 文件 JEP157 指出, 250V CDM 允许使用标准 ESD 控制制程进行安全制造。

7 电气特性

除非另有说明, 否则所有特性值是在 T_A=25°C、2.2V≤VDD≤5.5V、1.8V≤IOVDD≤5.5V、VREF=0.9V、f_{OSC}=1.024MHz、CVREF 和 AVSS 之间串有 1μF 低 ESR 电容、RLDREF 和 AVSS 间串有 0.1μF 电容的情况下得出。

参数	试验条件	最小值 ⁽²⁾	典型值 ⁽³⁾	最大值 ⁽²⁾	单位
电源 (VDD、IOVDD)					
VDD	模拟电源电压	T _{MIN} ≤T _A ≤T _{MAX}	2.2	5.5	V
I _{VDD}	模拟电源电流	待机模式	1.5		μA
		T _{MIN} ≤T _A ≤T _{MAX}		TBD	
		1 channel, WILSON OFF, RLD OFF, CMDDET OFF, LOD OFF, 低功耗	250		μA
		T _{MIN} ≤T _A ≤T _{MAX}		TBD	
		1 channel, WILSON OFF, RLD OFF, CMDDET 关闭, LOD OFF, 高分辨率	365		
		T _{MIN} ≤T _A ≤T _{MAX}		TBD	
		3 channel, WILSON OFF, RLD OFF, CMDDET 关闭, LOD OFF, 低功耗	430		
		T _{MIN} ≤T _A ≤T _{MAX}		TBD	
		3 channel, WILSON	445		

参数		试验条件	最小值 ⁽²⁾	典型值 ⁽³⁾	最大值 ⁽²⁾	单位	
		ON, RLD ON, CMDDET ON, LOD ON, 低功耗, 低电容 驱动器					
		T _{MIN} ≤T _A ≤T _{MAX}	TBD				
		3 channel, WILSON ON, RLD ON, CMDDET ON, LOD ON, 高分辨率, 低电 容驱动器	730				
		T _{MIN} ≤T _A ≤T _{MAX}	TBD				
		3 channel, WILSON ON, RLD ON, CMDDET ON, LOD ON, 高分辨率, 高电 容驱动器	795				
		T _{MIN} ≤T _A ≤T _{MAX}	TBD				
IOVDD	IO 电源电压	T _{MIN} ≤T _A ≤T _{MAX}	1.8		5.5	V	
I _{IOVDD}	静态电流 IO 电源			0.5		μA	
模拟输入 (IN0-IN5)							
I _B	输入偏置电流	T _A = 25°C, LOD OFF	-65			65	pA
		T _A = 85°C, LOD OFF				TBD	pA
		T _{MIN} ≤ T _A ≤ T _{MAX}					
RIN	差分输入电阻			20 30 60 120 240 480 1000 2000 5000 10000		MΩ	
EMIR	EMI 滤波器抑制 比, IN+、IN-	f = 400MHz		95		dB	
		f = 900MHz		110		dB	

参数		试验条件	最小值 ⁽²⁾	典型值 ⁽³⁾	最大值 ⁽²⁾	单位
		f = 1.8GHz	120			dB
		f = 2.4GHz	125			dB
模拟前端 (AFE)						
DIVR	差分输入电压范围	T _{MIN} ≤ T _A ≤ T _{MAX}	-500		500	mV
CMV R	全 DIVR 的共模电压范围	T _{MIN} ≤ T _A ≤ T _{MAX}	400		550	mV
V _{OS}	输入失调电压		TBD			μV
		T _{MIN} ≤ T _A ≤ T _{MAX}	TBD			
CMR R	共模抑制比	50 / 60 Hz, VCM _{DC} = RLDREF, VCM _{AC} = 1.2V _{pp}	90			dB
V _e - ECG	ECG 输入参考电压噪声 ⁽⁴⁾	0.1-200Hz, 低功率模式	2.7			μV _{rms}
		T _{MIN} ≤ T _A ≤ T _{MAX}	TBD			
		0.1-200Hz, 高分辨率模式	1.6			
		T _{MIN} ≤ T _A ≤ T _{MAX}	TBD			
		0.1-40 Hz, 低功率模式	0.9			
		T _{MIN} ≤ T _A ≤ T _{MAX}	TBD			
		0.1-40 Hz, 高分辨率模式	0.8			
		T _{MIN} ≤ T _A ≤ T _{MAX}	TBD			
V _e - PACE	PACE 输入参考电压噪声	1-400Hz, 低功率模式	12.1			μV _{rms}
		1-3.2kHz, 高分辨率模式	17.7			
N _e	等效输入噪声密度	0.1-200Hz, 低功率模式	190			nV/√Hz
		T _{MIN} ≤ T _A ≤ T _{MAX}	TBD			
		0.1-200Hz, 高分辨率模式	113			
		T _{MIN} ≤ T _A ≤ T _{MAX}	TBD			
PSRR	电源抑制比	50/60Hz	140			dB
XTLK	从大信号通道到零输入通道的串扰	相邻通道	-89			dB
		非相邻 (CH0/CH2)	-115			

参数		试验条件	最小值 ⁽²⁾	典型值 ⁽³⁾	最大值 ⁽²⁾	单位
ENO B- ECG	ECG 的有效位数	200Hz 带宽, 低功率模式	18.5			bits
		$T_{MIN} \leq T_A \leq T_{MAX}$	TBD			
		200Hz 带宽, 高分辨率模式	19.3			bits
		$T_{MIN} \leq T_A \leq T_{MAX}$	TBD			
ENO B- PACE	PACE 的有效位数	3.2 kHz 带宽, 高分辨率模式	15.8			bits
RS- ECG	采样率 ECG 通道	$T_{MIN} \leq T_A \leq T_{MAX}$ (见表 2)	0.128		8	ksps
RS- PACE	采样率 PACE 通道	$T_{MIN} \leq T_A \leq T_{MAX}$ (见表 1)	2		16	ksps
TSKE W	通道之间的采样时间偏移	多芯片同时采样		0		μs
内部参考 (V _{REF})						
V _{REF}	内部参考电压			0.9		V
	内部参考精度			±0.08%		
	内部参考漂移			77		ppm/°C
	内部参考启动时间			10		ms
右腿驱动放大器 (RLD Amp)						
V _{OS}	输入失调电压			±1.35		mV
CMV R	共模电压范围	$T_{MIN} \leq T_A \leq T_{MAX}$	400		550	mV
GBW	可编程增益带宽	低带宽模式	35			kHz
		高带宽模式			240	kHz
SR	压摆率	低带宽模式		15		mV/μs
		高带宽模式		100		mV/μs
C _I _{MAX}	可编程电容负载驱动能力	高带宽、低电容驱动模式 (见表 4)		1		nF
		低带宽、高电容驱动模式 (见表 4)		10		nF
IVDD	静态功耗	低带宽、低电容驱动模式		9.6		μA
		$T_{MIN} \leq T_A \leq T_{MAX}$			TBD	

参数		试验条件	最小值 ⁽²⁾	典型值 ⁽³⁾	最大值 ⁽²⁾	单位
		高带宽、高电容驱动模式	108			μA
		$T_{\text{MIN}} \leq T_{\text{A}} \leq T_{\text{MAX}}$	TBD			
右腿驱动器参考 (RLD REF)						
$\text{RLD}_{\text{RE}}^{\text{F}}$	输出电压	空载	400	500	550	mV
共模检测与电缆屏蔽驱动						
CMV_{R}	共模电压范围	$T_{\text{MIN}} \leq T_{\text{A}} \leq T_{\text{MAX}}$	400		550	mV
BW	可编程带宽	低带宽模式	35			kHz
		高带宽模式			240	kHz
SR	压摆率	低带宽模式		15		mV/ μs
		高带宽模式		100		mV/ μs
CI_{MAX}	可编程电容负载驱动能力	高带宽、低电容驱动模式 (见表 3)		1		nF
		低带宽、高电容驱动模式 (见表 3)		10		nF
IVDD	功耗 (选定电极)	N 个电极, 低带宽模式, 低电容驱动模式		$9.6+1.2 \times N$		μA
		N 个电极, 高带宽模式, 高电容驱动模式		$108+1.2 \times N$		μA
WCT 模块 (WCT)						
IVR	输入电压范围	$T_{\text{MIN}} \leq T_{\text{A}} \leq T_{\text{MAX}}$	250		900	mV
BW	带宽	3 个缓冲器使能		50		kHz
SR	压摆率	3 个缓冲器使能		750		mV/ μs
N_{e}	噪声密度	10Hz		62		$\text{nV}/\sqrt{\text{Hz}}$
V_{e}	WCT 模块放大器的输入参考噪声	0.1-200Hz, 3 个缓冲器使能		5.5		μV_{pp}
IVDD	功耗 (选定电极)	N 个电极, 低功率模式		$9 \times N$		μA
脱落检测 (LOD)						
VTH_{Dc}	直流脱落比较器阈值			0.8		V
V_{HYST}	比较器滞回	直流脱落模式		74		mV
IVDD	功耗	编程, 不包括激励电流		9		μA

参数		试验条件	最小值 ⁽²⁾	典型值 ⁽³⁾	最大值 ⁽²⁾	单位
DCL O	脱落电流范围		2		30	nA
	脱落电流步长			2		nA
	脱落高阈值			0.8		V
	脱落低阈值			0.2		V
时钟 (Clock)						
f _{OSC}	内部时钟频率	f _{CRYSTAL} = 12.288MHz		1.024		MHz
		f _{internal} = 12.288MHz		1.024		
	内部时钟占空比			50%		
TSTA RT	内部时钟开启时间	f _{CRYSTAL} = 12.288MHz		12		ms
		f _{internal} = 12.288MHz		1		
IVDD	内部时钟功耗	f _{CRYSTAL} = 12.288MHz	40	60	190	μA
		f _{internal} = 12.288MHz		65		
f _{EXT}	外部时钟频率	T _{MIN} ≤ T _A ≤ T _{MAX}		12.288		MHz
	外部时钟占空比 ⁽⁵⁾	T _{MIN} ≤ T _A ≤ T _{MAX}	40%	50%	60%	
数字输入/输出特性 (Digital Input/Output Characteristics)						
V _{DI}	输入电压范围		0		IOVDD	V
V _{T+}	施密特触发低到高	IOVDD = 3.3V		2.0		V
V _{T-}	施密特触发高到低	IOVDD = 3.3V		1.3		V
V _{OL}	输出低电平	IOVDD = 3.3V			0.4	V
V _{OH}	输出高电平	IOVDD = 3.3V	2.4			V
I _{OL}	低电平输出电流	IOVDD = 3.3V V _{OL} = 最大值, 取决于 IO_DS 配置值				
		IO_DS=0	3.7	5.9		mA
		IO_DS=1	12.7	19.9		mA
I _{OH}	高电平输出电流	IOVDD = 3.3V V _{OH} = 最小值, 取决于 IO_DS 配置值				
		IO_DS=0	3.2	4.3		mA
		IO_DS=1	9.9	13.6		mA
V _{OL}	输出低电平	IOVDD = 1.8V			0.22	V
V _{OH}	输出高电平	IOVDD = 1.8V	1.3			V

参数		试验条件	最小值 ⁽²⁾	典型值 ⁽³⁾	最大值 ⁽²⁾	单位
I _{OL}	低电平输出电流	IOVDD = 1.8V V _{OL} = 最大值，取决于 IO_DS 配置值				
		IO_DS=0	0.95	1.6		mA
		IO_DS=1	3.3	5.5		mA
I _{OH}	高电平输出电流	IOVDD=1.8V V _{OH} = 最小值，取决于 IO_DS 配置值				
		IO_DS=0	0.78	1.1		mA
		IO_DS=1	2.4	3.5		mA
SPI 通讯 (Serial Clock Frequency)						
F _{SCLK}	频率	IOVDD=3.3V 总线负载电容 30pF， 位速度取决于 IO_DS 配 置值				
		IO_DS=0			20	MHz
		IO_DS=1			20	MHz
F _{SCLK}	频率	IOVDD=1.8V 总线负载电容 30pF， 位速度取决于 IO_DS 配 置值				
		IO_DS=0			8	MHz
		IO_DS=1			20	MHz

(1) 典型值仅为估计值, 非确定值。

(2) 除非另有说明, 否则数据表最大/最小值由测试确定。

(3) 典型值代表在 $T_A=25^{\circ}\text{C}$ 和推荐操作条件下最有可能的参数规范, 且不能确保。

(4) 至少使用 1000 个连续读数来计算噪声。

(5) 设计要求值, 非实测值。

8 功能描述

ZSBM100X 是用于心电图应用的完全集成的信号链。它具有三个低功耗、24 位分辨率的 ECG 通道，用于心电图检测和起搏监测。此外，ZSBM100X 还具有直流脱落检测、右腿驱动能力以及 Wilson 和 Goldberger 中央电极功能。

三个同步的 ECG 通道可提供具有 25Hz 到 1.6kHz 的截止频率的数字滤波，每个通道滤波器都可以独立设置。此外，ZSBM100X 为每个通道提供了一个较高采样率的输出，其截止频率可编程在 400 Hz 和 3.2kHz，这些输出信号非常适合感测起搏器信号。每个通道提供了足够的动态范围来处理电极失配和运动伪影，而不牺牲分辨率。每个输入都有内置的 EMI 滤波器，可以用来消除来自射频发射器的噪声。

8.1 模拟输入选通器 (Flexible Routing Switch)

模拟输入选通器可以将 6 个模拟输入引脚中的任何一个连接到三个 ADC 的 P 端或者 N 端。这使得系统有非常大的灵活性，甚至允许 ECG 监测系统的动态重新配置。出于测试目的，三个 ADC 的输入差分通道可以进行 ADC 的输入短路进行测试。

对于 ZSBM1001，只有 3 个模拟输入引脚 IN0、IN1、IN2。

模拟输入选通器内部的交换机路径如图 2 所示。此图显示了单个通道的开关路径，所有通道都完全相同。

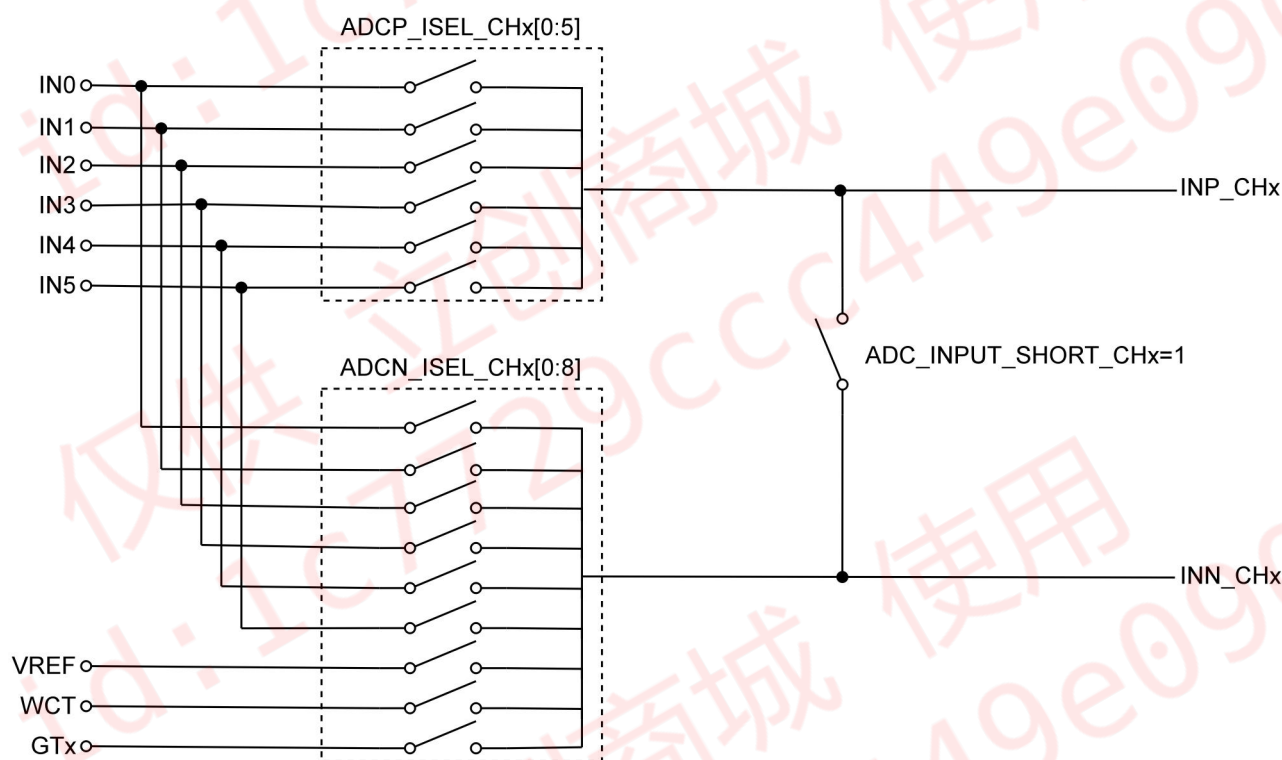


图 2. 任意单路通道的模拟输入选通器

除了灵活的输入配置，ADC0/1/2 的 N 端还可以连接 VREF, WCT, GTx (GT0/GT1/GT2)。其中，ADC0 的 N 端可以连接 GT0，ADC1 的 N 端可以连接 GT1，ADC2 的 N 端可以连接 GT2。

8.2 模拟前端 (Analog Front-End)

ZSBM100X 包含三个模拟前端，用于将差分模拟电压转换为数字信号。每个模拟前端包括一个 Sigma-Delta 调制器 (SDM) 和一个数字滤波器。

- ZSBM1001 仅通道 0 的 ECG 通道可使用，默认 CH0_ECG_EN=1，不用单独设置打开（见 CHANNEL_NUMB_IND[1:0] 说明）；

- ZSBM1003 的通道 0、通道 1 和通道 2 可同时使用，ECG 和 PACE 通道也可同时使用（见 CHANNEL_NUMB_IND[1:0]说明）；
 - ◆ ZSBM1003 的三个模拟前端的 ECG 通道可通过 CHx_ECG_EN 寄存器控制是否使能；
 - ◆ ZSBM1003 的三个模拟前端的 PACE 通道可通过 CHx_PACE_EN 寄存器控制是否使能；
- 各模拟前端可通过设置 OP_EN 寄存器为 1 开始工作；可通过设置 OP_EN 寄存器为 0 停止工作。

8.2.1 Sigma-Delta 调制器 (SDM)

Sigma-Delta 调制器 (SDM) 获取通过开关阵列配置的一对输入信号，并将该信号转换为带有高频噪声的数字信号，该数字信号由可编程数字滤波器进一步处理获得高分辨率数字信号。

SDM 可以在 1MHz（默认）和 125kHz 的时钟频率下工作；这些频率均可由内部配置产生。同时，SDM 的过采样率 (OSR) 有 4 档选择，1024（默认），512，256 和 128。使用较低的时钟频率可降低系统功耗，但若过采样率不变，有效信号带宽也会降低；若过采样率等比降低，则有效信号带宽不变，但分辨率降低。例如，若将默认设置改为 125kHz 时钟频率，过采样率不变，则数字滤波器后信号有效带宽从 200Hz 降至 25Hz。用户可结合应用需求配置以平衡功耗，带宽和精度。

SDM 的时钟频率通过寄存器 CLK_DIV_RATIO[1:0]配置。过采样率通过寄存器 R1_RATE_CHx_ECG[1:0]配置。

8.2.2 可编程数字滤波器 (Programmable Digital Filters)

在 Sigma-Delta 调制器 (SDM) 后面有一个可编程数字滤波器，作用是对从 SDM 输出的 bit 流来重建信号。滤波器由两级可编程 SINC 滤波器组成，如图 3 所示。每一级都是五阶 SINC 滤波器。

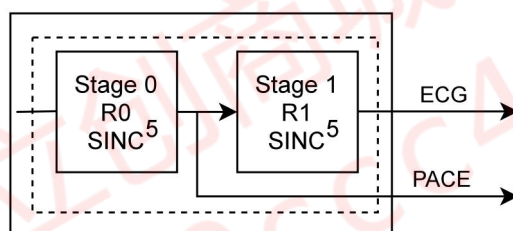


图 3. SINC 滤波器

SINC 滤波器的抽取率 R0 是固定值 64，R1 是可编程的。两级中的每一级进一步对 bit 流进行滤波和抽取，从而降低信号的输出数据速率 (ODR) 和带宽 (BW)，同时提高分辨率。在第一级之后，可以获得具有较高 ODR 和 BW 但分辨率有限的 16 位数字信号，该信号可用于 PACE 脉冲检测。该信号在第二级被进一步抽取，并产生一个非常高分辨率滤波的 24 位数字信号，该信号可用于 ECG 的准确表示。

ZSBM100X 的可编程数字滤波器提供了一系列输出数据速率和带宽配置，从而可实现不同级别的性能和功耗。

PACE 数据速率和 CLK_DIV_RATIO[1:0]这个参数有比例的关系。经过第一级设置之后的标准 PACE 数据速率如下表所示。

表 1. 可编程数字滤波器配置 PACE 数据速率

CLK_DIV_RATIO[1:0]	2'b00 (default)	2'b01	2'b10	2'b11
PACE 数据速率	16ksps	8ksps	4ksps	2ksps

随着第二级抽取 (R1) 的增加，ECG 的 ODR 和 BW 将减小。当检测 ECG 信号时，建议使用更高的 R1 值。每个通道的 R1 抽取率可以使用 R1_RATE_CH0_ECG、R1_RATE_CH1_ECG 和 R1_RATE_CH2_ECG 寄存器单独编程。ECG 数据速率如下：

表 2. 可编程数字滤波器配置 ECG 数据速率

CLK_DIV_RATIO[1:0] R1_RATE_CHx_ECG[1:0]	2'b00 (default)	2'b01	2'b10	2'b11
1024 倍降采样率 (2'b00)	1ksps	0.5ksps	0.25ksps	0.125ksps
512 倍降采样率 (2'b01)	2ksps	1ksps	0.5ksps	0.25ksps
256 倍降采样率 (2'b10)	4ksps	2ksps	1ksps	0.5ksps
128 倍降采样率 (2'b11)	8ksps	4ksps	2ksps	1ksps

8.2.3 滤波器稳定时间 (Filter Settling Time)

ECG 和 PACE 的 SINC 滤波器的低通滤波器频率响应，由于其输出作为对阶跃输入信号的响应，会产生相关的稳定时间。该稳定时间的影响因素有：滤波器的阶数、其差分延迟和信道输出数据速率。

因此，滤波器的 ECG 通道的最小稳定时间为：

$$t_{s-ECG} = 320 \times R1 / f_s \quad (1)$$

PACE 通道的最小稳定时间为：

$$t_{s-PACE} = 320 / f_s \quad (2)$$

其中： f_s 是调制器的时钟频率；R1 为 128/256/512/1024，由 R1_RATE_CHx_ECG[1:0] 寄存器配置决定。

8.2.4 ADC 输入电阻选择 (ADC RES SEL)

ZSBM100X 给每个 ADC 配置了作用于两个输入端对 RLDOUT 的阻抗，可以通过 INPUT_RES_CHx[3:0] 对电阻值进行调节，调节范围为 20MΩ 到 10GΩ 左右。此功能需同时打开 RLD_EN/INPUT_RES_EN。

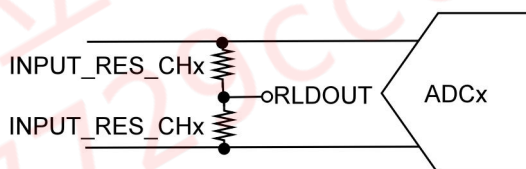


图 4. ADC 输入电阻示意图

8.2.5 ADC 失调校正 (ADC Offset)

每个 ADC 通道的 ECG、PACE 数据可通过 ADC_OFFSET_CHx[15:0] 进行失调校正。

设置 ADC_INPUT_SHORT_CHx 为 1 时，ECG 的 24bit 采样数据平均之后的低 16bit 即为此路 ADC 的 16bit 失调值。

8.3 WCT 模块 (Wilson Central Terminal)

仅 ZSBM1003 配有 WCT 模块。WCT 模块由能够为 Wilson 中央端或 Goldberger 参考点产生电压的三个缓冲放大器和电阻构成。每一个缓冲放大器可以分别通过 WCT_CONT_IN_S0[2:0]、WCT_CONT_IN_S1[2:0] 和 WCT_CONT_IN_S2[2:0] 寄存器编程，而连接 IN0 到 IN5 当中的任一端口；未连接的缓冲器将被自动禁用，且呈现高输出阻抗状态。

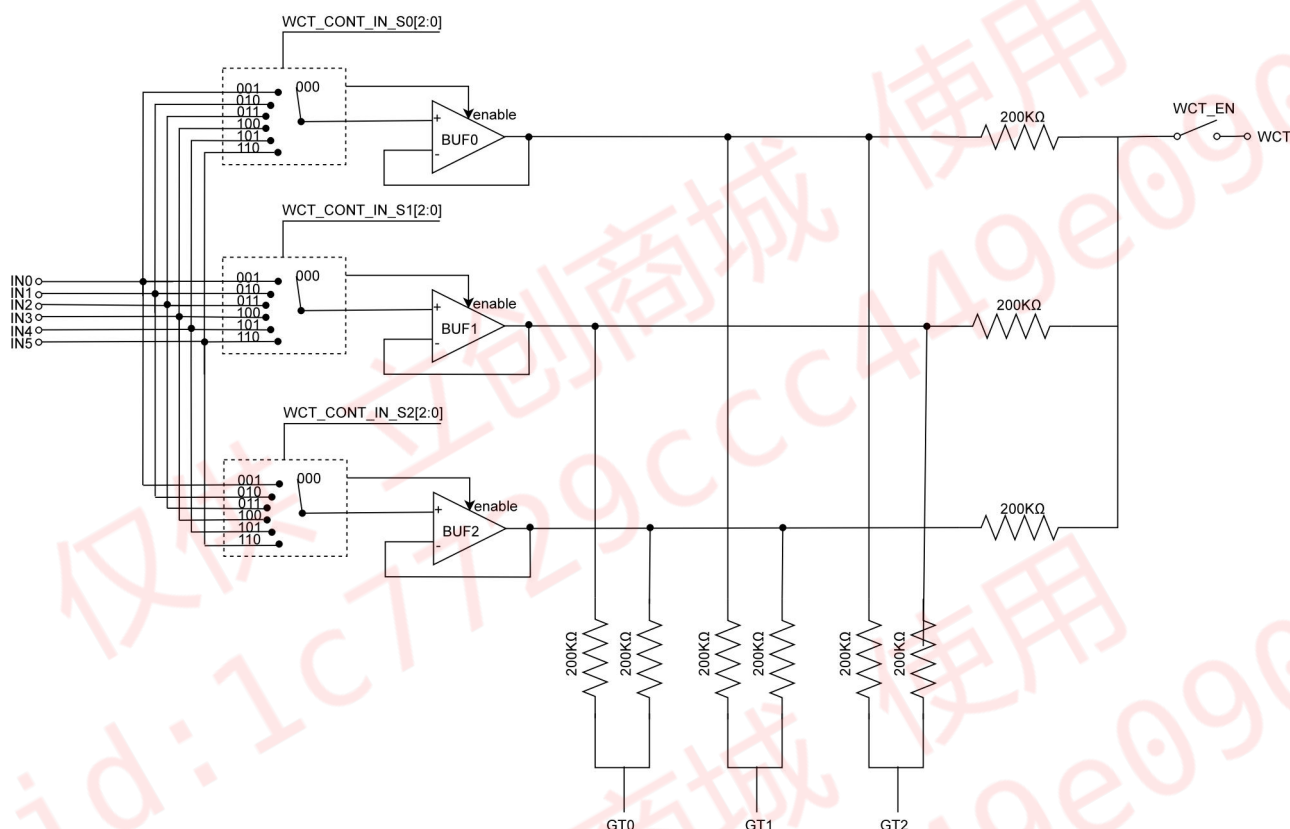


图 5. WCT 模块电路

如果将上述信号输出至外部连接，强烈建议采用屏蔽措施，因为上述信号为高输出阻抗信号，易受到外部干扰。

8.3.1 Wilson 中央端

有三种主要 ECG 导联采用差分方式测量：

- 导联 I : $I = LA - RA$
- 导联 II : $II = LL - RA$
- 导联 III : $III = LL - LA$

这里 LA：左臂电极，RA：右臂电极，LL：左腿电极。

在标准的 5 导联或 12 导联 ECG 中，Wilson 中央端作为胸部电极的参考电压，有些导联相对于该参考进行差分测量。Wilson 中央端定义为三个肢体电极 RA、LA 和 LL 的平均值：

- Wilson 中央端 = $(RA + LA + LL) / 3$

如图 5 所示，ZSBM1003 生成的 Wilson 中央端的输出定义为：

- $WCT_{OUT} = (BUF_0 + BUF_1 + BUF_2) / 3$

用户可以编程 WCT_CONT_IN_S0 寄存器以将 RA 电极连接到 BUF₀，编程 WCT_CONT_IN_S1 寄存器以将 LA 电极连接到 BUF₁，以及编程 WCT_CONT_IN_S2 寄存器以将 LL 电极连接到 BUF₂。

启用 Wilson 中央端时，将会在 WCT 引脚上输出 WCT 参考电压；也可以在内部连接到 IN0~IN5（此时 Wilson 中央端必须被连接到至少一路 ADC 的负向输入）。

8.3.2 Goldberger 参考点

ZSBM1003 在 3 导联、5 导联或 12 导联的 ECG 应用中，增强导联的数值通常基于导联 I 和导联 II 的测量结

果在数字域进行计算。增强导联定义为：

- $aVR = -(I+II) / 2 = RA - (LA+LL) / 2 = RA - GT0$
- $aVL = I - II / 2 = LA - (RA+LL) / 2 = LA - GT1$
- $aVF = II - I / 2 = LL - (RA+LA) / 2 = LL - GT2$

还可以采用 Goldberger 参考点直接测量增强导联，以获得最佳 SNR。ZSBM1003 生成的 Goldberger 参考点如图 5 所示，定义为：

- $GT0 = (BUF_1 + BUF_2) / 2$
- $GT1 = (BUF_0 + BUF_2) / 2$
- $GT2 = (BUF_0 + BUF_1) / 2$

在这种情况下，用户必须编程 WCT_CONT_IN_S0 寄存器以将 RA 电极连接到 BUF_0 ，编程 WCT_CONT_IN_S1 寄存器以将 LA 电极连接到 BUF_1 ，并且编程 WCT_CONT_IN_S2 寄存器以将 LL 电极连接到 BUF_2 。

Goldberger 参考点的输出也可以在内部连接到 IN0~IN5（此时 GT0 必须被连接到 ADC0 的负向输入，GT1 必须被连接到 ADC1 的负向输入，GT2 必须被连接到 ADC2 的负向输入）。

请注意，如果增强导联和三个基本导联都需要直接转换，则需要多个 ZSBM1003 芯片。

8.4 共模检测器 (Common-Mode Detector)

如图 6，共模检测电路可对多达六个输入引脚的电压进行平均，此电压即为所选电极的共模电压，用于线缆屏蔽层驱动电路的输入和右腿驱动电路的参考。参与共模检测的电极通过配置寄存器 CM_INPUT_SEL[5:0] 进行选择，未被选择的电极对应的共模检测电路会被自动关闭。

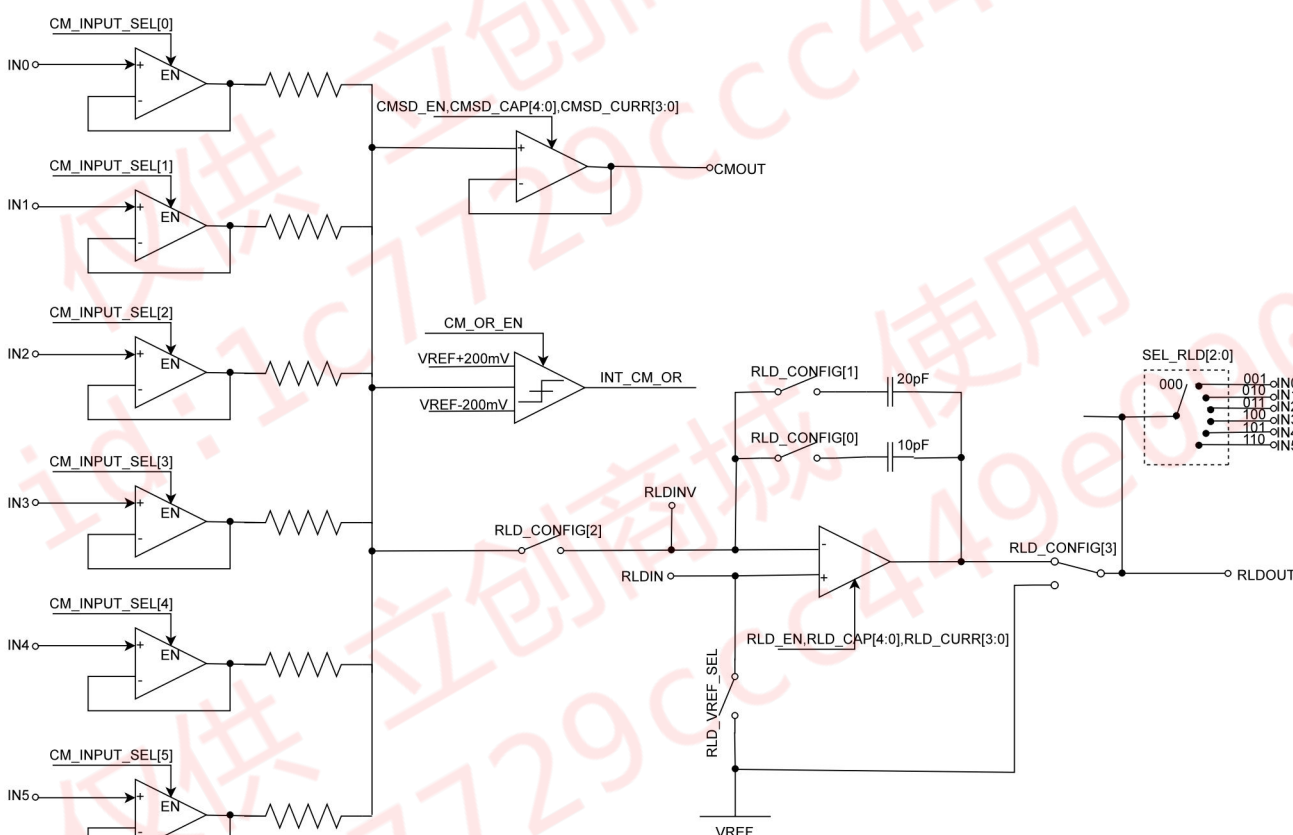


图 6. 共模检测器电路

8.4.1 共模超限检测

ZSBM100X 共模检测器包含一个超范围报警功能，用于检测所选电极的共模电压是否在推荐的共模电压范围之外。通过寄存器 CM_OR_EN 启用此功能。

- 任何一个通道的 ADC 打开都可以执行共模超限检测；
- 输入共模电压超过高阈值之后，INT_CM_OR_HI=1，STA_CM_OR_HI=1；
- 输入共模电压低于低阈值之后，INT_CM_OR_LO=1，STA_CM_OR_LO=1；
 - ◆ STA_CM_OR_HI：共模超限状态位。当此 bit 位置 1，表示出现输入共模电压高于 VREF+200mV；此状态会在共模电压恢复正常之后自动清 0；
 - ◆ STA_CM_OR_LO：共模超限状态位。当此 bit 位置 1，表示出现输入共模电压低于 VREF-200mV；此状态会在共模电压恢复正常之后自动清 0；
 - ◆ INT_CM_OR_HI：共模超限中断标志位。当输入共模电压由正常变为高于 VREF+200mV 时，此 bit 位置 1；共模电压恢复时不会自动清 0，写 1 可清 0 对应 bit 位；当 INT_CM_OR_HI_EN=1 时，此中断标志位映射至 GPIOx；
 - ◆ INT_CM_OR_LO：共模超限中断标志位。当输入共模电压由正常变为低于 VREF-200mV 时，此 bit 位置 1；共模电压恢复时不会自动清 0，写 1 可清 0 对应 bit 位；当 INT_CM_OR_LO_EN=1 时，此中断标志位映射至 GPIOx；
 - ◆ INT_CM_OR 中断标志位，为 INT_CM_OR_HI 和 INT_CM_OR_LO 的逻辑或。
- 共模超限检测相关寄存器在[共模检测相关寄存器](#)中进行了描述。

8.5 电缆屏蔽驱动（Cable Shield Driving）

某些应用需要使用较长的电极导线，则良好的线缆屏蔽就变得至关重要。若屏蔽线接地，其产生的对地电容与电极所带来的电阻会降低共模信号带宽。ZSBM100X 的线缆驱动电路具有高达 10nF 的可编程电容负载驱动能力，使其能够驱动电缆屏蔽层，从而减小电极线和屏蔽层间的共模电容，保证共模反馈的带宽，提高系统整体共模抑制能力（CMRR）。

线缆屏蔽层驱动电路的带宽和电容负载驱动能力可分别在 CMSD_CAP[4:0]和 CMSD_CURR[3:0]寄存器中配置，以实现与功耗的最佳折衷。[表 3](#) 列出了针对不同负载电容以及带宽需求，推荐的寄存器配置，以及不同配置场景相对应的功耗。若驱动更大的负载电容，并保持较高的带宽，则需要付出更高的功耗代价。在大电容负载情况下，对于有限的电流可能无法支持高带宽（[表 3](#) 左下）。同理，若负载较轻，则无需选择低电流低带宽配置（[表 3](#) 右上）。

无线缆屏蔽层驱动需求的应用可以选择完全关闭此模块以节省功耗，并设置 RLD_CONFIG[2]=1 使右腿驱动电路的参考由共模检测电路直接提供。

表 3. 对于不同电容负载和带宽需求，线缆屏蔽层驱动电路推荐配置以及所需功耗

LOAD CAP	HIGH BW				LOW BW			
	CMSD_CAP P[4:0]	CMSD_CURR R[3:0]	GBW (kHz)	I _{supply} (μA)	CMSD_CAP P[4:0]	CMSD_CURR R[3:0]	GBW (kHz)	I _{supply} (μA)
≤2pF	0x00	0x0	240	9.6	-	-	-	-
20pF	0x00	0x4	240	59	0x02	0x00	187	9.6
200pF	0x02	0x8	221	108	0x10	0x00	48	9.6
1nF	0x08	0x8	124	108	0x12	0x01	42	22

	HIGH BW				LOW BW			
LOAD CAP	CMSD_CAP[4:0]	CMSD_CURR[3:0]	GBW (kHz)	I _{supply} (μA)	CMSD_CAP[4:0]	CMSD_CURR[3:0]	GBW (kHz)	I _{supply} (μA)
5nF	-	-	-		0x0F	0x08	44	108
10nF	-	-	-		0x0F	0x0A	35	133

8.6 右腿驱动 (Right-Leg Drive)

右腿驱动电路 (RLD) 是具有一定增益的放大电路，通过驱动一个连接人体的输出电极，使芯片与人体形成共模回路，从而将其它输入电极偏置到理想的共模电压范围。如图 6，几路输入电极的电压经过共模检测电路，所得的共模电压与 RLDIN 的输入电压（通常为 ECG 系统理想的共模电压）相比较，其差值经过放大，输出至 RLDOUT 引脚。除了偏置共模电平，较高的共模环路增益也会对外界引入环路的共模干扰（例如电力线引入的工频干扰）产生抑制作用，从而提升系统的 CMRR。

RLD 放大器具有一定负载驱动能力，类似于线缆屏蔽层驱动电路，通过配置寄存器 RLD_CAP[4:0] 和 RLD_CURR[3:0]，以实现驱动能力与功耗的最佳折衷，推荐配置如表 4。

表 4. 右腿驱动电路推荐配置以及所需功耗

	HIGH BW			LOW BW		
LOAD CAP	RLD_CAP[4:0]	RLD_CURR[3:0]	I _{supply} (μA)	RLD_CAP[4:0]	RLD_CURR[3:0]	I _{supply} (μA)
≤2pF	0x00	0x0	9.6	-	-	-
20pF	0x00	0x4	59	0x02	0x0	9.6
200pF	0x02	0x8	108	0x10	0x0	9.6
1nF	0x08	0x8	108	0x12	0x1	22
5nF	-	-	-	0x0F	0x8	108
10nF	-	-	-	0x0F	0xA	133

由于 RLD 放大器的输入输出和线缆屏蔽层驱动电路的输出均有引脚，用户可根据需求在板级配置 RLD 放大器周边电阻和电容的组合，以得到理想的增益和带宽。

若用户无自行配置 RLD 放大器阻容网络的需求，可将共模电压直接输入右腿驱动电路（配置 RLD_CONFIG[2]=1），并使用芯片内部 30pF 反馈电容（RLD_CONFIG[1:0]=2'b11），如图 6。

RLD 的共模参考电平可由芯片内部供给（RLD_VREF_SEL=0，默认），或由外部提供至 RLDIN 引脚（RLD_VREF_SEL=1）。

8.7 脱落检测 (Lead-Off Detect)

ZSBM100X 的脱落检测 (LOD) 模块可用于监测 6 个输入引脚、右腿驱动与人体的连接情况。LOD 模块将可编程的 DC 或 AC 激励电流注入选定的输入引脚，并检测响应于该电流出现在该选定的输入引脚上的电压。

LOD 模块可以在以下两种模式中的任意一种模式下进行工作：

- (1) 直流脱落检测；
- (2) RLD 脱落检测；

直流脱落检测 (DCLO) 在每个电极注入或抽取可编程的微小直流电流并监测电极电压，下图为直流脱落检测的示意图。当所有电极均正确连接无脱落时，这些电流通过人体与右腿驱动电路建立回路。若有电极

脱落则电流无法通过人体，在 ECG 前端高输入阻抗的作用下，产生过阈值电压。

此微小电流幅值可通过 DCLO_MAG[3:0]配置，其极性（流入或流出）可以通过 DCLO_INx_POLARITY 寄存器进行配置，当一个电极老化或连接脱落时，这个电极的引脚电压值会根据配置的脱落检测电流极性而变为高电平或低电平。

右腿驱动引脚 RLDOUT 也设有电压过阈值检测。开启脱落检测后，任一电极脱落都会导致 RLDOUT 过阈值。此功能通过使 DCLO_RLD_EN=1 打开。

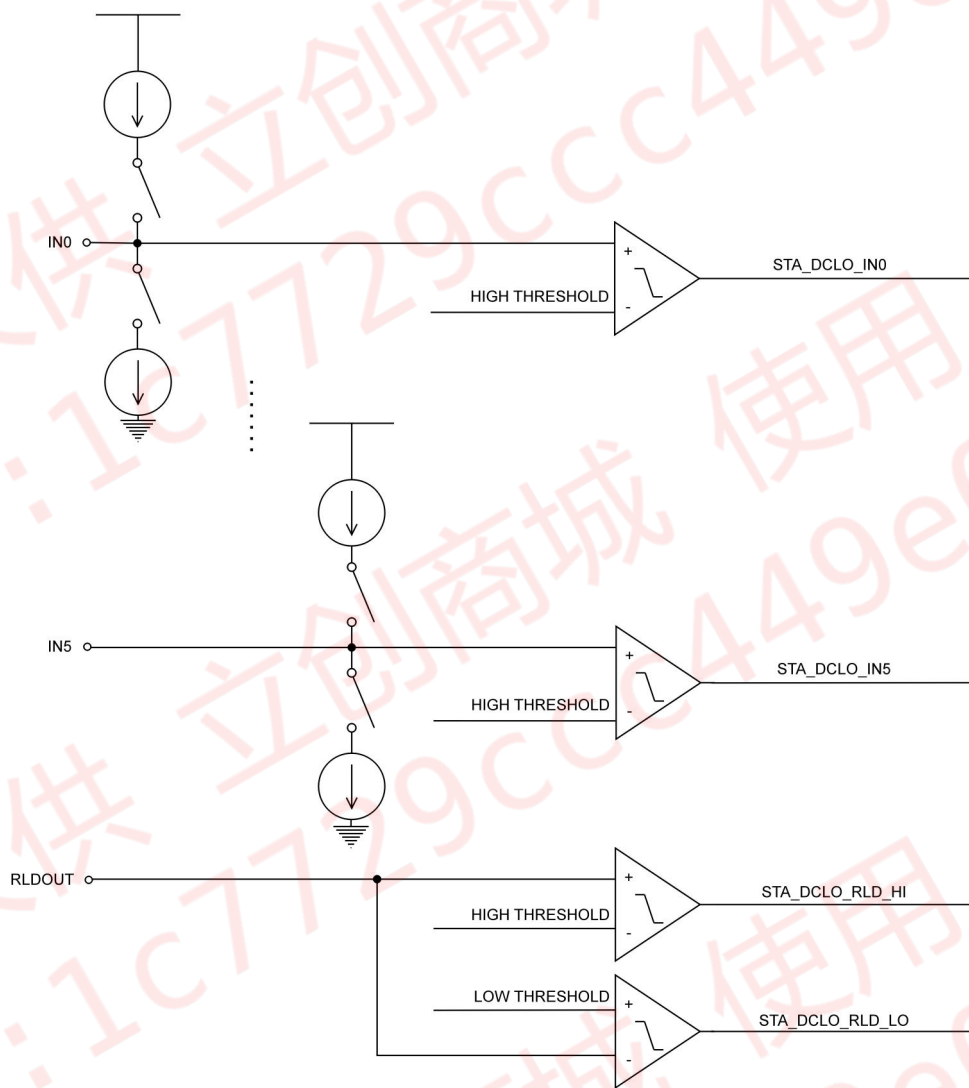


图 7. 直流脱落检测示意图

8.8 脱落检测中断报警 (INT_LO)

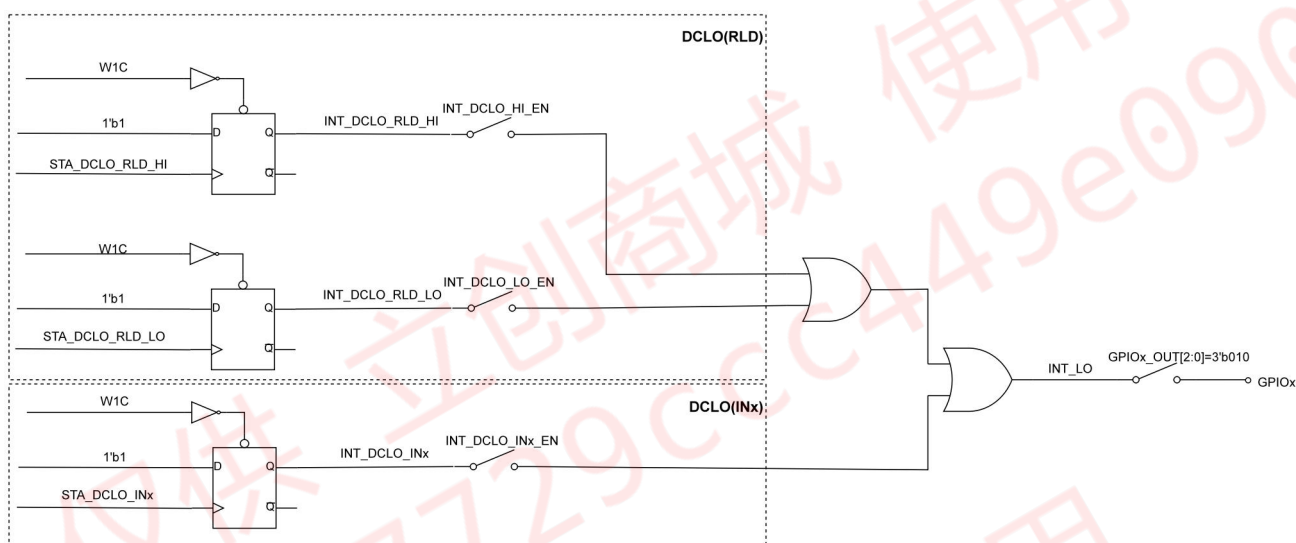


图 8. 脱落检测中断示意图

8.8.1 直流脱落检测 (RLD) 中断报警

ZSBM100X 右腿驱动电路包含了一个右腿驱动直流脱落阈值检测报警功能，用于检测右腿驱动是否直流脱落。通过寄存器 DCLO_RLD_EN 启用此功能。

- 任何一个通道的 ADC 打开都可以执行右腿驱动直流脱落阈值检测；
- 右腿驱动直流脱落电压超过高阈值之后，INT_DCLO_RLD_HI=1，STA_DCLO_RLD_HI=1；
- 右腿驱动直流脱落电压低于低阈值之后，INT_DCLO_RLD_LO=1，STA_DCLO_RLD_LO=1；
 - ◆ STA_DCLO_RLD_HI：右腿驱动直流脱落超限状态位。当此 bit 位置 1，表示出现右腿驱动直流脱落检测电压高于 800mV；此状态会在右腿驱动直流脱落检测电压恢复正常之后自动清 0；
 - ◆ STA_DCLO_RLD_LO：右腿驱动直流脱落超限状态位。当此 bit 位置 1，表示出现右腿驱动直流脱落检测电压低于 200mV；此状态会在右腿驱动直流脱落检测电压恢复正常之后自动清 0；
 - ◆ INT_DCLO_RLD_HI：右腿驱动直流脱落中断标志位。当右腿驱动直流脱落检测电压由正常变为高于 800mV 时，此 bit 位置 1；右腿驱动直流脱落检测电压恢复时不会自动清 0，写 1 可清 0 对应 bit 位；当 INT_DCLO_RLD_HI_EN=1 时，此中断标志位映射至 GPIOx；
 - ◆ INT_DCLO_RLD_LO：右腿驱动直流脱落中断标志位。当右腿驱动直流脱落检测电压由正常变为低于 200mV 时，此 bit 位置 1；右腿驱动直流脱落检测电压恢复时不会自动清 0，写 1 可清 0 对应 bit 位；当 INT_DCLO_RLD_LO_EN=1 时，此中断标志位映射至 GPIOx；
 - ◆ INT_LO 中断标志位，为 INT_DCLO_RLD_HI、INT_DCLO_RLD_LO 和 INT_DCLO_INx 的逻辑或。
- 右腿驱动直流脱落阈值检测相关寄存器在[脱落检测相关寄存器](#)中进行了描述。

8.8.2 直流脱落检测 (INx) 中断报警

ZSBM100X 直流脱落检测电路包含了一个直流脱落检测报警功能，用于检测 IN0~IN5 电极是否直流脱落。通过寄存器 DCLO_INx_EN 启用此功能。

- 任何一个通道的 ADC 打开都可以执行 IN0~IN5 电极的直流脱落检测；
- IN0~IN5 任何一个电极脱落之后，INT_DCLO_INx=1，STA_DCLO_INx=1；
 - ◆ STA_DCLO_INx：直流脱落检测状态位。当此 bit 位置 1，表示出现对应电极由接触状态变化为脱落状态；此状态会在由脱落状态变化为接触状态之后自动清 0；

- ◆ INT_DCLO_INx: 直流脱落检测中断标志位。当出现对应电极由接触状态变化为脱落状态时, 此 bit 位置 1; 由脱落状态变化为接触状态时不会自动清 0, 写 1 可清 0 对应 bit 位; 当 INT_DCLO_INx_EN=1 时, 此中断标志位映射至 GPIOx;
- ◆ INT_LO 中断标志位, 为 INT_DCLO_RLD_HI、INT_DCLO_RLD_LO 和 INT_DCLO_INx 的逻辑或。
- 直流脱落检测相关寄存器在[脱落检测相关寄存器](#)中进行了描述。

8.9 数据处理 (Data Processing)

8.9.1 陷波器 (NOTCH)

为了消除工频信号的干扰, 可使用片上二阶工频陷波器。ZSBM100X 提供的 NOTCH 模块可实现如下功能:

- 通道 0、通道 1、通道 2 的 ECG、PACE 可通过 NOTCH_CHx_ECG_EN、NOTCH_CHx_PACE_EN 分别配置陷波功能是否使能;
- ECG 的工频陷波器频率偏差可通过 NOTCH_CNT_ADJ_CHx_ECG[11:0]进行校正;
- PACE 的工频陷波器频率偏差可通过 NOTCH_CNT_ADJ_PACE[11:0]进行校正;
 - ◆ 校正公式为:

$$\text{INT}[2^{19} * [\cos(2\pi * F_{\text{line_frequency}}/F_{\text{ds}})] - \text{INT}[2^{19} * [\cos(2\pi * (F_{\text{line_frequency}} * (1 + \delta f))/F_{\text{ds}})]] \quad (3)$$
 - ◆ 其中 $F_{\text{line_frequency}}$ 表示工频频率, F_{ds} 表示数据采样频率, δf 表示频率偏差百分比;
 - $\delta f = \text{FREQ_DELTA_PER}[5:0]/800$, ($\text{FREQ_DELTA_PER}[5:0]$: 2 的补码表示的有符号数);
 - ◆ 偏差校正取 12 位数据;
 - ◆ 例如: $F_{\text{line_frequency}} = 50\text{Hz}$, $F_{\text{ds}} = 1000\text{Hz}$, 如果 OSC12.288M 的偏差为 +2%, 即对应的 δf 频率偏差百分比为 2%, 则校正值为 $\text{INT}[2^{19} * [\cos(2\pi * 50\text{Hz}/1000\text{Hz})]] - \text{INT}[2^{19} * [\cos(2\pi * (50\text{Hz} * (1 + 2\%))/1000\text{Hz})]] = 1028$, 则将值 1028 写入对应的 NOTCH_CNT_ADJ_CHx_ECG[11:0] / NOTCH_CNT_ADJ_PACE[11:0]寄存器中即可。
- 工频陷波频率可通过 FC_SEL 进行选择:
 - ◆ 0: 50Hz; 1: 60Hz;
- 工频二次谐波陷波功能可通过 NOTCH_SND_EN 进行选择:
 - ◆ 0: 100Hz; 1: 120Hz;
- 工频陷波功能 3DB 带宽可通过 NOTCH_3DB_SEL 进行选择:
 - ◆ 0: $\pm 2.5\text{Hz}$; 1: $\pm 5\text{Hz}$ 。
- 具体见 [NOTCH 相关寄存器](#)描述。

8.9.2 数据压缩 (ADPCM)

数据压缩采用的自适应差分脉冲编码调制 (ADPCM) 具有算法比较简单、延迟低、信号还原度高等优点。ZSBM100X 提供的 ADPCM 模块具有 24bit-6bit 算法, 16bit-4bit 算法, 可实现如下功能:

- 通道 0、通道 1、通道 2 的 ECG、PACE 可通过 ADPCM_CHx_ECG_EN、ADPCM_CHx_PACE_EN 分别配置 ADPCM 功能是否使能;
- ECG 的 ADPCM 功能可配合 [ECG 数据输出位宽](#)功能一起使用:
 - ◆ 如果 ECG 是在 24bit 数据模式下正常采样, 会 1 个采样点写 3 个字节数据;
 - ◆ 如果 ECG 是在 24bit 数据模式下做 ADPCM 功能, 会 4 个采样点数据压缩之后写 3 个字节数据;
 - ◆ 如果 ECG 是在 16bit 数据模式下正常采样, 会 1 个采样点写 2 个字节数据;

- ◆ 如果 ECG 是在 16bit 数据模式下做 ADPCM 功能，会 2 个采样点数据压缩之后写 1 个字节数据；
- PACE 的 ADPCM 功能：
 - ◆ 如果 PACE 在正常模式下采样，会 1 个采样点写 2 个字节数据；
 - ◆ 如果 PACE 做 ADPCM 功能，将根据 16bit-4bit 算法来做压缩，会 2 个采样点数据压缩之后写 1 个字节数据。
- 具体见 [ADPCM 相关寄存器](#) 描述。

8.9.3 ECG 数据输出位宽

ECG 的数据模式有 24bit、16bit 两种位宽模式，可通过 BW_SEL_CHx_ECG 寄存器实现选择。16bit 位宽模式下，还可分 8 档量程，可通过 DATA_SFTCNT_CHx_ECG 寄存器来进行选择。具体实现如下：

表 5. ECG 的数据模式设置

BW_SEL_CHx_ECG	DATA_SFTCNT_CHx_ECG[2:0]	量程/精度选择
0	0xX	±500mV, 24 位精度
1	0x0	±500mV, 16 位精度
	0x1	±250mV, 16 位精度
	0x2	±125mV, 16 位精度
	0x3	±62.5mV, 16 位精度
	0x4	±31.25mV, 16 位精度
	0x5	±15.63mV, 16 位精度
	0x6	±7.82mV, 16 位精度
	0x7	±3.91mV, 16 位精度

具体见 [ECG 数据输出位宽相关寄存器](#) 描述。

8.9.4 FIFO 读取 ECG/PACE 数据

ZSBM100X 内部具有 2048 字节大小的 FIFO 空间，每个 ECG 通道和每个 PACE 通道 都可以配置自己的 FIFO 起始地址、FIFO 空间大小和 FIFO 数据深度中断阈值大小。以上 FIFO 相关寄存器配置单位为字节（0~2047 bytes）。每个 ECG 通道和每个 PACE 通道各自配置的空间不能重叠。当系统读取 FIFO 数据时，先读取 FIFO 数据深度指示，再读取相应字节的 FIFO 数据。

每个 ECG 通道和每个 PACE 通道都有相应的 FIFO 数据寄存器。每个 ECG 通道和每个 PACE 通道配置各自的 FIFO 数据深度中断阈值。FIFO 数据寄存器采用小端模式输出，连续读不会自加寄存器地址，而会依先进先出次序读出转换数据。每个 ECG 和每个 PACE 都有各自的数据深度指示寄存器 FIFO_BYTE_COUNT_xxx。

当相应的 ECG 或 PACE 存入 FIFO 的数据达到相应设置的数据深度中断阈值时，将产生中断信号 INT_FIFO_DEPTH_THRD_xxx。设置 FIFO 数据深度阈值中断时需注意，FIFO_SIZE_xxx[11:0]、FIFO_DEPTH_THRD_xxx[11:0] 的设置需满足如下公式：

- 最大可设置的 FIFO 数据深度阈值为：
 - ◆
$$\text{FIFO_DEPTH_THRD_xxx_max} = \text{INT} \left(\frac{\text{FIFO_SIZE_xxx} + 1}{\text{NUMBER_OF_BYTE}} \right) * \text{NUMBER_OF_BYTE} - 1 \quad (4)$$
 - ◆ 其中：NUMBER_OF_BYTE 代表每次写入 FIFO 的字节数，具体可参考 [数据压缩（ADPCM）](#) 章节说明。

- ◆ 阈值中断时读出的数据深度指示值为：

$$\text{FIFO_BYTE_COUNT_xxx} = \text{INT} \frac{\text{FIFO_DEPTH_THRD_xxx}}{\text{NUMBER_OF_BYTE}} * \text{NUMBER_OF_BYTE} + \text{NUMBER_OF_BYTE} \quad (5)$$

- 例如：如果设置 $\text{FIFO_SIZE_CH0_ECG}[11:0]=13$ ，并且 ECG 为每次采样写 3byte 模式时， $\text{FIFO_DEPTH_THRD_CH0_ECG}[11:0]$ 的最大可设置值为：
 - ◆ $\text{FIFO_DEPTH_THRD_CH0_ECG_max} = \text{INT} \frac{(13+1)}{3} * 3 - 1 = 11$ ，可设置值为 0 到 11 区间；
 - ◆ 如果 $\text{FIFO_DEPTH_THRD_CH0_ECG}[11:0]$ 设置值为 11，则
 $\text{FIFO_BYTE_COUNT_CH0_ECG}[12:0] = \text{INT} \frac{11}{3} * 3 + 3 = 12$ ，即阈值中断的数据深度为 12 bytes；
- 此中断标志位映射至 GPIOx。
- 当其中的某一 ECG 或某一 PACE 的 FIFO 空间已读时，继续执行读相应的 FIFO 空间数据，将产生 FIFO 下溢出中断 INT_FIFO_UFLOW ，此中断标志位映射至 GPIOx。

当其中的某一 ECG 或某一 PACE 的 FIFO 空间已满时，相应通道产生新的数据时，将产生相应 FIFO 上溢出中断 $\text{INT_FIFO_OFLOW_xxx}$ 。

- FIFO 空间已满时读出的数据深度指示值为：

$$\text{FIFO_BYTE_COUNT_xxx} = \text{FIFO_DEPTH_THRD_xxx_max} + 1 \quad (6)$$
 - ◆ 例如：如果设置 $\text{FIFO_DEPTH_THRD_CH0_ECG_max}=11$ ，则当 FIFO 空间已满时， $\text{FIFO_BYTE_COUNT_CH0_ECG}[12:0]=11+1=12$ bytes，即有效字节数为 12bytes。
- 此中断标志位映射至 GPIOx。

ACLEAR_INT_FIFO_DIS 寄存器可设置是否自动清除中断标志位：

- $\text{ACLEAR_INT_FIFO_DIS}=0$ 时：当读取相应 FIFO 数据时，自动清除相应 FIFO 阈值中断/自动清除相应 FIFO 上溢出中断。
- $\text{ACLEAR_INT_FIFO_DIS}=1$ 时：当读取相应 FIFO 数据时，不自动清除相应 FIFO 阈值中断/不自动清除相应 FIFO 上溢出中断；写 1 可清 0 对应中断标志位。

具体见 [FIFO 相关寄存器](#) 描述。

8.9.5 即时读取 ECG/PACE 数据

ZSBM100X 的每一个数据通道都提供了数据即时读取寄存器。

通过 FIFO_MODE_DIS 寄存器设置成“禁用 FIFO”模式时，即代表进入“即时读取 ECG/PACE 数据”模式。此模式时，采样数据不写入 FIFO，只写入 $\text{REG_DATA_CHx_ECG}/\text{REG_DATA_CHx_PACE}$ 寄存器中；一次采样在 GPIOx 上产生一次中断。

- $\text{INT_MODE_SEL}=0$ 时，读寄存器时清中断状态；
- $\text{INT_MODE_SEL}=1$ 时，读寄存器时不清除中断状态，产生中断 16us 之后自动清中断状态。

具体见 [即时数据相关寄存器](#) 描述。

8.10 系统时钟 (System Clock)

ZSBM100X 在 1024kHz 的时钟下工作。1024kHz 的时钟由 12.288MHz 的工作时钟分频得到。12.288MHz 的工作时钟可由下述三种时钟源来提供：内部振荡器，由 CLK 引脚输入的外部时钟，以及片外晶体谐振器。当需要时，内部工作时钟也可通过 CLK 引脚输出，用于多芯片级联或其它同步使用场景。

工作时钟源的选择如下表所示：

表 6. 内部时钟设置

EXT_CLKIN_SEL	XTAL_SEL	12.288M CLOCK SOURCE
0	0	内部振荡器
0	1	片外晶体谐振器
1	x	外部时钟

CLK 引脚即可用于时钟输入，也可用于工作时钟输出，具体设置见下表所示：

表 7. 输出时钟设置

CLKOUT_EN	EXT_CLKIN_SEL	IN_OUT CLOCK
0	0	CLK 引脚无时钟输入输出
x	1	时钟从 CLK 引脚输入
1	0	时钟从 CLK 引脚输出

时钟系统示意图如下图所示：

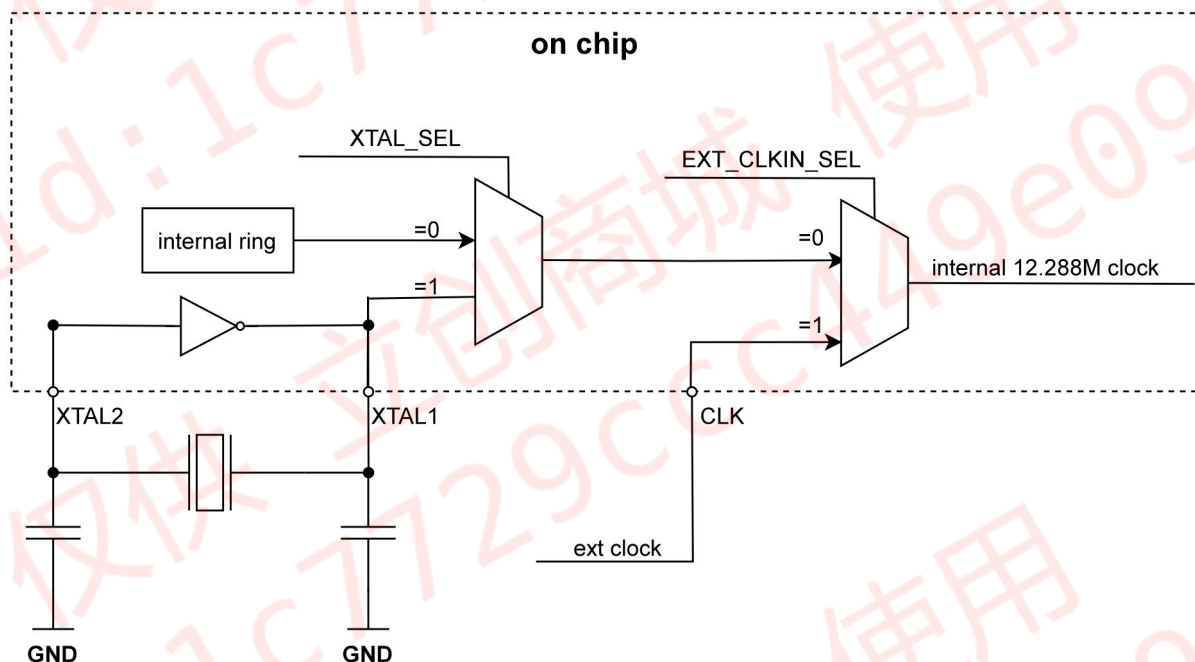


图 9. 时钟系统示意图

8.10.1 XTAL 使用指南

ZSBM100X 内部集成高精度、低功耗 12.288M 晶体维持振荡驱动电路。应用时，芯片外部 12.288MHz 石英晶体的两个引脚，分别与 ZSBM100X 的 XTAL1 和 XTAL2 引脚连接，XTAL1 和 XTAL2 引脚加载合适的负载电容，负载电容大小根据选择的石英晶体具体规格要求确定。

8.11 定时器 (Timer)

ZSBM100X 内置了一个 12bit 的计数器，用于定时功能。TIMER_EN 做为定时器的使能控制。定时周期由 TIMER_PRD[11:0]、CLK_DIV_RATIO[1:0]两个参数决定，最大可计时 4s 时长。达到定时器设定值时，INT_TIMER 寄存器置 1，写 1 可清 0 对应 bit 位；此中断标志位同时可映射至 GPIOx。

- TIMER_PRD[11:0]=0 时，每 1024 个时钟时在 GPIOx 上产生一次中断，INT_TIMER bit 位置 1；INT_TIMER 如果不主动写 1 清 0，会在继续计数 900 个时钟之后自动清 0；
- TIMER_PRD[11:0]>0 时， $(1024 \times \text{TIMER_PRD}[11:0] + 1024)$ 个时钟时 GPIOx 产生一次中断，INT_TIMER

bit 位置 1; INT_TIMER 如果不主动写 1 清 0, 会在 $(1024 \times \text{TIMER_PRD}[11:0] - 100)$ 个时钟之后自动清 0。

8.12 同步 (Synchronization)

ZSBM100X 内置三个可独立配置的 ECG 通道, 可通过配置寄存器中的 OP_EN bit 位为 1 来开启 ECG 通道同步, 并且将保持同步。

当多个设备共享一个时钟系统时 (可多设备全部外部时钟输入、或内部时钟输出做为其它 ZSBM100X 的外部时钟输入), 同时使能各芯片中配置寄存器的 OP_EN bit 位, 可以实现多个 ZSBM100X 的同步。

8.13 参考电压发生器 (Reference Voltage Generators)

主参考电压发生器产生 0.9V 的参考电压, 给系统提供内部参考。为了提供稳定的参考电压, 需通过 CVREF 引脚对地连接 $1\mu\text{F}$ 的旁路电容器, 并且不设计用于加载其它电路。

共模参考电压发生器产生 0.5V 的参考电压, 用于偏置右腿驱动, 通过 RLDREF 引脚引出。RLDREF 引脚可通过 $0.1\mu\text{F}$ 的旁路电容器接地。

8.14 可配置的综合中断系统 (Configurable Interrupt System)

ZSBM100X 提供了两组可独立配置的 GPIO 接口, 可实现共模超限检测、右腿驱动直流脱落检测、直流脱落检测、FIFO 阈值检测/上溢出/下溢出异常检测、即时数据读取、定时器等中断输出功能。

GPIOx 接口可配置选项如下:

- GPIOx 与通讯 IO 口的驱动能力、GPIOx 输出极性以及 GPIOx 内部是否上拉可参考 [GPIO 配置寄存器](#) 进行配置;
- GPIOx 的模式可通过 GPIOx_CFG[1:0] 选择:
 - ◆ 10: GPIOx 配置为输出模式 (Push-Pull);
 - ◆ 11: GPIOx 配置为输出模式 (Open-Drain);
- GPIOx 的输出源可通过 GPIOx_OUT[2:0] 选择。
 - ◆ 010: 输出中断信号;
 - ◆ 其它: RESERVED;
- 不同的中断可通过 [中断输出 IO 选择寄存器](#) 分配到不同的 GPIO 上。
 - ◆ 初始时, 默认 FIFO 阈值检测中断、定时器中断、即时数据读取中断分配到 GPIO0;
 - ◆ 初始时, 默认共模超限检测中断、右腿驱动直流脱落检测中断、直流脱落检测中断、FIFO 上溢出/下溢出异常检测中断分配到 GPIO1;
 - ◆ “共模超限检测、右腿驱动直流脱落检测、直流脱落检测、FIFO 阈值检测/上溢出/下溢出异常检测” 中断是否输出至 GPIOx, 受其对应模块的使能信号控制。

8.15 编程 (Programming)

8.15.1 串行数字接口

4 线 SPI 通讯协议时序图如下图的 4 线 SPI 读写时序示意图, 芯片的 SPI 接口只支持从模式, 当 CSB 被拉低后, 前 7 个 bit 的数据是读写入的寄存器的地址, 后是读写标志位, 1 代表写寄存器, 0 代表读寄存器, 后两个 byte 是读写的数据。当进行连续写寄存器时, 寄存器地址会自动加 1, 后续是写入相应寄存器的数据。连续读寄存器数据和连续写寄存器同理。

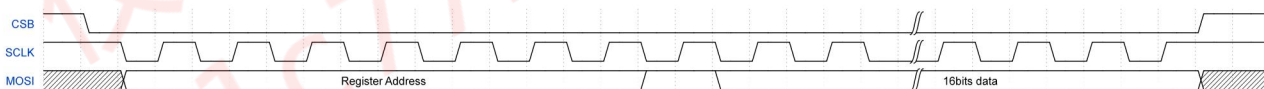


图 10.4 线 SPI 写操作时序图

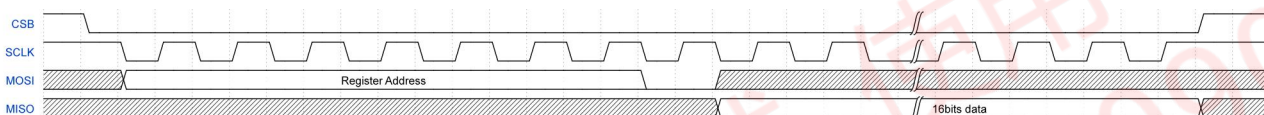


图 11.4 线 SPI 读操作时序图

通过设置 SPI_MODE=1 可进入 SPI 3 线通讯协议模式。3 线 SPI 通讯协议时序图如下图的 3 线读写时序示意图，同 4 线 SPI 通讯协议，当 CSB 被拉低后，前 7 个 bit 的数据是读写入寄存器的地址，后是读写标志位，并根据读写标志改变控制数据线的输入输出使能，后两个 byte 是读写的数据。

3 线 SPI 读写寄存器操作使用同一条数据线：写寄存器时，控制数据线的输出驱动使能位一直为低电平，即数据线 SDA 配置一直为输入；读寄存器时，控制数据线的输出驱动使能位先为低电平，后为高电平，即读操作地址传输配置为输入，读操作数据传输配置为输出。

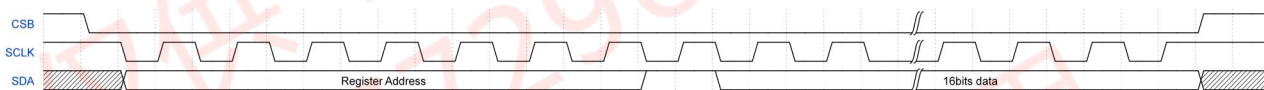


图 12.3 线 SPI 写操作时序图

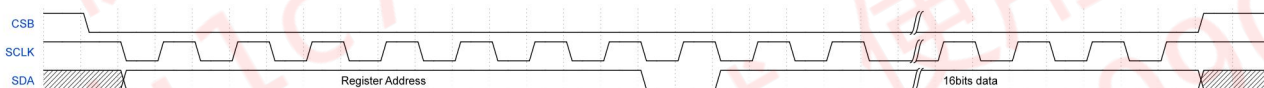


图 13.3 线 SPI 读操作时序图

SPI 操作注意事项：

- 可通过 MOSI_PULLUP 寄存器配置 MOSI 端口的上拉功能。
- 所有输入数据在 SCLK 的上升沿进行采样，并在第 24 个时钟的上升沿写入到寄存器；
 - ◆ 如果 CSB 在第 24 个时钟之前拉高，则不会发生数据写入。
- 所有输出数据在 SCLK 的下降沿进行采样，并且数据格式按照小端模式输出。

8.15.2 随机寄存器访问协议

ZSBM100X 支持随机访问寄存器地址。

8.15.3 自动递增地址

通过保持 CSB 信号为有效值超过标准规定的时钟数量，可以访问到多个寄存器地址。在此模式中，CSB 有效时间必须保持为 SCLK 的 $(8+16*N)$ 倍数，其中 N 是在访问周期期间写入或读取的字节数。自动递增地址模式可对于访问寄存器。

8.16 复位 (RESET)

8.16.1 软复位 (SW_RESET)

如果设置寄存器 SW_RESET=1，则 ZSBM100X 将进行复位操作，任何正在进行的内部操作都将终止，设备将返回到默认状态，寄存器回到初值。此复位操作将持续 1ms 时间，复位期间不支持任何其它操作。

8.16.2 硬复位 (RSTB PIN)

ZSBM100X 设计有 RSTB 引脚用于芯片硬复位功能。此引脚低电平有效，恢复高电平之后至少持续 10ms 之后产生复位信号。复位期间芯片不支持任何操作，复位之后寄存器回到初始值。硬复位时序图如下：

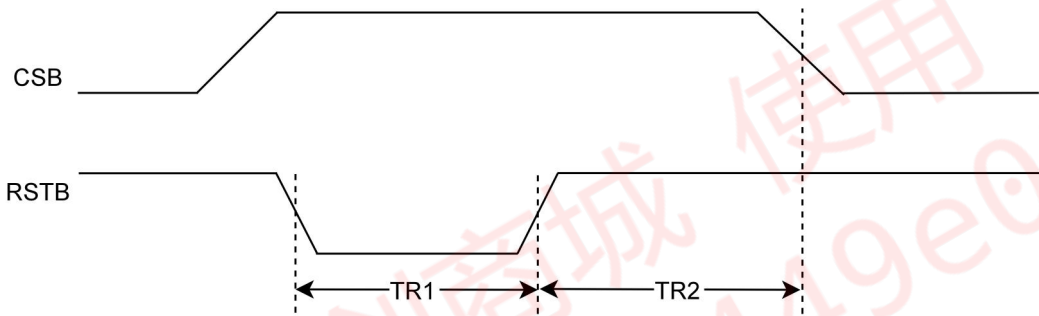


图 14. 硬复位时序图

表 8. 硬复位时序参数表

参数	最小值	典型值	最大值
TR1	10μs	10μs	
TR2	10ms	15ms	

9 寄存器表

下表列出了 ZSBM100X 的所有寄存器。

注意事项：

- (1) RESERVED 位和寄存器的读回值未指定，应丢弃。
- (2) 如果写入，则指示为 RESERVED 的寄存器必须具有寄存器表中所示的默认值，当默认值标识为 0xXXXX 时，应由寄存器中读取默认值，写入任何其他值都可能导致意外结果。

表 9. 寄存器表

地址	名称	bits	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初始 值	读/ 写
			bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
0x00	MAIN_CFG	[15:8]	RESERVED								0x0000	R/W
		[7:0]	FIFO_MODE_DIS	INT_MODE_SEL	ACLEAR_IN_T_FIFO_DIS	XTAL_EN	CLKOUT_EN	EXT_CLKIN_SEL	SPI_MODE	MOSI_PULUP		
0x01	RESERVED	[15:8]	RESERVED								0xXXXX	R/W
		[7:0]	RESERVED									
0x02	FREQ_DELTA_PER	[15:8]	RESERVED								0x0000	RO
		[7:0]	RESERVED		FREQ_DELTA_PER[5:0]							
0x03	GPIO_CFG	[15:8]	RESERVED	GPIO1_OUT[2:0]			GPIO1_PE	GPIO1_PO_L	GPIO1_CFG[1:0]		0x0000	R/W
		[7:0]	IO_DS	GPIO0_OUT[2:0]			GPIO0_PE	GPIO0_PO_L	GPIO0_CFG[1:0]			
0x04	ADC_OFFSET_CH0	[15:8]	ADC_OFFSET_CH0[15:8]								0x0000	R/W
		[7:0]	ADC_OFFSET_CH0[7:0]									
0x05	ADC_OFFSET_CH1	[15:8]	ADC_OFFSET_CH1[15:8]								0x0000	R/W
		[7:0]	ADC_OFFSET_CH1[7:0]									
0x06	ADC_OFFSET_CH2	[15:8]	ADC_OFFSET_CH2[15:8]								0x0000	R/W
		[7:0]	ADC_OFFSET_CH2[7:0]									
0x07	USER_IND	[15:8]	RESERVED								0xXXXX	RO
		[7:0]	RESERVED	INPUT_RES_IND	NOTCH_IND	ADPCM_IND	WCT_IND	PACE_IND	CHANNEL_NUMB_IND[1:0]			
0x08	CHIP_ID/SW_RESE	[15:8]	CHIP_ID[15:8]								0x1003	RO
		[7:0]	CHIP_ID[7:0]									

地址	名称	bits	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初始 值	读/ 写
			bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
	T	[7:0]								SW_R ESET	-	W
0x 09	INT_IO_SE L	[15:8]	XTAL_CURR[3:0]				RESERVED		INT_S AMPL E_IO	INT_C M_O R_IO	0x71 C0	R/ W
		[7:0]	INT_L O_IO	INT_FI FO_E XCEP_ IO	INT_TI MER_I O	INT_F IFO_ DEPT H_TH RD_I O						
		[7:0]					VERSION[3:0]					
0x 0A	INT_FIFO	[15:8]	INT_L O	INT_FI FO_U FLOW	INT_FI FO_O FLOW _CH2_ PACE	INT_F IFO_ OFLO W_C H1_P ACE	INT_F IFO_ OFLO W_C H0_P ACE	INT_F IFO_ OFLO W_C H2_E CG	INT_FI FO_OF LOW_ CH1_E CG	INT_F IFO_ OFLO W_C H0_E CG	0x00 00	R/ W1 C
		[7:0]	INT_TI MER	INT_C M_OR	INT_FI FO_D EPH _THR D_CH 2_PA CE	INT_F IFO_ DEPT H_TH RD_C H1_P ACE	INT_F IFO_ DEPT H_TH RD_C H0_P ACE	INT_F IFO_ DEPT H_TH RD_C H2_E CG	INT_FI FO_DE PTH_T HRD_ CH1_E CG	INT_F IFO_ DEPT H_TH RD_C H0_E CG		
0x 0C	RATE/ EN	[15:8]	CLK_DIV_RATI O[1:0]		R1_RATE_CH2 _ECG[1:0]		R1_RATE_CH1 _ECG[1:0]		R1_RATE_CH0_ ECG[1:0]		0x00 00	R/ W
		[7:0]	RESER VED	CH2_ PACE _EN	CH1_ PACE _EN	CH0_ PACE _EN	CH2_ ECG_ EN	CH1_ ECG_ EN	CH0_E CG_E N	OP_E N		
0x 0D	ADPCM_E N/ NOTCH_E N	[15:8]	RESER VED	ADPC M_CH 2_PA CE_E N	ADPC M_CH 1_PA CE_E N	ADPC M_C H0_P ACE_ EN	RESE RVED	NOT CH_C H2_P ACE_ EN	NOTC H_CH 1_PAC E_EN	NOT CH_C H0_P ACE_ EN	0x00 00	R/ W
		[7:0]	RESER VED	ADPC M_CH 2_EC G_EN	ADPC M_CH 1_EC G_EN	ADPC M_C H0_E CG_E N	RESE RVED	NOT CH_C H2_E CG_E N	NOTC H_CH 1_ECG _EN	NOT CH_C H0_E CG_E N		

地址	名称	bits	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初始 值	读/ 写	
			bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0			
0x0E	MODE_SEL	[15:8]	RESERVED	FC_SEL	NOTCH_3D_B_SEL	NOTCH_SND_EN	BW_SEL_CH2_ECG	DATA_SFTCNT_CH2_ECG[2:0]			0x8000	R/W	
		[7:0]	BW_SEL_CH1_ECG	DATA_SFTCNT_CH1_ECG[2:0]			BW_SEL_CH0_ECG	DATA_SFTCNT_CH0_ECG[2:0]					
0x0F	TIMER	[15:8]	RESERVED			TIMER_EN	TIMER_PRD[11:8]					0x0000	R/W
		[7:0]	TIMER_PRD[7:0]										
0x10	INPUT_SELO_CH0	[15:8]	RESERVED	SEL_RLD[2:0]			INPUT_RES_CH0[3:0]					0x0000	R/W
		[7:0]	RESERVED		ADCP_ISEL_CH0[5:0]								
0x11	INPUT_SEL1_CH0	[15:8]	RESERVED			ADC_INPUT_SHORT_CH0	RESERVED			ADC_N_ISEL_CH0[8]	0x0000	R/W	
		[7:0]	ADCN_ISEL_CH0[7:0]										
0x12	INPUT_SELO_CH1	[15:8]	RESERVED				INPUT_RES_CH1[3:0]					0x0000	R/W
		[7:0]	RESERVED		ADCP_ISEL_CH1[5:0]								
0x13	INPUT_SEL1_CH1	[15:8]	RESERVED			ADC_INPUT_SHORT_CH1	RESERVED			ADC_N_ISEL_CH1[8]	0x0000	R/W	
		[7:0]	ADCN_ISEL_CH1[7:0]										
0x14	INPUT_SELO_CH2	[15:8]	RESERVED				INPUT_RES_CH2[3:0]					0x0000	R/W
		[7:0]	RESERVED		ADCP_ISEL_CH2[5:0]								
0x15	INPUT_SEL1_CH2	[15:8]	RESERVED			ADC_INPUT_SHORT_CH2	RESERVED			ADC_N_ISEL_CH2[8]	0x0000	R/W	
		[7:0]	ADCN_ISEL_CH2[7:0]										
0x16	WCT	[15:8]	INPUT_RES_	RESERVED		WCT_EN	RESERVED	WCT_CONT_IN_S2[2:0]			0x0000	R/W	

地址	名称	bits	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初始 值	读/ 写	
			bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0			
			EN										
		[7:0]	RESERVED	WCT_CONT_IN_S1[2:0]			RESERVED	WCT_CONT_IN_S0[2:0]					
0x1A	NOTCH_CNT_ADJ_CH0_ECG	[15:8]	RESERVED				NOTCH_CNT_ADJ_CH0_ECG[11:8]				0x0000	R/W	
		[7:0]	NOTCH_CNT_ADJ_CH0_ECG[7:0]										
0x1B	NOTCH_CNT_ADJ_CH1_ECG	[15:8]	RESERVED				NOTCH_CNT_ADJ_CH1_ECG[11:8]				0x0000	R/W	
		[7:0]	NOTCH_CNT_ADJ_CH1_ECG[7:0]										
0x1C	NOTCH_CNT_ADJ_CH2_ECG	[15:8]	RESERVED				NOTCH_CNT_ADJ_CH2_ECG[11:8]				0x0000	R/W	
		[7:0]	NOTCH_CNT_ADJ_CH2_ECG[7:0]										
0x1D	NOTCH_CNT_ADJ_PACE	[15:8]	RESERVED				NOTCH_CNT_ADJ_PACE[11:8]				0x0000	R/W	
		[7:0]	NOTCH_CNT_ADJ_PACE[7:0]										
0x20	RLD	[15:8]	RLD_EN	RLD_CURR[3:0]			RLD_CAP[4:2]				0x0000	R/W	
		[7:0]	RLD_CAP[1:0]		RLD_VREF_SEL	RLD_CONFIG[4:0]							
0x21	LO_EN	[15:8]	DCLO_MAG[3:0]				RESERVED				0x0000	R/W	
		[7:0]	CM_OR_EN	DCLO_RLD_EN	DCLO_IN5_EN	DCL_O_IN4_EN	DCLO_IN3_EN	DCL_O_IN2_EN	DCLO_IN1_EN	DCL_O_IN0_EN			
0x22	LO_CFG	[15:8]	RESERVED		DCLO_IN5_POLARITY	DCL_O_IN4_POLARITY	DCLO_IN3_POLARITY	DCL_O_IN2_POLARITY	DCLO_IN1_POLARITY	DCL_O_IN0_POLARITY	0x0000	R/W	
		[7:0]	RESERVED										
0x23	CMSD/CM	[15:8]	CMSD_EN	CMSD_CURR[3:0]			CMSD_CAP[4:2]				0x0000	R/W	
		[7:0]	CMSD_CAP[1:0]		CM_INPUT_SEL[5:0]								
0x24	INT_LO_EN	[15:8]	INT_CM_OR_HI_E	INT_CM_OR_LO_E	RESERVED						0x0000	R/W	

地址	名称	bits	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初始 值	读/ 写
			bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
			N	N								
		[7:0]	INT_D CLO_R LD_HI _EN	INT_D CLO_ RLD_L O_EN	INT_D CLO_I N5_E N	INT_ DCL O_IN 4_EN	INT_ DCLO _IN3_ EN	INT_ DCL O_IN 2_EN	INT_D CLO_I N1_E N	INT_ DCL O_IN 0_EN		
0x 25	INT_LO	[15:8]	INT_C M_OR _HI	INT_C M_OR _LO	RESERVED						0x00 00	R/ W1 C
		[7:0]	INT_D CLO_R LD_HI	INT_D CLO_ RLD_L O	INT_D CLO_I N5	INT_ DCL O_IN 4	INT_ DCLO _IN3	INT_ DCL O_IN 2	INT_D CLO_I N1	INT_ DCL O_IN 0		
0x 26	STA_LO	[15:8]	STA_C M_OR _HI	STA_ CM_O R_LO	RESERVED						0x00 00	RO
		[7:0]	STA_D CLO_R LD_HI	STA_ DCLO _RLD_ LO	STA_ DCLO _IN5	STA_ DCL O_IN 4	STA_ DCLO _IN3	STA_ DCL O_IN 2	STA_D CLO_I N1	STA_ DCL O_IN 0		
0x 27	RESERVE D	[15:8]	RESERVED								0x00 00	R/ W
		[7:0]	RESERVED									
0x 28	RESERVE D	[15:8]	RESERVED								0x00 00	RO
		[7:0]	RESERVED									
0x 29	RESERVE D	[15:8]	RESERVED								0x00 00	RO
		[7:0]	RESERVED									
0x 2A	RESERVE D	[15:8]	RESERVED								0x00 00	RO
		[7:0]	RESERVED									
0x 30	FIFO_STA _ADR_CH 0_ECG	[15:8]	RESERVED				FIFO_STA_ADR_CH0_ECG[11:8]				0x00 00	R/ W
		[7:0]	FIFO_STA_ADR_CH0_ECG[7:0]									
0x 31	FIFO_SIZE _CH0_EC G	[15:8]	RESERVED				FIFO_SIZE_CH0_ECG[11:8]				0x0F FF	R/ W
		[7:0]	FIFO_SIZE_CH0_ECG[7:0]									
0x 32	FIFO_DEP TH_THRD _CH0_EC	[15:8]	RESER VED	INT_FI FO_U FLOW _CH0_	INT_FI FO_O FLOW _CH0_	INT_F IFO_ DEPT H_TH	FIFO_DEPTH_THRD_CH0_ECG[11:8]				0x03 FF	R/ W

地址	名称	bits	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初始 值	读/ 写	
			bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0			
	G			ECG_ EN	ECG_ EN	RD_C H0_E CG_E N							
		[7:0]	FIFO_DEPTH_THRD_CH0_ECG[7:0]										
0x33	FIFO_STA_ADR_CH1_ECG	[15:8]	RESERVED				FIFO_STA_ADR_CH1_ECG[11:8]					0x0000	R/W
		[7:0]	FIFO_STA_ADR_CH1_ECG[7:0]										
0x34	FIFO_SIZE_CH1_ECG	[15:8]	RESERVED				FIFO_SIZE_CH1_ECG[11:8]					0x0FFF	R/W
		[7:0]	FIFO_SIZE_CH1_ECG[7:0]										
0x35	FIFO_DEPTH_THRD_CH1_ECG	[15:8]	RESERVED	INT_FI FO_U FLOW_ CH1_ ECG_ EN	INT_FI FO_O FLOW_ CH1_ ECG_ EN	INT_FI FO_ DEPT H_TH RD_C H1_E CG_E N	FIFO_DEPTH_THRD_CH1_ECG[11:8]					0x03FF	R/W
		[7:0]	FIFO_DEPTH_THRD_CH1_ECG[7:0]										
0x36	FIFO_STA_ADR_CH2_ECG	[15:8]	RESERVED				FIFO_STA_ADR_CH2_ECG[11:8]					0x0000	R/W
		[7:0]	FIFO_STA_ADR_CH2_ECG[7:0]										
0x37	FIFO_SIZE_CH2_ECG	[15:8]	RESERVED				FIFO_SIZE_CH2_ECG[11:8]					0x0FFF	R/W
		[7:0]	FIFO_SIZE_CH2_ECG[7:0]										
0x38	FIFO_DEPTH_THRD_CH2_ECG	[15:8]	RESERVED	INT_FI FO_U FLOW_ CH2_ ECG_ EN	INT_FI FO_O FLOW_ CH2_ ECG_ EN	INT_FI FO_ DEPT H_TH RD_C H2_E CG_E N	FIFO_DEPTH_THRD_CH2_ECG[11:8]					0x03FF	R/W
		[7:0]	FIFO_DEPTH_THRD_CH2_ECG[7:0]										
0x39	FIFO_STA_ADR_CH0_PACE	[15:8]	RESERVED				FIFO_STA_ADR_CH0_PACE[11:8]					0x0000	R/W
		[7:0]	FIFO_STA_ADR_CH0_PACE[7:0]										
0x	FIFO_SIZE	[15:8]	RESERVED				FIFO_SIZE_CH0_PACE[11:8]					0x0F	R/

地址	名称	bits	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初始 值	读/ 写	
			bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0			
3A	_CH0_PACE	[7:0]	FIFO_SIZE_CH0_PACE[7:0]								FF	W	
0x3B	FIFO_DEPTH_THRD_CH0_PACE	[15:8]	RESERVED	INT_FIFLOW_CH0_PACE_EN	INT_FIFLOW_CH0_PACE_EN	INT_FIFLOW_THRD_CH0_PACE_EN	FIFO_DEPTH_THRD_CH0_PACE[11:8]					0x03FF	R/W
		[7:0]	FIFO_DEPTH_THRD_CH0_PACE[7:0]										
0x3C	FIFO_STA_ADR_CH1_PACE	[15:8]	RESERVED				FIFO_STA_ADR_CH1_PACE[11:8]					0x0000	R/W
		[7:0]	FIFO_STA_ADR_CH1_PACE[7:0]										
0x3D	FIFO_SIZE_CH1_PACE	[15:8]	RESERVED				FIFO_SIZE_CH1_PACE[11:8]					0x0FFF	R/W
		[7:0]	FIFO_SIZE_CH1_PACE[7:0]										
0x3E	FIFO_DEPTH_THRD_CH1_PACE	[15:8]	RESERVED	INT_FIFLOW_CH1_PACE_EN	INT_FIFLOW_CH1_PACE_EN	INT_FIFLOW_THRD_CH1_PACE_EN	FIFO_DEPTH_THRD_CH1_PACE[11:8]					0x03FF	R/W
		[7:0]	FIFO_DEPTH_THRD_CH1_PACE[7:0]										
0x3F	FIFO_STA_ADR_CH2_PACE	[15:8]	RESERVED				FIFO_STA_ADR_CH2_PACE[11:8]					0x0000	R/W
		[7:0]	FIFO_STA_ADR_CH2_PACE[7:0]										
0x40	FIFO_SIZE_CH2_PACE	[15:8]	RESERVED				FIFO_SIZE_CH2_PACE[11:8]					0x0FFF	R/W
		[7:0]	FIFO_SIZE_CH2_PACE[7:0]										
0x41	FIFO_DEPTH_THRD_CH2_PACE	[15:8]	RESERVED	INT_FIFLOW_CH2_PACE_EN	INT_FIFLOW_CH2_PACE_EN	INT_FIFLOW_THRD_CH2_PACE_EN	FIFO_DEPTH_THRD_CH2_PACE[11:8]					0x03FF	R/W

地址	名称	bits	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初始 值	读/ 写
			bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
		[7:0]	FIFO_DEPTH_THRD_CH2_PACE[7:0]									
0x43 - 0x47	RESERVED	[15:8]	RESERVED								0xXX XX	RO
		[7:0]	RESERVED									
0x50	FIFO_BYTE_COUNT_CH0_ECG	[15:8]	RESERVED			FIFO_BYTE_COUNT_CH0_ECG[12:8]					0x00 00	RO
		[7:0]	FIFO_BYTE_COUNT_CH0_ECG[7:0]									
0x51	FIFO_BYTE_COUNT_CH1_ECG	[15:8]	RESERVED			FIFO_BYTE_COUNT_CH1_ECG[12:8]					0x00 00	RO
		[7:0]	FIFO_BYTE_COUNT_CH1_ECG[7:0]									
0x52	FIFO_BYTE_COUNT_CH2_ECG	[15:8]	RESERVED			FIFO_BYTE_COUNT_CH2_ECG[12:8]					0x00 00	RO
		[7:0]	FIFO_BYTE_COUNT_CH2_ECG[7:0]									
0x53	FIFO_BYTE_COUNT_CH0_PACE	[15:8]	RESERVED			FIFO_BYTE_COUNT_CH0_PACE[12:8]					0x00 00	RO
		[7:0]	FIFO_BYTE_COUNT_CH0_PACE[7:0]									
0x54	FIFO_BYTE_COUNT_CH1_PACE	[15:8]	RESERVED			FIFO_BYTE_COUNT_CH1_PACE[12:8]					0x00 00	RO
		[7:0]	FIFO_BYTE_COUNT_CH1_PACE[7:0]									
0x55	FIFO_BYTE_COUNT_CH2_PACE	[15:8]	RESERVED			FIFO_BYTE_COUNT_CH2_PACE[12:8]					0x00 00	RO
		[7:0]	FIFO_BYTE_COUNT_CH2_PACE[7:0]									
0x56	REG_DATA_CH0_ECG	[15:8]	DATA_CH0_ECG[15:8]								0xFF FF	RO
		[7:0]	DATA_CH0_ECG[7:0]									
0x57		[15:8]	DATA_CH0_ECG 符号位拓展								0xFF FF	RO
		[7:0]	DATA_CH0_ECG[23:16]									
0x58	REG_DATA_CH1_ECG	[15:8]	DATA_CH1_ECG[15:8]								0xFF FF	RO
		[7:0]	DATA_CH1_ECG[7:0]									
0x59		[15:8]	DATA_CH1_ECG 符号位拓展								0xFF FF	RO
		[7:0]	DATA_CH1_ECG[23:16]									

地址	名称	bits	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初始 值	读/ 写
			bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
0x5A	REG_DATA_CH2_ECG	[15:8]	DATA_CH2_ECG[15:8]								0xFF FF	RO
		[7:0]	DATA_CH2_ECG[7:0]									
0x5B		[15:8]	DATA_CH2_ECG 符号位拓展								0xFF FF	RO
		[7:0]	DATA_CH2_ECG[23:16]									
0x5C	REG_DATA_CH0_PACE	[15:8]	DATA_CH0_PACE[15:8]								0xFF FF	RO
		[7:0]	DATA_CH0_PACE[7:0]									
0x5D	REG_DATA_CH1_PACE	[15:8]	DATA_CH1_PACE[15:8]								0xFF FF	RO
		[7:0]	DATA_CH1_PACE[7:0]									
0x5E	REG_DATA_CH2_PACE	[15:8]	DATA_CH2_PACE[15:8]								0xFF FF	RO
		[7:0]	DATA_CH2_PACE[7:0]									
0x5F	RESERVED	[15:8]	RESERVED								0xFF FF	RO
		[7:0]	RESERVED									
0x60	FIFO_DATA_CH0_ECG	[15:8]	RESERVED								0xFF / 0xFF FF/ 0xFF FFFF	RO
		[7:0]	FIFO_DATA_CH0_ECG[7:0]									
0x61	FIFO_DATA_CH1_ECG	[15:8]	RESERVED								0xFF / 0xFF FF/ 0xFF FFFF	RO
		[7:0]	FIFO_DATA_CH1_ECG[7:0]									
0x62	FIFO_DATA_CH2_ECG	[15:8]	RESERVED								0xFF / 0xFF FF/ 0xFF FFFF	RO
		[7:0]	FIFO_DATA_CH2_ECG[7:0]									
0x63	FIFO_DATA_CH0_PACE	[15:8]	RESERVED								0xFF FF	RO
		[7:0]	FIFO_DATA_CH0_PACE[7:0]									
0x	FIFO_DATA	[15:8]	RESERVED								0xFF	RO

地址	名称	bits	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	初始 值	读/ 写
			bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
64	A_CH1_P ACE	[7:0]	FIFO_DATA_CH1_PACE[7:0]								FF	
0x 65	FIFO_DAT A_CH2_P	[15:8]	RESERVED								0xFF FF	RO
	ACE	[7:0]	FIFO_DATA_CH2_PACE[7:0]									

10 寄存器描述

10.1 系统、全局寄存器

表 10. 系统、全局寄存器

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x00	7	FIFO_MODE_DIS	FIFO 模式使能控制。 0: 使能 FIFO 1: 禁用 FIFO	1	0x0	R/W
	1	SPI_MODE	SPI 通讯协议模式配置。 0: SPI 4 线通讯协议模式 1: SPI 3 线通讯协议模式	1	0x0	R/W
	0	MOSI_PULLUP	用于 IC 通讯协议时 MOSI 端口配置。 0: MOSI 端口不配置上拉 1: MOSI 端口配置上拉	1	0x0	R/W
0x07	6	INPUT_RES_IND	ADC 输入阻抗控制可用指示。 0: 可用 ADC 输入阻抗控制功能 1: 不可用 ADC 输入阻抗控制功能	1	0x0	RO
	5	NOTCH_IND	工频陷波功能可用指示。 0: 可用工频陷波功能 1: 不可用工频陷波功能	1	0x0	RO
	4	ADPCM_IND	数据压缩功能可用指示。 0: 可用数据压缩功能 1: 不可用数据压缩功能	1	0x0	RO
	3	WCT_IND	WCT 功能可用指示。 0: 可用 WCT 功能 1: 不可用 WCT 功能	1	0x0	RO
	2	PACE_IND	PACE 功能可用指示。 0: 可用 PACE 功能 1: 不可用 PACE 功能	1	0x0	RO

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
	[1:0]	CHANNEL_NUMB_IND[1:0]	可用通道数量指示。 00: 通道 0、通道 1 和通道 2 可同时使用 01: 通道 0 和通道 1 可同时使用 10/11: 通道 0 可使用	2	0x0	RO
0x08	0	SW_RESET	写 1 芯片复位。	1	-	W
0x08	[15:0]	CHIP_ID[15:0]	芯片型号缩写，只读。	16	0x1003	RO
0x09	[3:0]	VERSION[3:0]	芯片版本号，只读。	4	0x0	RO

10.2 GPIO 相关寄存器

10.2.1 GPIO 配置寄存器

表 11. GPIO 配置寄存器

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x03	[14:12]	GPIO1_OUT[2:0]	GPIO1 输出源选择。 010: 输出中断信号 其它: RESERVED	3	0x0	R/W
	11	GPIO1_PE	GPIO1 内部上拉使能控制。 0: 不启用内部上拉 1: 启用内部上拉	1	0x0	R/W
	10	GPIO1_POL	GPIO1 输出极性选择。 0: 默认极性 1: 极性反向	1	0x0	R/W
	[9:8]	GPIO1_CFG[1:0]	GPIO1 模式配置。 00: GPIO1 不使能 01: RESERVED 10: GPIO1 配置为输出模式 (Push-Pull) 11: GPIO1 配置为输出模式 (Open-Drain)	2	0x0	R/W

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
	7	IO_DS	GPIO 与通讯 IO 口驱动能力选择。 0: 弱驱动 1: 强驱动 具体驱动能力见电气特性表	1	0x0	R/W
	[6:4]	GPIO0_OUT[2:0]	GPIO0 输出源选择。 010: 输出中断信号 其它: RESERVED	3	0x0	R/W
	3	GPIO0_PE	GPIO0 内部上拉使能控制。 0: 不启用内部上拉 1: 启用内部上拉	1	0x0	R/W
	2	GPIO0_POL	GPIO0 输出极性选择。 0: 默认极性 1: 极性反向	1	0x0	R/W
	[1:0]	GPIO0_CFG[1:0]	GPIO0 模式配置。 00: GPIO0 不使能 01: RESERVED 10: GPIO0 配置为输出模式 (Push-Pull) 11: GPIO0 配置为输出模式 (Open-Drain)	2	0x0	R/W

10.2.2 中断输出 IO 选择寄存器

表 12. 中断输出 IO 选择寄存器

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x09	9	INT_SAMPLE_IO	即时数据读取中断 IO 选择。 0: 此中断通过 GPIO0 输出 1: 此中断通过 GPIO1 输出	1	0x0	R/W
	8	INT_CM_OR_IO	输入共模超限检测中断 IO 选择。 0: 此中断通过 GPIO0 输出 1: 此中断通过 GPIO1 输出	1	0x1	R/W

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
	7	INT_LO_IO	直流脱落检测中断 IO 选择。 0: 此中断通过 GPIO0 输出 1: 此中断通过 GPIO1 输出	1	0x1	R/W
	6	INT_FIFO_EXCEP_IO	FIFO 异常中断 IO 选择。 0: 此中断通过 GPIO0 输出 1: 此中断通过 GPIO1 输出	1	0x1	R/W
	5	INT_TIMER_IO	定时器中断 IO 选择。 0: 此中断通过 GPIO0 输出 1: 此中断通过 GPIO1 输出	1	0x0	R/W
	4	INT_FIFO_DEPTH_THRD_IO	FIFO 数据深度中断 IO 选择。 0: 此中断通过 GPIO0 输出 1: 此中断通过 GPIO1 输出	1	0x0	R/W

10.3 模拟输入选通器相关寄存器

表 13. 输入通道选择寄存器

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x10	[5:0]	ADCP_ISEL_CH0[5:0]	通道 0 ADC 正输入连接选择。 000000: 通道 0 正输入无连接 xxxxx1: 通道 0 正输入连接到 IN0 电极 xxxx1x: 通道 0 正输入连接到 IN1 电极 xxx1xx: 通道 0 正输入连接到 IN2 电极 xx1xxx: 通道 0 正输入连接到 IN3 电极 x1xxxx: 通道 0 正输入连接到 IN4 电极 1xxxxx: 通道 0 正输入连接到 IN5 电极 以上连接选择不互斥	6	0x00	R/W

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x11	12	ADC_INPUT_SHORT_CH0	通道 0 输入是否短路选择。 0: ADC 输入不短路连接 1: ADC 输入短路并连接共模电压	1	0x0	R/W
	[8:0]	ADCN_ISEL_CH0[8:0]	通道 0 ADC 负输入连接选择。 00000000: 通道 0 负输入无连接 xxxxxxx1: 通道 0 负输入连接到 IN0 电极 xxxxxxx1x: 通道 0 负输入连接到 IN1 电极 xxxxxx1xx: 通道 0 负输入连接到 IN2 电极 xxxxx1xxx: 通道 0 负输入连接到 IN3 电极 xxx1xxxx: 通道 0 负输入连接到 IN4 电极 xx1xxxxx: 通道 0 负输入连接到 IN5 电极 x1xxxxxx: 通道 0 负输入连接到 VREF 1xxxxxxx: 通道 0 负输入连接到 WCT 输出 1xxxxxxx: 通道 0 负输入连接到 GT0 输出 以上连接选择不互斥	9	0x000	R/W

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x12	[5:0]	ADCP_ISEL_CH1[5:0]	通道 1 ADC 正输入连接选择。 000000: 通道 1 正输入无连接 xxxxx1: 通道 1 正输入连接到 IN0 电极 xxxx1x: 通道 1 正输入连接到 IN1 电极 xxx1xx: 通道 1 正输入连接到 IN2 电极 xx1xxx: 通道 1 正输入连接到 IN3 电极 x1xxxx: 通道 1 正输入连接到 IN4 电极 1xxxxx: 通道 1 正输入连接到 IN5 电极 以上连接选择不互斥	6	0x00	R/W
0x13	12	ADC_INPUT_SHORT_CH1	通道 1 输入是否短路选择。 0: ADC 输入不短路连接 1: ADC 输入短路并连接共模电压	1	0x0	R/W

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
	[8:0]	ADCN_ISEL_CH1[8:0]	通道 1 ADC 负输入连接选择。 000000000: 通道 1 负输入无连接 xxxxxxx1: 通道 1 负输入连接到 IN0 电极 xxxxxx1x: 通道 1 负输入连接到 IN1 电极 xxxxxx1xx: 通道 1 负输入连接到 IN2 电极 xxxxx1xxx: 通道 1 负输入连接到 IN3 电极 xxxx1xxxx: 通道 1 负输入连接到 IN4 电极 xxx1xxxxx: 通道 1 负输入连接到 IN5 电极 xx1xxxxxx: 通道 1 负输入连接到 VREF x1xxxxxxx: 通道 1 负输入连接到 WCT 输出 1xxxxxxx: 通道 1 负输入连接到 GT1 输出 以上连接选择不互斥	9	0x000	R/W

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x14	[5:0]	ADCP_ISEL_CH2[5:0]	通道 2 ADC 正输入连接选择。 000000: 通道 2 正输入无连接 xxxxx1: 通道 2 正输入连接到 IN0 电极 xxxx1x: 通道 2 正输入连接到 IN1 电极 xxx1xx: 通道 2 正输入连接到 IN2 电极 xx1xxx: 通道 2 正输入连接到 IN3 电极 x1xxxx: 通道 2 正输入连接到 IN4 电极 1xxxxx: 通道 2 正输入连接到 IN5 电极 以上连接选择不互斥	6	0x00	R/W
0x15	12	ADC_INPUT_SHORT_CH2	通道 2 输入是否短路选择。 0: ADC 输入不短路连接 1: ADC 输入短路并连接共模电压	1	0x0	R/W

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
	[8:0]	ADCN_ISEL_CH2[8:0]	通道 2 ADC 负输入连接选择。 000000000: 通道 2 负输入无连接 xxxxxxx1: 通道 2 负输入连接到 IN0 电极 xxxxxx1x: 通道 2 负输入连接到 IN1 电极 xxxxxx1xx: 通道 2 负输入连接到 IN2 电极 xxxxx1xxx: 通道 2 负输入连接到 IN3 电极 xxxx1xxxx: 通道 2 负输入连接到 IN4 电极 xxx1xxxxx: 通道 2 负输入连接到 IN5 电极 xx1xxxxxx: 通道 2 负输入连接到 VREF x1xxxxxxx: 通道 2 负输入连接到 WCT 输出 1xxxxxxx: 通道 2 负输入连接到 GT2 输出 以上连接选择不互斥	9	0x000	R/W

10.4 AFE 相关寄存器

10.4.1 ADC 使能相关寄存器

表 14. ADC 使能相关寄存器

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x0C	6	CH2_PACE_EN	通道 2 PACE 使能控制（仅 ZSBM1003）。 0: 不使能 1: 使能	1	0x0	R/W

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
	5	CH1_PACE_EN	通道 1 PACE 使能控制（仅 ZSBM1003）。 0：不使能 1：使能	1	0x0	R/W
	4	CH0_PACE_EN	通道 0 PACE 使能控制（仅 ZSBM1003）。 0：不使能 1：使能	1	0x0	R/W
	3	CH2_ECG_EN	通道 2 ECG 使能控制（仅 ZSBM1003）。 0：不使能 1：使能	1	0x0	R/W
	2	CH1_ECG_EN	通道 1 ECG 使能控制（仅 ZSBM1003）。 0：不使能 1：使能	1	0x0	R/W
	1	CH0_ECG_EN	通道 0 ECG 使能控制。 0：不使能 1：使能	1	0x0	R/W
	0	OP_EN	芯片工作使能控制。 0：停止工作 1：开始工作	1	0x0	R/W

10.4.2 滤波器相关寄存器

表 15. 滤波器相关寄存器

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
----	-------	-------	----	----	----	----

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x0C	[15:14]	CLK_DIV_RATIO[1:0]	时钟分频比。 由高速时钟分频产生低速时钟时的分频比。 00: 1.024M CLK; 01: 1.024M CLK 的 2 分频; 10: 1.024M CLK 的 4 分频; 11: 1.024M CLK 的 8 分频;	2	0x0	R/W
	[13:12]	R1_RATE_CH2_ECG[1:0]	通道 2 ECG R1 数据降采样率选择。 00: 1024 倍降采样率; 01: 512 倍降采样率; 10: 256 倍降采样率; 11: 128 倍降采样率;	2	0x0	R/W
	[11:10]	R1_RATE_CH1_ECG[1:0]	通道 1 ECG R1 数据降采样率选择。 00: 1024 倍降采样率; 01: 512 倍降采样率; 10: 256 倍降采样率; 11: 128 倍降采样率;	2	0x0	R/W
	[9:8]	R1_RATE_CH0_ECG[1:0]	通道 0 ECG R1 数据降采样率选择。 00: 1024 倍降采样率; 01: 512 倍降采样率; 10: 256 倍降采样率; 11: 128 倍降采样率;	2	0x0	R/W

10.4.3 ADC 电阻选择相关寄存器

表 16. ADC 电阻选择相关寄存器

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
----	-------	-------	----	----	----	----

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x10	[11:8]	INPUT_RES_CH0[3:0]	通道 0 输入电阻选择。 0000: 20M 0001: 30M 0010: 60M 0011: 120M 0100: 240M 0101: 480M 0110: 1G 0111: 2G 1000: 5G 1001: 10G	4	0x0	R/W
0x12	[11:8]	INPUT_RES_CH1[3:0]	通道 1 输入电阻选择。 0000: 20M 0001: 30M 0010: 60M 0011: 120M 0100: 240M 0101: 480M 0110: 1G 0111: 2G 1000: 5G 1001: 10G	4	0x0	R/W

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x14	[11:8]	INPUT_RES_CH2[3:0]	通道 2 输入电阻选择。 0000: 20M 0001: 30M 0010: 60M 0011: 120M 0100: 240M 0101: 480M 0110: 1G 0111: 2G 1000: 5G 1001: 10G	4	0x0	R/W
0x16	15	INPUT_RES_EN	ADC 输入阻抗调整使能控制。 0: 不使能 1: 使能	1	0x0	R/W

10.4.4 ADC 失调校正相关寄存器

表 17. ADC 失调校正相关寄存器

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x04	[15:0]	ADC_OFFSET_CH0[15:0]	通道 0 ADC 失调校正。 每次转换结果自动减去校正 值输出。	16	0x0000	R/W
0x05	[15:0]	ADC_OFFSET_CH1[15:0]	通道 1 ADC 失调校正。 每次转换结果自动减去校正 值输出。	16	0x0000	R/W
0x06	[15:0]	ADC_OFFSET_CH2[15:0]	通道 2 ADC 失调校正。 每次转换结果自动减去校正 值输出。	16	0x0000	R/W

10.5 WCT 相关寄存器

表 18. WCT 相关寄存器

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
----	-------	-------	----	----	----	----

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x16	12	WCT_EN	WCT 使能控制（仅 ZSBM1003）。 0: WCT 不使能 1: WCT 使能，并输出到片外	1	0x0	R/W
	[10:8]	WCT_CONT_IN_S2[2:0]	WCT 输入缓冲器 2 的输入配置（仅 ZSBM1003）。 000: 没有任何通道输入缓冲器 2，同时缓冲器掉电 001: IN0 电极输入到缓冲器 2 010: IN1 电极输入到缓冲器 2 011: IN2 电极输入到缓冲器 2 100: IN3 电极输入到缓冲器 2 101: IN4 电极输入到缓冲器 2 110: IN5 电极输入到缓冲器 2	3	0x0	R/W
	[6:4]	WCT_CONT_IN_S1[2:0]	WCT 输入缓冲器 1 的输入配置（仅 ZSBM1003）。 000: 没有任何通道输入缓冲器 1，同时缓冲器掉电 001: IN0 电极输入到缓冲器 1 010: IN1 电极输入到缓冲器 1 011: IN2 电极输入到缓冲器 1 100: IN3 电极输入到缓冲器 1 101: IN4 电极输入到缓冲器 1 110: IN5 电极输入到缓冲器 1	3	0x0	R/W

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
	[2:0]	WCT_CONT_IN_S0[2:0]	WCT 输入缓冲器 0 的输入配置（仅 ZSBM1003）。 000：没有任何通道输入缓冲器 0，同时缓冲器掉电 001：IN0 电极输入到缓冲器 0 010：IN1 电极输入到缓冲器 0 011：IN2 电极输入到缓冲器 0 100：IN3 电极输入到缓冲器 0 101：IN4 电极输入到缓冲器 0 110：IN5 电极输入到缓冲器 0	3	0x0	R/W

10.6 共模检测相关寄存器

表 19. 共模检测相关寄存器

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x21	7	CM_OR_EN	输入共模超限检测使能控制。 0：不使能 1：使能	1	0x0	R/W
0x24	15	INT_CM_OR_HI_EN	输入共模超限检测高阈值中断输出使能。 0：此中断不输出 1：此中断输出	1	0x0	R/W
0x24	14	INT_CM_OR_LO_EN	输入共模超限检测低阈值中断输出使能。 0：此中断不输出 1：此中断输出	1	0x0	R/W
0x0A	6	INT_CM_OR	输入共模超限中断标志位。 0：未产生此中断 1：输入共模超限时置位（<300mV 或者 >700mV）	1	0x0	R/W1C

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x25	15	INT_CM_OR_HI	输入共模超限检测高阈值中断标志位。 0: 未产生此中断 1: 输入共模超限检测超过高阈值时置位	1	0x0	R/W1C
0x25	14	INT_CM_OR_LO	输入共模超限检测低阈值中断标志位。 0: 未产生此中断 1: 输入共模超限检测低于低阈值时置位	1	0x0	R/W1C
0x26	15	STA_CM_OR_HI	输入共模超限检测高阈值状态位。 0: 未产生此标志 1: 产生输入共模超限检测高阈值标志	1	0x0	RO
0x26	14	STA_CM_OR_LO	输入共模超限检测低阈值状态位。 0: 未产生此标志 1: 产生输入共模超限检测低阈值标志	1	0x0	RO

10.7 电缆屏蔽驱动相关寄存器

表 20. 电缆屏蔽驱动相关寄存器

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x23	15	CMSD_EN	线缆驱动功能使能控制。 0: 关闭共模功能 1: 开启共模功能	1	0x0	R/W
	[14:11]	CMSD_CURR[3:0]	线缆驱动输出级电流驱动。 驱动能力正比于寄存器数值	4	0x0	R/W
	[10:6]	CMSD_CAP[4:0]	线缆驱动增益带宽积设置。 增大此寄存器数值会减小增益带宽积	5	0x00	R/W

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
	[5:0]	CM_INPUT_SEL[5:0]	选择参与共模提取的输入电极。 xxxx0: 共模信号提取源不包含 IN0 电极 xxxx1: 共模信号提取源包含 IN0 电极 xxx0x: 共模信号提取源不包含 IN1 电极 xxx1x: 共模信号提取源包含 IN1 电极 xxx0xx: 共模信号提取源不包含 IN2 电极 xxx1xx: 共模信号提取源包含 IN2 电极 xx0xxx: 共模信号提取源不包含 IN3 电极 xx1xxx: 共模信号提取源包含 IN3 电极 x0xxxx: 共模信号提取源不包含 IN4 电极 x1xxxx: 共模信号提取源包含 IN4 电极 0xxxxx: 共模信号提取源不包含 IN5 电极 1xxxxx: 共模信号提取源包含 IN5 电极 例: CM_INPUT_SEL[5:0]='b000011, 则只有 IN0、IN1 电极的信号共模被提取而后输入右腿驱动, IN2~IN5 不参与共模提取	6	0x00	R/W

10.8 右腿驱动相关寄存器

表 21. 右腿驱动相关寄存器

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x10	[14:12]	SEL_RLD[2:0]	右腿驱动选择。 选择 IN0~IN5 中的某个电极作为右腿驱动。 000: 不选择; 001: 选择 IN0 电极; 010: 选择 IN1 电极; 011: 选择 IN2 电极; 100: 选择 IN3 电极; 101: 选择 IN4 电极; 110: 选择 IN5 电极; 111: 不选择。	3	0x0	R/W

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x20	15	RLD_EN	右腿驱动使能控制。 0: 不使能 1: 使能	1	0x0	R/W
	[14:11]	RLD_CURR[3:0]	右腿驱动输出级电流驱动。 驱动能力正比于寄存器数值	4	0x0	R/W
	[10:6]	RLD_CAP[4:0]	右腿驱动增益带宽积设置。 增大此寄存器数值会减小增益带宽积	5	0x00	R/W
	5	RLD_VREF_SEL	右腿驱动参考共模电平选择。 0: 内部提供 1: 由 RLDIN 引脚给入	1	0x0	R/W
	[4:0]	RLD_CONFIG[4:0]	右腿驱动配置。 [4:3]: 配置右腿驱动输出选择: 00: 右腿驱动放大器的输出 01: 共模输入电压 10/11: RESERVED [2]: 线缆驱动电路使能控制 0: 共模信号提取后只输入至线缆驱动, 用户须在外连接至右腿驱动放大器 1: 共模信号提取后内部直接输入到右腿驱动放大器 [1:0]: 右腿驱动放大器的片上反馈电容选择: 00: 无电容 01: 10pF 10: 20pF 11: 30pF	5	0x00	R/W

10.9 脱落检测相关寄存器

10.9.1 脱落检测控制

表 22. 脱落检测控制

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x21	[15:12]	DCLO_MAG[3:0]	直流脱落检测电流幅值。 产生的直流脱落检测电流 = DCLO_MAG*2nA 例: DCLO_MAG='b0111, 直流脱落 检测电流 = 7*2nA	4	0x0	R/W
	6	DCLO_RLD_EN	右腿直流脱落检测使能控制。 0: 不使能 1: 使能	1	0x0	R/W
	5	DCLO_IN5_EN	IN5 电极直流脱落检测使能控制。 0: 不使能 1: 使能	1	0x0	R/W
	4	DCLO_IN4_EN	IN4 电极直流脱落检测使能控制。 0: 不使能 1: 使能	1	0x0	R/W
	3	DCLO_IN3_EN	IN3 电极直流脱落检测使能控制。 0: 不使能 1: 使能	1	0x0	R/W
	2	DCLO_IN2_EN	IN2 电极直流脱落检测使能控制。 0: 不使能 1: 使能	1	0x0	R/W
	1	DCLO_IN1_EN	IN1 电极直流脱落检测使能控制。 0: 不使能 1: 使能	1	0x0	R/W
	0	DCLO_IN0_EN	IN0 电极直流脱落检测使能控制。 0: 不使能 1: 使能	1	0x0	R/W
0x22	13	DCLO_IN5_POLARITY	IN5 电极直流脱落检测正输入电极 电流方向配置。 0: 电流方向从人体流向芯片 1: 电流方向从芯片流向人体	1	0x0	R/W

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
	12	DCLO_IN4_POLARITY	IN4 电极直流脱落检测正输入电极电流方向配置。 0: 电流方向从人体流向芯片 1: 电流方向从芯片流向人体	1	0x0	R/W
	11	DCLO_IN3_POLARITY	IN3 电极直流脱落检测正输入电极电流方向配置。 0: 电流方向从人体流向芯片 1: 电流方向从芯片流向人体	1	0x0	R/W
	10	DCLO_IN2_POLARITY	IN2 电极直流脱落检测正输入电极电流方向配置。 0: 电流方向从人体流向芯片 1: 电流方向从芯片流向人体	1	0x0	R/W
	9	DCLO_IN1_POLARITY	IN1 电极直流脱落检测正输入电极电流方向配置。 0: 电流方向从人体流向芯片 1: 电流方向从芯片流向人体	1	0x0	R/W
	8	DCLO_IN0_POLARITY	IN0 电极直流脱落检测正输入电极电流方向配置。 0: 电流方向从人体流向芯片 1: 电流方向从芯片流向人体	1	0x0	R/W

10.9.2 脱落检测中断使能

表 23. 脱落检测中断使能

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x24	7	INT_DCLO_RLD_HI_EN	右腿驱动直流脱落检测高阈值中断输出使能。 0: 此中断不输出 1: 此中断输出	1	0x0	R/W
	6	INT_DCLO_RLD_LO_EN	右腿驱动直流脱落检测低阈值中断输出使能。 0: 此中断不输出 1: 此中断输出	1	0x0	R/W

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
	5	INT_DCLO_IN5_EN	IN5 电极直流脱落检测中断输出使能。 0: 此中断不输出 1: 此中断输出	1	0x0	R/W
	4	INT_DCLO_IN4_EN	IN4 电极直流脱落检测中断输出使能。 0: 此中断不输出 1: 此中断输出	1	0x0	R/W
	3	INT_DCLO_IN3_EN	IN3 电极直流脱落检测中断输出使能。 0: 此中断不输出 1: 此中断输出	1	0x0	R/W
	2	INT_DCLO_IN2_EN	IN2 电极直流脱落检测中断输出使能。 0: 此中断不输出 1: 此中断输出	1	0x0	R/W
	1	INT_DCLO_IN1_EN	IN1 电极直流脱落检测中断输出使能。 0: 此中断不输出 1: 此中断输出	1	0x0	R/W
	0	INT_DCLO_IN0_EN	IN0 电极直流脱落检测中断输出使能。 0: 此中断不输出 1: 此中断输出	1	0x0	R/W

10.9.3 脱落检测中断标志位

表 24. 脱落检测中断标志位

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x0A	15	INT_LO	直流脱落检测中断标志位。 0: 未产生此中断 1: 直流脱落时置位	1	0x0	R/W1C

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x25	7	INT_DCLO_RLD_HI	右腿驱动直流脱落检测高阈值中断标志位。 0: 未产生中断 1: 右腿驱动直流脱落超过高阈值时置位	1	0x0	R/W1C
	6	INT_DCLO_RLD_LO	右腿驱动直流脱落检测低阈值中断标志位。 0: 未产生中断 1: 右腿驱动直流脱落低于低阈值时置位	1	0x0	R/W1C
	5	INT_DCLO_IN5	IN5 电极直流脱落检测中断标志位。 0: 未产生此中断 1: IN5 电极直流脱落时置位	1	0x0	R/W1C
	4	INT_DCLO_IN4	IN4 电极直流脱落检测中断标志位。 0: 未产生此中断 1: IN4 电极直流脱落时置位	1	0x0	R/W1C
	3	INT_DCLO_IN3	IN3 电极直流脱落检测中断标志位。 0: 未产生此中断 1: IN3 电极直流脱落时置位	1	0x0	R/W1C
	2	INT_DCLO_IN2	IN2 电极直流脱落检测中断标志位。 0: 未产生此中断 1: IN2 电极直流脱落时置位	1	0x0	R/W1C
	1	INT_DCLO_IN1	IN1 电极直流脱落检测中断标志位。 0: 未产生此中断 1: IN1 电极直流脱落时置位	1	0x0	R/W1C
	0	INT_DCLO_IN0	IN0 电极直流脱落检测中断标志位。 0: 未产生此中断 1: IN0 电极直流脱落时置位	1	0x0	R/W1C

10.9.4 脱落检测状态位

表 25. 脱落检测状态位

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
----	-------	-------	----	----	----	----

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x26	7	STA_DCLO_RLD_HI	右腿驱动直流脱落检测高阈值状态位。 0: 未产生此标志 1: 产生右腿驱动直流脱落检测高阈值标志	1	0x0	RO
	6	STA_DCLO_RLD_LO	右腿驱动直流脱落检测低阈值状态位。 0: 未产生此标志 1: 产生右腿驱动直流脱落检测低阈值标志	1	0x0	RO
	5	STA_DCLO_IN5	IN5 电极直流脱落检测状态位。 0: 未产生此标志 1: 产生 IN5 电极直流脱落标志	1	0x0	RO
	4	STA_DCLO_IN4	IN4 电极直流脱落检测状态位。 0: 未产生此标志 1: 产生 IN4 电极直流脱落标志	1	0x0	RO
	3	STA_DCLO_IN3	IN3 电极直流脱落检测状态位。 0: 未产生此标志 1: 产生 IN3 电极直流脱落标志	1	0x0	RO
	2	STA_DCLO_IN2	IN2 电极直流脱落检测状态位。 0: 未产生此标志 1: 产生 IN2 电极直流脱落标志	1	0x0	RO
	1	STA_DCLO_IN1	IN1 电极直流脱落检测状态位。 0: 未产生此标志 1: 产生 IN1 电极直流脱落标志	1	0x0	RO
	0	STA_DCLO_IN0	IN0 电极直流脱落检测状态位。 0: 未产生此标志 1: 产生 IN0 电极直流脱落标志	1	0x0	RO

10.10 NOTCH 相关寄存器

表 26. NOTCH 相关寄存器

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x02	[5:0]	FREQ_DELTA_PER[5:0]	内部振荡器频率偏差（与 12.288M 对比）百分比的编码。	6	0x00	RO
0x0E	13	NOTCH_3DB_SEL	工频陷波功能 3DB 带宽选择。 0: $\pm 2.5\text{Hz}$ 1: $\pm 5\text{Hz}$	1	0x0	R/W
0x0E	14	FC_SEL	工频陷波功能频率选择。 0: 50Hz 1: 60Hz	1	0x0	R/W
0x1A	[11:0]	NOTCH_CNT_ADJ_CH0_ECG[11:0]	通道 0 ECG 工频陷波器频率偏差校正。	12	0x000	R/W
0x1B	[11:0]	NOTCH_CNT_ADJ_CH1_ECG[11:0]	通道 1 ECG 工频陷波器频率偏差校正。	12	0x000	R/W
0x1C	[11:0]	NOTCH_CNT_ADJ_CH2_ECG[11:0]	通道 2 ECG 工频陷波器频率偏差校正。	12	0x000	R/W
0x1D	[11:0]	NOTCH_CNT_ADJ_PACE[11:0]	PACE 工频陷波器频率偏差校正。	12	0x000	R/W
0x0D	10	NOTCH_CH2_PACE_EN	通道 2 PACE 工频陷波功能使能控制。 0: 不使能 1: 使能	1	0x0	R/W
	9	NOTCH_CH1_PACE_EN	通道 1 PACE 工频陷波功能使能控制。 0: 不使能 1: 使能	1	0x0	R/W
	8	NOTCH_CH0_PACE_EN	通道 0 PACE 工频陷波功能使能控制。 0: 不使能 1: 使能	1	0x0	R/W

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
	2	NOTCH_CH2_ECG_EN	通道 2 ECG 工频陷波功能使能控制。 0: 不使能 1: 使能	1	0x0	R/W
	1	NOTCH_CH1_ECG_EN	通道 1 ECG 工频陷波功能使能控制。 0: 不使能 1: 使能	1	0x0	R/W
	0	NOTCH_CH0_ECG_EN	通道 0 ECG 工频陷波功能使能控制。 0: 不使能 1: 使能	1	0x0	R/W
0x0E	12	NOTCH_SND_EN	工频二次谐波陷波功能使能控制。 0: 不使能 1: 使能	1	0x0	R/W

10.11 ADPCM 相关寄存器

表 27. ADPCM 相关寄存器

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
	14	ADPCM_CH2_PACE_EN	通道 2 PACE 数据压缩功能使能控制。 0: 不使能 1: 使能	1	0x0	R/W
0x0D	13	ADPCM_CH1_PACE_EN	通道 1 PACE 数据压缩功能使能控制。 0: 不使能 1: 使能	1	0x0	R/W
	12	ADPCM_CH0_PACE_EN	通道 0 PACE 数据压缩功能使能控制。 0: 不使能 1: 使能	1	0x0	R/W

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
	6	ADPCM_CH2_ECG_EN	通道 2 ECG 数据压缩功能使能控制。 0: 不使能 1: 使能	1	0x0	R/W
	5	ADPCM_CH1_ECG_EN	通道 1 ECG 数据压缩功能使能控制。 0: 不使能 1: 使能	1	0x0	R/W
	4	ADPCM_CH0_ECG_EN	通道 0 ECG 数据压缩功能使能控制。 0: 不使能 1: 使能	1	0x0	R/W

10.12 ECG 数据输出位宽相关寄存器

表 28. ECG 数据输出位宽相关寄存器

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
	11	BW_SEL_CH2_ECG	通道 2 ECG 位宽选择。 0: 24bit 1: 16bit	1	0x0	R/W
0x0E	[10:8]	DATA_SFTCNT_CH2_ECG[2:0]	通道 2 ECG 数据 16bit 输出模式 量程选择。 000: $\pm 500\text{mV}$ 001: $\pm 250\text{mV}$ 010: $\pm 125\text{mV}$ 011: $\pm 62.5\text{mV}$ 100: $\pm 31.25\text{mV}$ 101: $\pm 15.63\text{mV}$ 110: $\pm 7.82\text{mV}$ 111: $\pm 3.91\text{mV}$	1	0x0	R/W
	7	BW_SEL_CH1_ECG	通道 1 ECG 位宽选择。 0: 24bit 1: 16bit	1	0x0	R/W

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
	[6:4]	DATA_SFTCNT_CH1_ECG[2:0]	通道 1 ECG 数据 16bit 输出模式 量程选择。 000: $\pm 500\text{mV}$ 001: $\pm 250\text{mV}$ 010: $\pm 125\text{mV}$ 011: $\pm 62.5\text{mV}$ 100: $\pm 31.25\text{mV}$ 101: $\pm 15.63\text{mV}$ 110: $\pm 7.82\text{mV}$ 111: $\pm 3.91\text{mV}$	1	0x0	R/W
	3	BW_SEL_CH0_ECG	通道 0 ECG 位宽选择。 0: 24bit 1: 16bit	1	0x0	R/W
	[2:0]	DATA_SFTCNT_CH0_ECG[2:0]	通道 0 ECG 数据 16bit 输出模式 量程选择。 000: $\pm 500\text{mV}$ 001: $\pm 250\text{mV}$ 010: $\pm 125\text{mV}$ 011: $\pm 62.5\text{mV}$ 100: $\pm 31.25\text{mV}$ 101: $\pm 15.63\text{mV}$ 110: $\pm 7.82\text{mV}$ 111: $\pm 3.91\text{mV}$	1	0x0	R/W

10.13 FIFO 相关寄存器

10.13.1 FIFO 中断控制寄存器

表 29. FIFO 中断控制寄存器

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
----	-------	-------	----	----	----	----

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x00	5	ACLEAR_INT_FIFO_DIS	读 FIFO 自动清中断配置。 0: 读取 FIFO 时自动清除对应的 FIFO_DEPTH_THRD/FIFO_OFLOW 中 断标志 1: 读取 FIFO 时不清 INT, 写 1 清 0 对应的 FIFO_DEPTH_THRD / FIFO_OFLOW 中断标志位	1	0x0	R/W

10.13.2 FIFO 中断输出使能寄存器

表 30. FIFO 中断输出使能寄存器

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x32	14	INT_FIFO_UFLOW_CH0_ECG_EN	通道 0 ECG FIFO 向下溢出中断 输出使能。 0: 此中断不输出 1: 此中断输出	1	0x0	R/W
	13	INT_FIFO_OFLOW_CH0_ECG_EN	通道 0 ECG FIFO 向上溢出中断 输出使能。 0: 此中断不输出 1: 此中断输出	1	0x0	R/W
	12	INT_FIFO_DEPTH_THRD_CH0_ECG_EN	通道 0 ECG FIFO 数据深度中断 输出使能。 0: 此中断不输出 1: 此中断输出	1	0x0	R/W
0x35	14	INT_FIFO_UFLOW_CH1_ECG_EN	通道 1 ECG FIFO 向下溢出中断 输出使能。 0: 此中断不输出 1: 此中断输出	1	0x0	R/W
	13	INT_FIFO_OFLOW_CH1_ECG_EN	通道 1 ECG FIFO 向上溢出中断 输出使能。 0: 此中断不输出 1: 此中断输出	1	0x0	R/W

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
	12	INT_FIFO_DEPTH_THRD_C H1_ECG_EN	通道 1 ECG FIFO 数据深度中断 输出使能。 0: 此中断不输出 1: 此中断输出	1	0x0	R/W
0x38	14	INT_FIFO_UFLOW_CH2_EC G_EN	通道 2 ECG FIFO 向下溢出中断 输出使能。 0: 此中断不输出 1: 此中断输出	1	0x0	R/W
	13	INT_FIFO_OFLOW_CH2_EC G_EN	通道 2 ECG FIFO 向上溢出中断 输出使能。 0: 此中断不输出 1: 此中断输出	1	0x0	R/W
	12	INT_FIFO_DEPTH_THRD_C H2_ECG_EN	通道 2 ECG FIFO 数据深度中断 输出使能。 0: 此中断不输出 1: 此中断输出	1	0x0	R/W
0x3B	14	INT_FIFO_UFLOW_CH0_PA CE_EN	通道 0 PACE FIFO 向下溢出中断 输出使能。 0: 此中断不输出 1: 此中断输出	1	0x0	R/W
	13	INT_FIFO_OFLOW_CH0_PA CE_EN	通道 0 PACE FIFO 向上溢出中断 输出使能。 0: 此中断不输出 1: 此中断输出	1	0x0	R/W
	12	INT_FIFO_DEPTH_THRD_C H0_PACE_EN	通道 0 PACE FIFO 数据深度中断 输出使能。 0: 此中断不输出 1: 此中断输出	1	0x0	R/W
0x3E	14	INT_FIFO_UFLOW_CH1_PA CE_EN	通道 1 PACE FIFO 向下溢出中断 输出使能。 0: 此中断不输出 1: 此中断输出	1	0x0	R/W

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x41	13	INT_FIFO_OFLOW_CH1_PACE_EN	通道 1 PACE FIFO 向上溢出中断输出使能。 0: 此中断不输出 1: 此中断输出	1	0x0	R/W
	12	INT_FIFO_DEPTH_THRD_CH1_PACE_EN	通道 1 PACE FIFO 数据深度中断输出使能。 0: 此中断不输出 1: 此中断输出	1	0x0	R/W
	14	INT_FIFO_UFLOW_CH2_PACE_EN	通道 2 PACE FIFO 向下溢出中断输出使能。 0: 此中断不输出 1: 此中断输出	1	0x0	R/W
	13	INT_FIFO_OFLOW_CH2_PACE_EN	通道 2 PACE FIFO 向上溢出中断输出使能。 0: 此中断不输出 1: 此中断输出	1	0x0	R/W
0x41	12	INT_FIFO_DEPTH_THRD_CH2_PACE_EN	通道 2 PACE FIFO 数据深度中断输出使能。 0: 此中断不输出 1: 此中断输出	1	0x0	R/W

10.13.3 FIFO 中断标志位

表 31. FIFO 中断标志位

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x0A	14	INT_FIFO_UFLOW	FIFO 向下溢出中断标志位。 0: 未产生此中断 1: FIFO 空状态下发生读取时置位	1	0x0	R/W 1C
	13	INT_FIFO_OFLOW_CH2_PACE	通道 2 PACE FIFO 向上溢出中断标志位。 0: 未产生此中断 1: 通道 2 PACE FIFO 满状态下发生写入时置位	1	0x0	R/W 1C

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
	12	INT_FIFO_OFLOW_CH1_PACE	通道 1 PACE FIFO 向上溢出中断标志位。 0: 未产生此中断 1: 通道 1 PACE FIFO 满状态下发生写入时置位	1	0x0	R/W 1C
	11	INT_FIFO_OFLOW_CH0_PACE	通道 0 PACE FIFO 向上溢出中断标志位。 0: 未产生此中断 1: 通道 0 PACE FIFO 满状态下发生写入时置位	1	0x0	R/W 1C
	10	INT_FIFO_OFLOW_CH2_ECG	通道 2 ECG FIFO 向上溢出中断标志位。 0: 未产生此中断 1: 通道 2 ECG FIFO 满状态下发生写入时置位	1	0x0	R/W 1C
	9	INT_FIFO_OFLOW_CH1_ECG	通道 1 ECG FIFO 向上溢出中断标志位。 0: 未产生此中断 1: 通道 1 ECG FIFO 满状态下发生写入时置位	1	0x0	R/W 1C
	8	INT_FIFO_OFLOW_CH0_ECG	通道 0 ECG FIFO 向上溢出中断标志位。 0: 未产生此中断 1: 通道 0 ECG FIFO 满状态下发生写入时置位	1	0x0	R/W 1C
	5	INT_FIFO_DEPTH_THRD_CH2_PACE	通道 2 PACE FIFO 数据深度中断标志位。 0: 未产生此中断 1: 通道 2 PACE FIFO 内数据量达到 FIFO_DEPTH_THRD_CH2_PACE 设置值时置位	1	0x0	R/W 1C

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
	4	INT_FIFO_DEPTH_THRD_C H1_PACE	通道 1 PACE FIFO 数据深度中断标志位。 0: 未产生此中断 1: 通道 1 PACE FIFO 内数据量达到 FIFO_DEPTH_THRD_CH1_PACE 设置值时置位	1	0x0	R/W 1C
	3	INT_FIFO_DEPTH_THRD_C H0_PACE	通道 0 PACE FIFO 数据深度中断标志位。 0: 未产生此中断 1: 通道 0 PACE FIFO 内数据量达到 FIFO_DEPTH_THRD_CH0_PACE 设置值时置位	1	0x0	R/W 1C
	2	INT_FIFO_DEPTH_THRD_C H2_ECG	通道 2 ECG FIFO 数据深度中断标志位。 0: 未产生此中断 1: 通道 2 ECG FIFO 内数据量达到 FIFO_DEPTH_THRD_CH2_ECG 设置值时置位	1	0x0	R/W 1C
	1	INT_FIFO_DEPTH_THRD_C H1_ECG	通道 1 ECG FIFO 数据深度中断标志位。 0: 未产生此中断 1: 通道 1 ECG FIFO 内数据量达到 FIFO_DEPTH_THRD_CH1_ECG 设置值时置位	1	0x0	R/W 1C
	0	INT_FIFO_DEPTH_THRD_C H0_ECG	通道 0 ECG FIFO 数据深度中断标志位。 0: 未产生此中断 1: 通道 0 ECG FIFO 内数据量达到 FIFO_DEPTH_THRD_CH0_ECG 设置值时置位	1	0x0	R/W 1C

10.13.4 FIFO 数据寄存器

表 32. FIFO 数据寄存器

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
----	-------	-------	----	----	----	----

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x30	[11:0]	FIFO_STA_ADR_CH0_ECG[11:0]	通道 0 ECG FIFO 起始地址。	12	0x000	R/W
0x31	[11:0]	FIFO_SIZE_CH0_ECG[11:0]	通道 0 ECG FIFO 大小为 FIFO_SIZE_CH0_ECG+1, 以字节为单位。	12	0xFFF	R/W
0x32	[11:0]	FIFO_DEPTH_THRD_CH0_ECG[11:0]	通道 0 ECG FIFO 数据深度中断阈值设置为 FIFO_DEPTH_THRD_CH0_ECG+1, 以字节为单位。	12	0x3FF	R/W
0x33	[11:0]	FIFO_STA_ADR_CH1_ECG[11:0]	通道 1 ECG FIFO 起始地址。	12	0x000	R/W
0x34	[11:0]	FIFO_SIZE_CH1_ECG[11:0]	通道 1 ECG FIFO 大小为 FIFO_SIZE_CH1_ECG+1, 以字节为单位。	12	0xFFF	R/W
0x35	[11:0]	FIFO_DEPTH_THRD_CH1_ECG[11:0]	通道 1 ECG FIFO 数据深度中断阈值设置为 FIFO_DEPTH_THRD_CH1_ECG+1, 以字节为单位。	12	0x3FF	R/W
0x36	[11:0]	FIFO_STA_ADR_CH2_ECG[11:0]	通道 2 ECG FIFO 起始地址。	12	0x000	R/W
0x37	[11:0]	FIFO_SIZE_CH2_ECG[11:0]	通道 2 ECG FIFO 大小为 FIFO_SIZE_CH2_ECG+1, 以字节为单位。	12	0xFFF	R/W
0x38	[11:0]	FIFO_DEPTH_THRD_CH2_ECG[11:0]	通道 2 ECG FIFO 数据深度中断阈值设置为 FIFO_DEPTH_THRD_CH2_ECG+1, 以字节为单位。	12	0x3FF	R/W
0x39	[11:0]	FIFO_STA_ADR_CH0_PACE[11:0]	通道 0 PACE FIFO 起始地址。	12	0x000	R/W
0x3A	[11:0]	FIFO_SIZE_CH0_PACE[11:0]	通道 0 PACE FIFO 大小为 FIFO_SIZE_CH0_PACE+1, 以字节为单位。	12	0xFFF	R/W
0x3B	[11:0]	FIFO_DEPTH_THRD_CH0_PACE[11:0]	通道 0 PACE FIFO 数据深度中断阈值设置为 FIFO_DEPTH_THRD_CH0_PACE+1, 以字节为单位。	12	0x3FF	R/W
0x3C	[11:0]	FIFO_STA_ADR_CH1_PACE[11:0]	通道 1 PACE FIFO 起始地址。	12	0x000	R/W

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x3D	[11:0]	FIFO_SIZE_CH1_PACE[11:0]	通道 1 PACE FIFO 大小为 FIFO_SIZE_CH1_PACE+1, 以字节为单位。	12	0xFFF	R/W
0x3E	[11:0]	FIFO_DEPTH_THRD_CH1_PACE[11:0]	通道 1 PACE FIFO 数据深度中断阈值设置为 FIFO_DEPTH_THRD_CH1_PACE+1, 以字节为单位。	12	0x3FF	R/W
0x3F	[11:0]	FIFO_STA_ADR_CH2_PACE[11:0]	通道 2 PACE FIFO 起始地址。	12	0x000	R/W
0x40	[11:0]	FIFO_SIZE_CH2_PACE[11:0]	通道 2 PACE FIFO 大小为 FIFO_SIZE_CH2_PACE+1, 以字节为单位。	12	0xFFF	R/W
0x41	[11:0]	FIFO_DEPTH_THRD_CH2_PACE[11:0]	通道 2 PACE FIFO 数据深度中断阈值设置为 FIFO_DEPTH_THRD_CH2_PACE+1, 以字节为单位。	12	0x3FF	R/W
0x50	[12:0]	FIFO_BYTE_COUNT_CH0_ECG[12:0]	通道 0 ECG FIFO 数据深度指示, 以字节为单位。	13	0x0000	RO
0x51	[12:0]	FIFO_BYTE_COUNT_CH1_ECG[12:0]	通道 1 ECG FIFO 数据深度指示, 以字节为单位。	13	0x0000	RO
0x52	[12:0]	FIFO_BYTE_COUNT_CH2_ECG[12:0]	通道 2 ECG FIFO 数据深度指示, 以字节为单位。	13	0x0000	RO
0x53	[12:0]	FIFO_BYTE_COUNT_CH0_PACE[12:0]	通道 0 PACE FIFO 数据深度指示, 以字节为单位。	13	0x0000	RO
0x54	[12:0]	FIFO_BYTE_COUNT_CH1_PACE[12:0]	通道 1 PACE FIFO 数据深度指示, 以字节为单位。	13	0x0000	RO
0x55	[12:0]	FIFO_BYTE_COUNT_CH2_PACE[12:0]	通道 2 PACE FIFO 数据深度指示, 以字节为单位。	13	0x0000	RO
0x60	[15:0]	FIFO_DATA_CH0_ECG[7:0]	通道 0 ECG FIFO 数据。采用小端模式输出, 连续读不会自加寄存器地址, 而会依先进先出次序读出转换数据。	8/ 16/ 24	0xFF/ 0xFFFF/ 0FFFFFFF	RO
0x61	[15:0]	FIFO_DATA_CH1_ECG[7:0]	通道 1 ECG FIFO 数据。采用小端模式输出, 连续读不会自加寄存器地址, 而会依先进先出次序读出转换数据。	8/ 16/ 24	0xFF/ 0xFFFF/ 0FFFFFFF	RO

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x62	[15:0]	FIFO_DATA_CH2_ECG[7:0]	通道 2 ECG FIFO 数据。采用小端模式输出，连续读不会自加寄存器地址，而会依先进先出次序读出转换数据。	8/ 16/ 24	0xFF/ 0xFFFF/ 0FFFFFFF	RO
0x63	[15:0]	FIFO_DATA_CH0_PACE[7:0]	通道 0 PACE FIFO 数据。采用小端模式输出，连续读不会自加寄存器地址，而会依先进先出次序读出转换数据。	16	0xFFFF	RO
0x64	[15:0]	FIFO_DATA_CH1_PACE[7:0]	通道 1 PACE FIFO 数据。采用小端模式输出，连续读不会自加寄存器地址，而会依先进先出次序读出转换数据。	16	0xFFFF	RO
0x65	[15:0]	FIFO_DATA_CH2_PACE[7:0]	通道 2 PACE FIFO 数据。采用小端模式输出，连续读不会自加寄存器地址，而会依先进先出次序读出转换数据。	16	0xFFFF	RO

10.14 即时数据相关寄存器

表 33. 即时数据相关寄存器

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x00	6	INT_MODE_SEL	“即时读取数据模式”下读寄存器自动清中断配置。 0: 读寄存器时清中断 1: 产生中断 16us 之后自动清中断	1	0x0	R/W
0x56	[15:0]	DATA_CH0_ECG[15:0]	通道 0 ECG 数据寄存器[15:0]。	16	0xFFFF	RO
0x57	[15:0]	DATA_CH0_ECG[31:16]	通道 0 ECG 数据寄存器[31:16]。 (DATA_CH0_ECG[31:0]实际有效数据位为[23:0])	16	0xFFFF	RO
0x58	[15:0]	DATA_CH1_ECG[15:0]	通道 1 ECG 数据寄存器[15:0]。	16	0xFFFF	RO
0x59	[15:0]	DATA_CH1_ECG[31:16]	通道 1 ECG 数据寄存器[31:16]。 (DATA_CH1_ECG[31:0]实际有效数据位为[23:0])	16	0xFFFF	RO
0x5A	[15:0]	DATA_CH2_ECG[15:0]	通道 2 ECG 数据寄存器[15:0]。	16	0xFFFF	RO

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x5B	[15:0]	DATA_CH2_ECG[31:16]	通道 2 ECG 数据寄存器[31:16]。 (DATA_CH2_ECG[31:0]实际有效数据位为[23:0])	16	0xFFFF	RO
0x5C	[15:0]	DATA_CH0_PACE[15:0]	通道 0 PACE 数据寄存器[15:0]。	16	0xFFFF	RO
0x5D	[15:0]	DATA_CH1_PACE[15:0]	通道 1 PACE 数据寄存器[15:0]。	16	0xFFFF	RO
0x5E	[15:0]	DATA_CH2_PACE[15:0]	通道 2 PACE 数据寄存器[15:0]。	16	0xFFFF	RO

10.15 系统时钟控制寄存器

表 34. 系统时钟控制寄存器

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x00	4	XTAL_EN	片外晶振使能控制。 0: 不启用片外晶振 1: 启用片外晶振	1	0x0	R/W
	3	CLKOUT_EN	时钟输出使能控制。 0: 时钟不输出 1: 时钟输出	1	0x0	R/W
	2	EXT_CLKIN_SEL	片外时钟输入使能控制。 0: 不启用片外时钟 1: 启用片外时钟	1	0x0	R/W

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x09	[15:12]	XTAL_CURR[3:0]	晶振激励电流。 0000: 40μA 0001: 50μA 0010: 60μA 0011: 70μA 0100: 80μA 0101: 90μA 0110: 100μA 0111: 110μA (default) 1000: 120μA 1001: 130μA 1010: 140μA 1011: 150μA 1100: 160μA 1101: 170μA 1110: 180μA 1111: 190μA	4	0x7	R/W

10.16 定时器相关寄存器

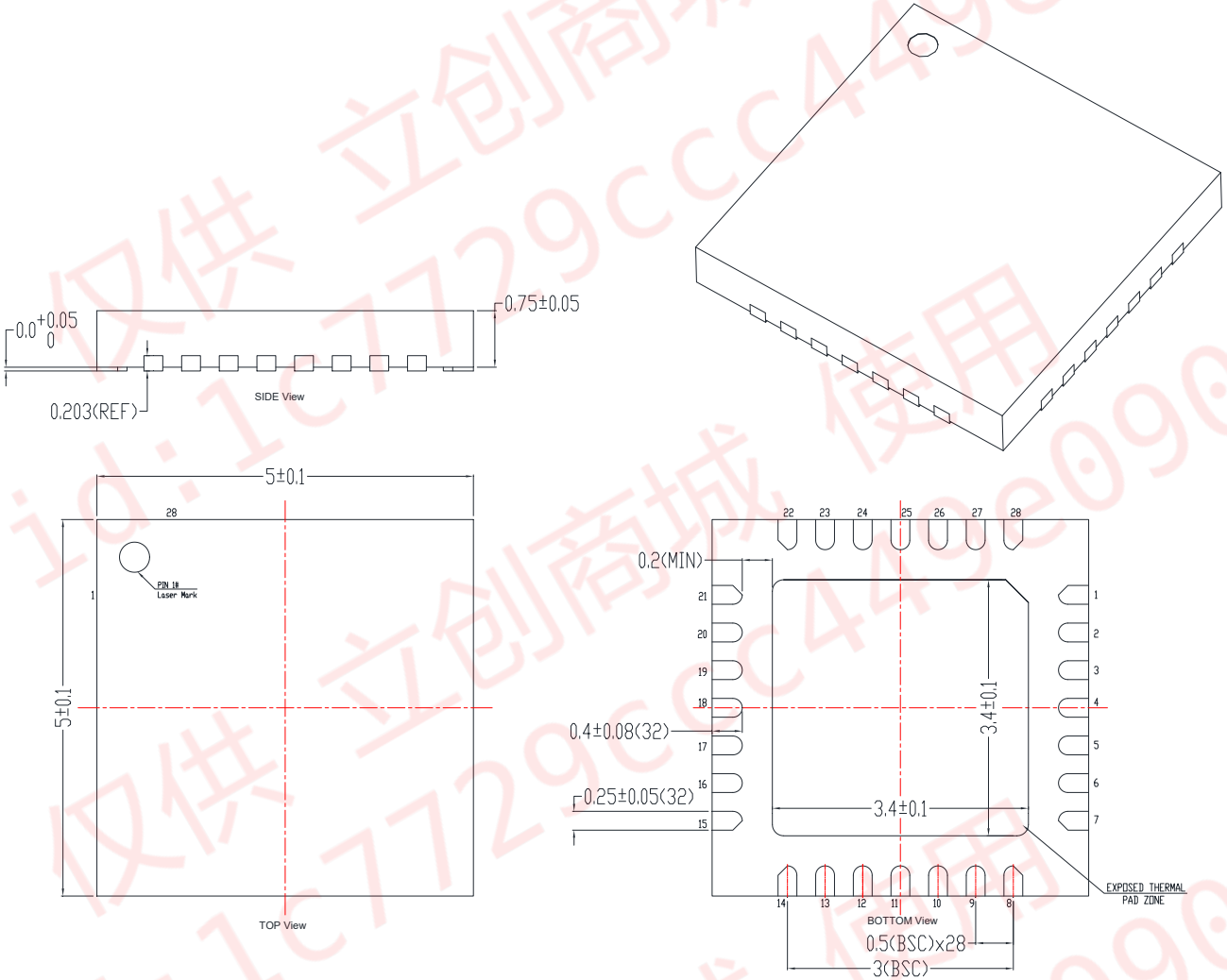
表 35. 定时器相关寄存器

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
0x0A	7	INT_TIMER	定时器中断标志位。 0: 未产生此中断 1: 定时器达到设定值时置位	1	0x0	R/W1 C
0x0F	12	TIMER_EN	定时器功能使能控制。 0: 不使能 1: 使能	1	0x0	R/W

地址	BIT 位	寄存器名称	描述	位宽	初值	读写
	[11:0]	TIMER_PRD[11:0]	定时器周期。 定时器周期 (MS) = (TIMER_PRD+1) * (2 ^{CLK_DIV_RATIO[1:0]})	12	0x00 0	R/W

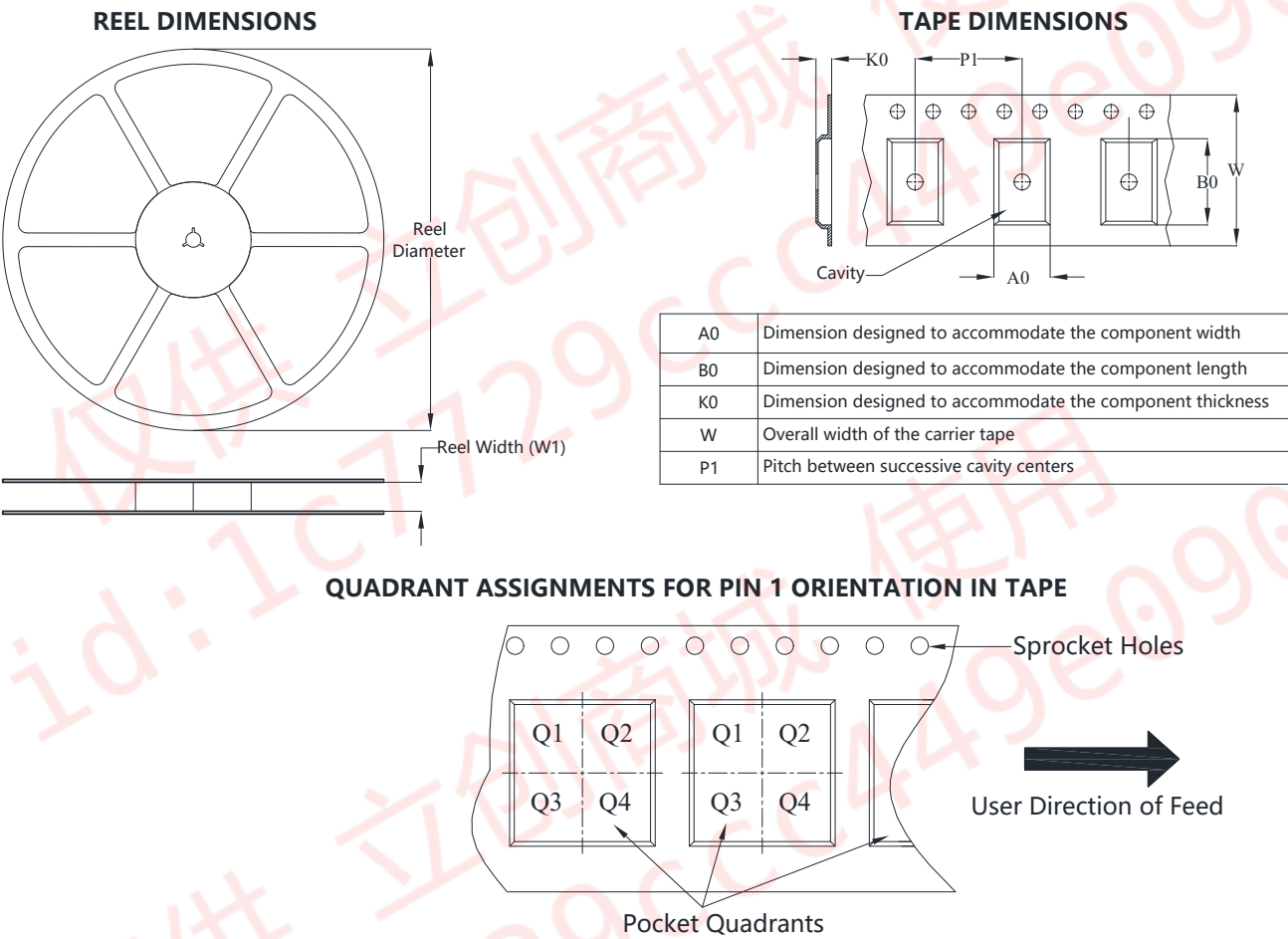
11 封装与包装信息

11.1 封装外形尺寸



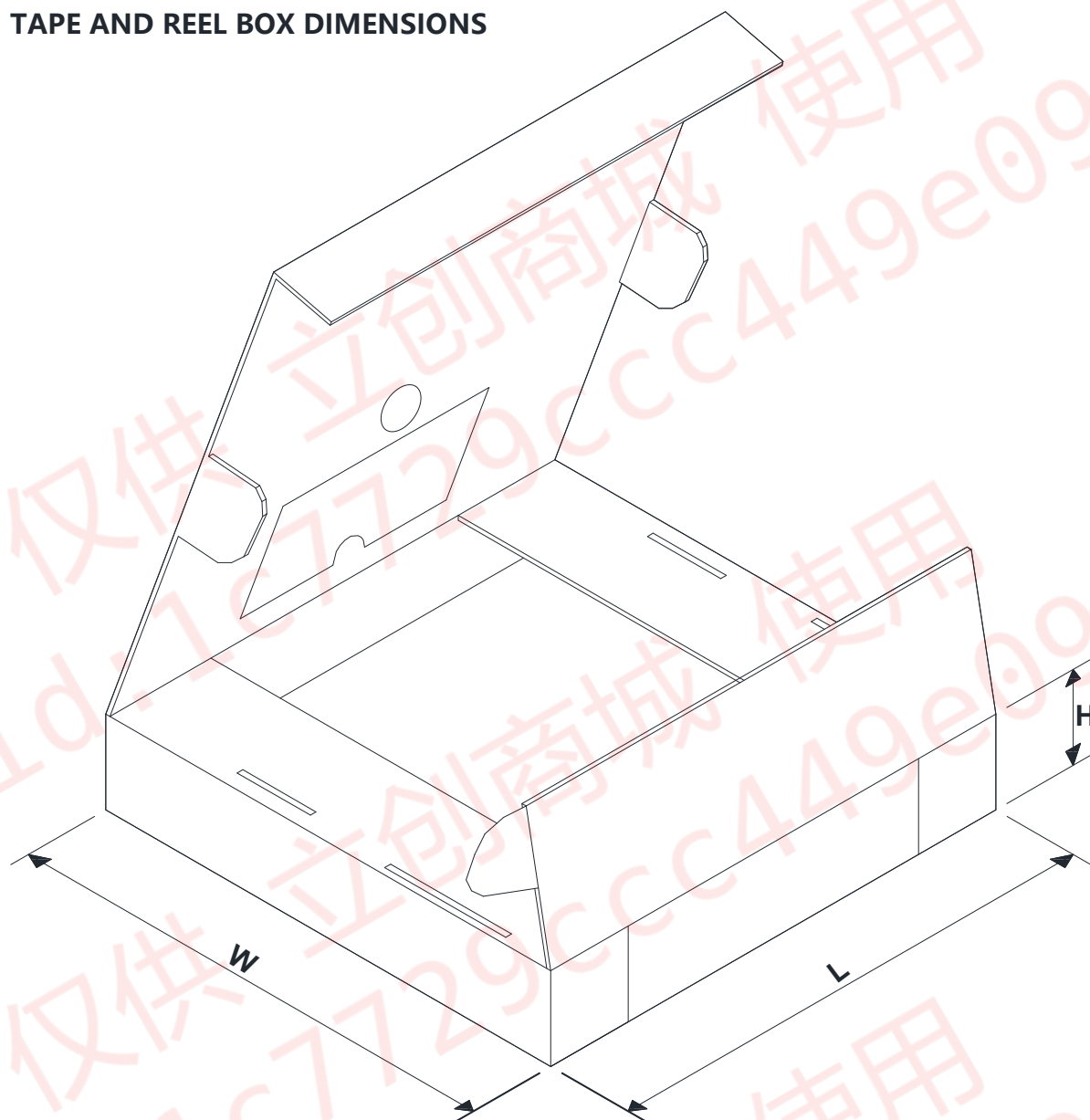
QFN-28

11.2 包装材料信息



产品型号	封装类型	引脚总数	每卷芯片颗数	卷轴直径 (mm)	卷轴宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	PIN1 象限
ZSBM100X	QFN28	28	3000	330	12	5.30	5.30	1.05	8.00	12.00	Q1

TAPE AND REEL BOX DIMENSIONS



产品型号	封装类型	引脚总数	每卷芯片颗数	长 L (mm)	宽 W (mm)	高 H (mm)
ZSBM100X	QFN28	28	3000	357	340	50

12 型号列表

型号	封装	备注
ZSBM1001-QN	28 引脚 QFN 封装	不可用 IN3-IN5 功能(见模拟输入选通器说明); 不可用 WCT 功能(见 WCT_IND 说明); 不可用 PACE 功能(见 PACE_IND 说明); 通道 0 可使用(见 CHANNEL_NUMB_IND[1:0]说明)。
ZSBM1003-QN	28 引脚 QFN 封装	可用 IN0-IN5 功能(见模拟输入选通器说明); 可用 WCT 功能(见 WCT_IND 说明); 可用 PACE 功能(见 PACE_IND 说明); 通道 0、通道 1 和通道 2 可同时使用(见 CHANNEL_NUMB_IND[1:0]说明)。

联系方式

总部地址：北京市门头沟区莲石湖西路 98 号石龙阳光大厦 23 层

电话：010-60802986

深圳分公司/销售中心地址：深圳市南山区科技中二路软件园一期 1 栋 3 楼 302-7

业务联系邮箱：sales@zettasensing.com

修订历史记录

日期	版本	说明
2024 年 04 月 11 日	1.00	首次发布。
2024 年 04 月 24 日	1.01	更新了线缆驱动相关。
2024 年 10 月 08 日	1.02	更新了数据速率相关。
2025 年 10 月 29 日	1.03	更新了 ZSBM1001 相关。
2025 年 10 月 29 日	1.04	更新了 ZSBM1001 相关。

法律声明

北京泽声科技有限公司（以下简称泽声科技）保留随时对产品规格及本文档进行修改而不另行通知的权力。用户购买泽声科技产品或基于泽声科技产品进行设计前，应与泽声科技联系以取得最新的信息。

本文档信息仅供用户参考，泽声科技不对包括但不限于信息的准确性、完整性、知识产权等做任何明示或暗示的保证。泽声科技不对因使用本文档信息所造成的任何损失担负赔偿责任。

在系统中使用、整合泽声科技产品的人员（以下简称开发人员）应理解并同意，开发人员应自行实施独立的分析、评价和判断，且应全权负责并确保应用的安全性。开发人员的应用应符合所有适用的法律与行业规范。

除明确指出外，泽声科技不对产品达到或符合任何特定行业标准或安全标准做出暗示的保证，也不对产品未达到任何特定行业标准或安全标准而承担任何责任。如泽声科技宣称产品“有助于”、“适用于”特定行业标准或安全标准，意味着该产品设计上旨在帮助客户开发自己的符合相关特定行业标准或安全标准的产品，而不说明泽声科技的产品具有任何安全保证功能。开发人员必须确保其设计遵守适用于其应用的相关标准和安全要求。除非获得针对特定产品应用的授权，否则开发人员不可将泽声科技产品用于关乎性命的医疗设备（指出现故障会导致严重身体伤害或死亡的医疗设备）。