



类比半导体

ADX101(Q)/ADX105(Q)/ADX107(Q)

超小型、低功耗、I²C 兼容、3300SPS、12 位 ADC
具有内部基准、振荡器和可编程比较器

1. 特性

- AEC-Q100 (仅限 ADX101Q, ADX105Q, ADX107Q)
- 小型 3mm × 3mm MSOP 封装
- 超小型 QFN 封装: 2mm × 1.5mm × 0.4mm
- 宽电源范围: 2.0V 至 5.5V
- 低电流消耗: 145μA (连续转换模式)
- 可编程输出数据速率: 128SPS 至 3300SPS
- 单周期稳定
- 内部低漂移参考电压
- 内部振荡器
- I²C 接口: 四个引脚可选地址
- 四个单端或两个差分输入
- 可编程比较器
- 工作温度范围: -40°C 至 125°C

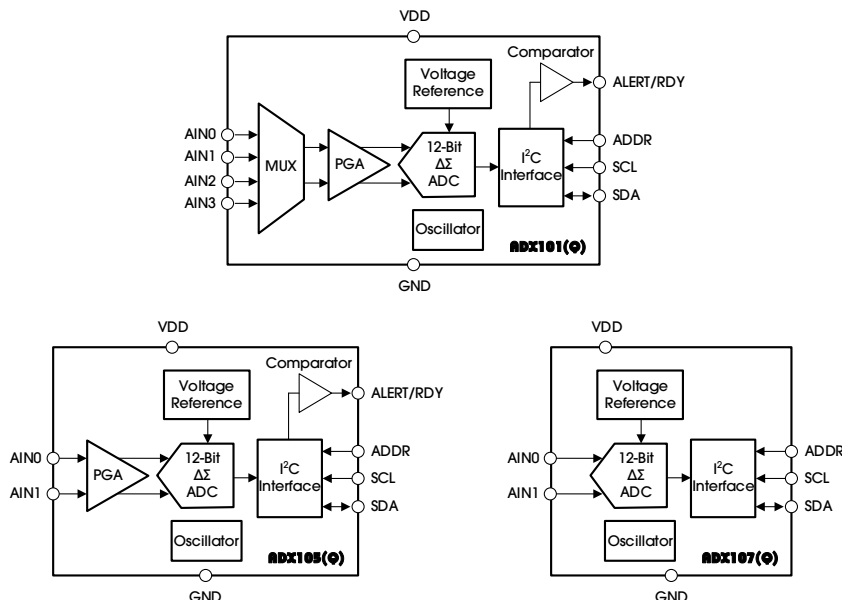
2. 应用

- 便携式仪器
- 电池电压和电流监测
- 温度测量系统
- 消费类电子产品
- 工厂自动化和过程控制

3. 说明

ADX101(Q)/105(Q)/107(Q)是一款精密、低功耗、12 位分辨率、兼容 I²C 的模数转换器(ADC)，采用 MSOP-10 和 QFN-10 封装。ADX101(Q)/105(Q)/107(Q)的高集成度可以帮助简化系统设计复杂度和成本，器件集成了低漂移电压基准、振荡器、可编程增益放大器(PGA)和数字比较器等功能模块。ADX101(Q)/105(Q)/107(Q)的内部数字滤波器提供灵活的输出数据速率，从 128SPS 到 3300SPS。PGA 提供±256mV 至±6.144V 的输入范围，可实现精确的大信号和小信号测量。ADX101(Q)具有一个输入多路复用器(MUX)，可以进行两个差分或四个单端输入测量。使用 ADX101(Q)/105(Q)中的数字比较器进行欠压和过压检测。

ADX101(Q)/105(Q)/107(Q)在连续转换模式或单次模式下工作。内部滤波器在两种模式下都是单周期稳定的。单次模式转换一次后器件自动关断；因此，空闲期间的功耗显著降低。同时 ADX101(Q)/105(Q)/107(Q)可以工作在较宽的电源范围，这些特性使 ADX101(Q)/105(Q)/107(Q)非常适合功率和空间受限的传感器测量应用。有关订购信息，请参见 Table 1。



ADX101(Q)/105(Q)/107(Q)

超小型、低功耗、I²C 兼容、3300SPS、12 位 ADC
具有内部基准、振荡器和可编程比较器

Table 1 lists the order information.

Table 1. Order Information

ORDER NUMBER	CH (#)	BITS	PACKAGE	BODY SIZE (mm)	MARK	ODR (SPS)	INTERFACE	COMPARATOR	TEMP SENSOR	50/60 REJECTION	OP. TEMP (°C)	PKG. OPTION
ADX101AMSOP10 ⁽¹⁾	2(4)	12	MSOP-10	3 × 3	ADX101A XXXXX	3300	I ² C	Yes	No	No	–40-125	T/R-3000
ADX101AQFN10 ⁽¹⁾	2(4)	12	QFN-10	2 × 1.5	101A XXX	3300	I ² C	Yes	No	No	–40-125	T/R-4000
ADX101QAMSOP10 ⁽¹⁾	2(4)	12	MSOP-10	3 × 3	ADX101Q XXXXXX	3300	I ² C	Yes	No	No	–40-125	T/R-3000
ADX105AMSOP10 ⁽¹⁾	1	12	MSOP-10	3 × 3	ADX105A XXXXX	3300	I ² C	Yes	No	No	–40-125	T/R-3000
ADX105AQFN10 ⁽¹⁾	1	12	QFN-10	2 × 1.5	105A XXX	3300	I ² C	Yes	No	No	–40-125	T/R-4000
ADX105QAMSOP10 ⁽¹⁾	1	12	MSOP-10	3 × 3	ADX105Q XXXXXX	3300	I ² C	Yes	No	No	–40-125	T/R-3000
ADX107AMSOP10 ⁽¹⁾	1	12	MSOP-10	3 × 3	ADX107A XXXXX	3300	I ² C	Yes	No	No	–40-125	T/R-3000
ADX107AQFN10 ⁽¹⁾	1	12	QFN-10	2 × 1.5	107A XXX	3300	I ² C	Yes	No	No	–40-125	T/R-4000
ADX107QMSOP10 ⁽¹⁾	1	12	MSOP-10	3 × 3	ADX107Q XXXXXX	3300	I ² C	Yes	No	No	–40-125	T/R-3000

Table 2. Family Selection Guide

ORDER NUMBER	CH (#)	BITS	PACKAGE	BODY SIZE (mm)	MARK	ODR (SPS)	INTERFACE	COMPARATOR	TEMP SENSOR	50/60 REJECTION	OP. TEMP (°C)	PKG. OPTION
ADX102AMSOP10 ⁽¹⁾	2(4)	12	MSOP-10	3 × 3	ADX102A XXXXX	3300	SPI	No	Yes	No	–40-125	T/R-3000
ADX102AQFN10 ⁽¹⁾	2(4)	12	QFN-10	2 × 1.5	102A XXX	3300	SPI	No	Yes	No	–40-125	T/R-4000
ADX102QAMSOP10 ⁽¹⁾	2(4)	12	MSOP-10	3 × 3	ADX102Q XXXXXX	3300	SPI	No	Yes	No	–40-125	T/R-3000
ADX111AMSOP10	2(4)	16	MSOP-10	3 × 3	ADX111A XXXXX	860	I ² C	Yes	No	No	–40-125	T/R-3000
ADX111QAMSOP10	2(4)	16	MSOP-10	3 × 3	ADX111Q XXXXXX	860	I ² C	Yes	No	No	–40-125	T/R-3000
ADX111AQFN10	2(4)	16	QFN-10	2 × 1.5	111A XXX	860	I ² C	Yes	No	No	–40-125	T/R-4000
ADX112AMSOP10	2(4)	16	MSOP-10	3 × 3	ADX112A XXXXX	860	SPI	No	Yes	No	–40-125	T/R-3000
ADX112QAMSOP10	2(4)	16	MSOP-10	3 × 3	ADX112Q XXXXXX	860	SPI	No	Yes	No	–40-125	T/R-3000
ADX112AQFN10	2(4)	16	QFN-10	2 × 1.5	112A XXX	860	SPI	No	Yes	No	–40-125	T/R-4000
ADX113AMSOP10	2(4)	16	MSOP-10	3 × 3	ADX113A XXXXX	860	I ² C	Yes	No	Yes	–40-125	T/R-3000
ADX114AMSOP10	2(4)	16	MSOP-10	3 × 3	ADX114A XXXXX	3571	SPI	No	Yes	Yes	–40-125	T/R-3000
ADX115AMSOP10 ⁽¹⁾	1	16	MSOP-10	3 × 3	ADX115A XXXXX	860	I ² C	Yes	No	No	–40-125	T/R-3000
ADX115AQFN10 ⁽¹⁾	1	16	QFN-10	2 × 1.5	115A XXX	860	I ² C	Yes	No	No	–40-125	T/R-4000
ADX117AMSOP10 ⁽¹⁾	1	16	MSOP-10	3 × 3	ADX117A XXXXX	860	I ² C	No	No	No	–40-125	T/R-3000
ADX117AQFN10 ⁽¹⁾	1	16	QFN-10	2 × 1.5	117A XXX	860	I ² C	No	No	No	–40-125	T/R-4000
ADX121AMSOP10	2(4)	20	MSOP-10	3 × 3	ADX121A XXXXX	3571	I ² C	Yes	No	Yes	–40-125	T/R-3000
ADX121AQFN10 ⁽¹⁾	2(4)	20	QFN-10	2 × 1.5	121A XXX	3571	I ² C	Yes	No	Yes	–40-125	T/R-4000
ADX122AMSOP10	2(4)	20	MSOP-10	3 × 3	ADX122A XXXXX	3571	SPI	No	No	Yes	–40-125	T/R-3000
ADX122QAMSOP10	2(4)	20	MSOP-10	3 × 3	ADX122Q XXXXXX	3571	SPI	No	No	Yes	–40-125	T/R-3000
ADX122AQFN10 ⁽¹⁾	2(4)	20	QFN-10	2 × 1.5	122A XXX	3571	SPI	No	No	Yes	–40-125	T/R-4000
ADX128AMSOP10 ⁽¹⁾	2(4)	20	MSOP-10	3 × 3	ADX128A XXXXX	7143	SPI	No	No	Yes	–40-125	T/R-3000

ADX101(□)/ADX105(□)/ADX107(□)

超小型、低功耗、I²C 兼容、3300SPS、12 位 ADC
具有内部基准、振荡器和可编程比较器

ORDER NUMBER	CH (#)	BITS	PACKAGE	BODY SIZE (mm)	MARK	ODR (SPS)	INTERFACE	COMPARATOR	TEMP SENSOR	50/60 REJECTION	OP. TEMP (°C)	PKG. OPTION
ADX128AQFN10 ⁽¹⁾	2(4)	20	QFN-10	2 × 1.5	128A XXX	7143	SPI	No	No	Yes	–40–125	T/R-4000
ADX125AMSOP10	2(4)	20	MSOP-10	3 × 3	ADX125A XXXXX	3571	I ² C	Yes	Yes	Yes	–40–125	T/R-3000
ADX126AMSOP10	2(4)	20	MSOP-10	3 × 3	ADX126A XXXXX	3571	SPI	No	Yes	Yes	–40–125	T/R-3000
ADX125AQFN10 ⁽¹⁾	2(4)	20	QFN-10	2 × 1.5	125A XXX	3571	I ² C	Yes	Yes	Yes	–40–125	T/R-4000
ADX126AQFN10 ⁽¹⁾	2(4)	20	QFN-10	2 × 1.5	126A XXX	3571	SPI	No	Yes	Yes	–40–125	T/R-4000
ADX131AQFN10 ⁽¹⁾	2(4)	20	QFN-10	2 × 1.5	131A XXX	440	I ² C	Yes	No	Yes	–40–125	T/R-4000
ADX132AQFN10 ⁽¹⁾	2(4)	20	QFN-10	2 × 1.5	132A XXX	440	SPI	No	No	Yes	–40–125	T/R-4000
ADX123AMSOP10 ⁽¹⁾	2(4)	20	MSOP-10	3 × 3	ADX123A XXXXX	3571	Daisy Chain	No	No	Yes	–40–125	T/R-3000

Note: Available in the future.

Devices can be ordered via the following two ways:

1. Place orders directly on our website (www.analogyssemi.com), or;
2. Contact our sales team by mailing to sales@analogyssemi.com.

4. PIN CONFIGURATION AND FUNCTIONS

4.1 ADX101(Q)

Figure 1 illustrates the pin configuration of ADX101(Q).

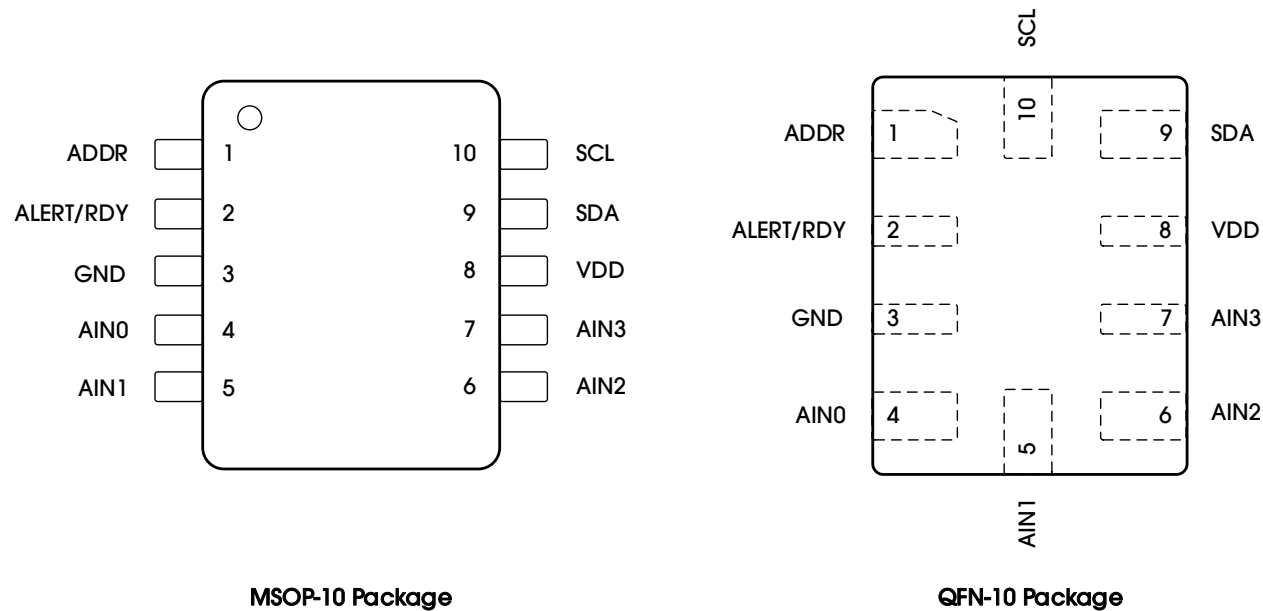


Figure 1. ADX101(Q) Pin Configuration

Table 3 lists the pin functions of ADX101(Q).

Table 3. ADX101(Q) Pin Functions

POSITION	NAME	TYPE	DESCRIPTION
1	ADDR	Digital input	I ² C slave address select
2	ALERT/RDY	Digital output	Comparator output or conversion ready, open drain, connected to a pull-up resistor
3	GND	Power	Ground
4	AIN0	Analog input	Analog input 0
5	AIN1	Analog input	Analog input 1
6	AIN2	Analog input	Analog input 2
7	AIN3	Analog input	Analog input 3
8	VDD	Power	Power supply. Connects a 0.1μF, power-supply decoupling capacitor to GND.
9	SDA	Digital I/O	Serial data. Transmits and receives data.
10	SCL	Digital input	Serial clock input. Locks data on SDA.

4.2 ADX105(Q)

Figure 2 illustrates the pin configuration of ADX105(Q).

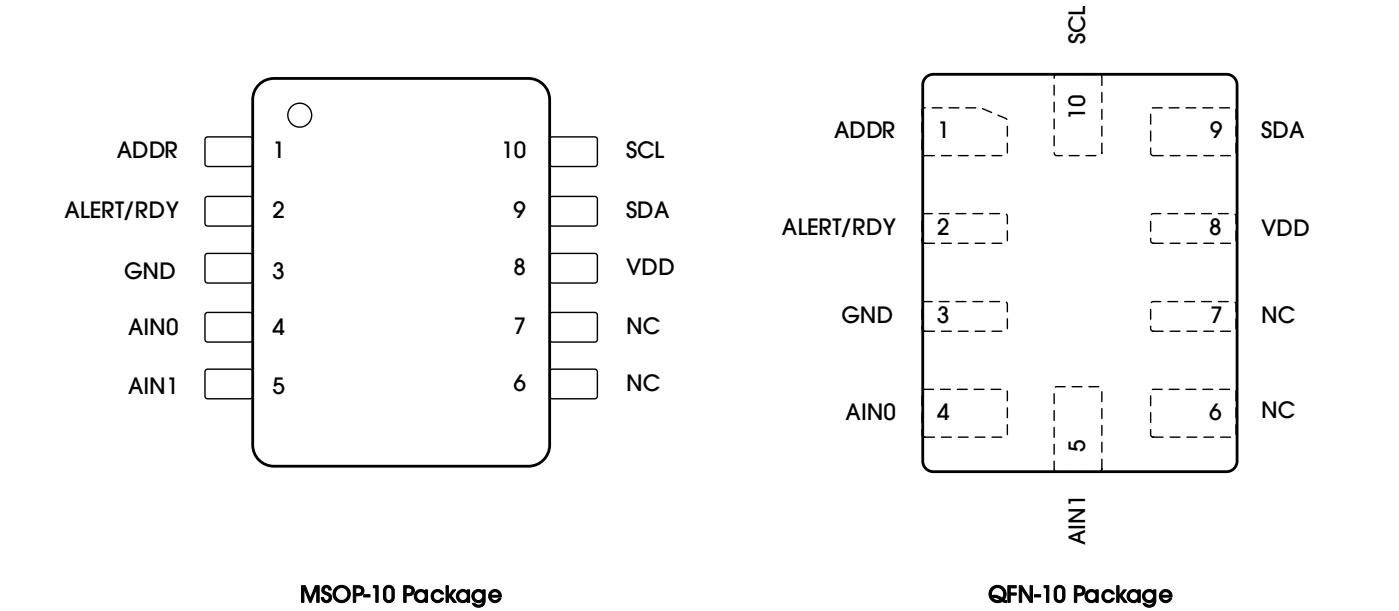


Figure 2. ADX105(Q) Pin Configuration

Table 4 lists the pin functions of ADX105(Q).

Table 4. ADX105(Q) Pin Functions

POSITION	NAME	TYPE	DESCRIPTION
1	ADDR	Digital input	I ² C slave address select
2	ALERT/RDY	Digital output	Comparator output or conversion ready, open drain, connected to a pull-up resistor
3	GND	Power	Ground
4	AIN0	Analog input	Analog input 0
5	AIN1	Analog input	Analog input 1
6, 7	NC	—	Do not connect
8	VDD	Power	Power supply. Connects a 0.1μF, power-supply decoupling capacitor to GND.
9	SDA	Digital I/O	Serial data. Transmits and receives data.
10	SCL	Digital input	Serial clock input. Locks data on SDA.

4.3 ADX107(Q)

Figure 3 illustrates the pin configuration of ADX107(Q).

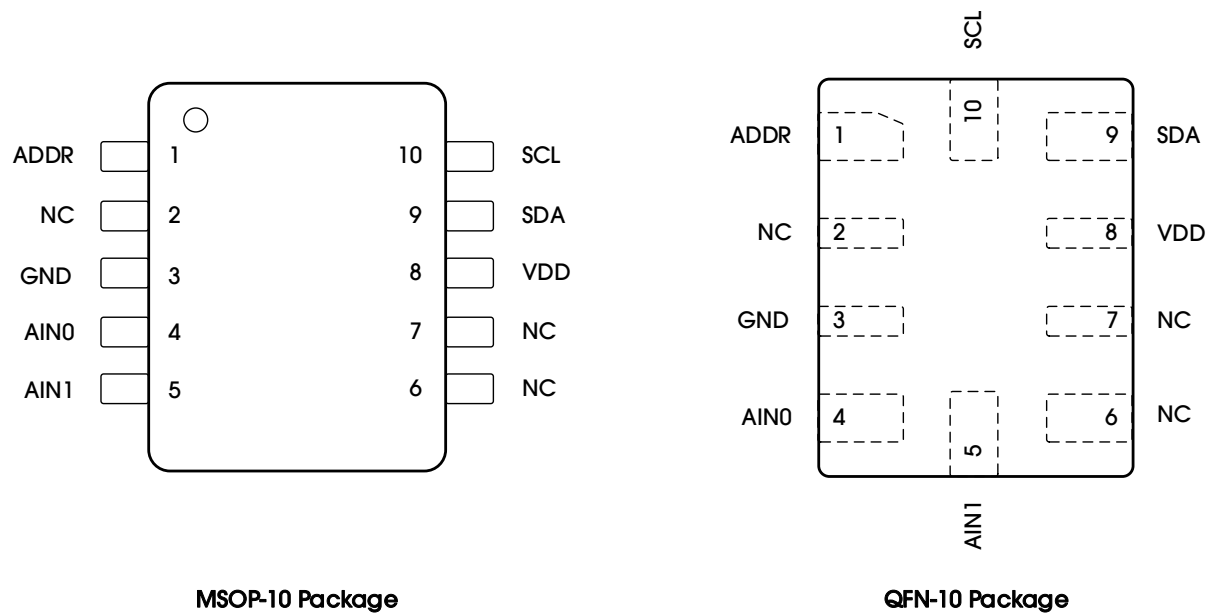


Figure 3. ADX107(Q) Pin Configuration

Table 5 lists the pin functions of ADX107(Q).

Table 5. ADX107(Q) Pin Functions

POSITION	NAME	TYPE	DESCRIPTION
1	ADDR	Digital input	I ² C slave address select
2, 6, 7	NC	—	Do not connect
3	GND	Power	Ground
4	AIN0	Analog input	Analog input 0
5	AIN1	Analog input	Analog input 1
8	VDD	Power	Power supply. Connects a 0.1μF, power-supply decoupling capacitor to GND.
9	SDA	Digital I/O	Serial data. Transmits and receives data.
10	SCL	Digital input	Serial clock input. Locks data on SDA.

5. SPECIFICATIONS

5.1 ABSOLUTE MAXIMUM RATINGS

Table 6 lists the absolute maximum ratings of the ADX101(Q)/105(Q)/107(Q).

Table 6. Absolute Maximum Ratings

PARAMETER	DESCRIPTION	MIN	MAX	UNITS
Power-Supply Voltage	VDD to GND	-0.3	7	V
Analog Input Voltage	AIN0, AIN1, AIN2, AIN3	GND - 0.3	VDD + 0.3	V
Digital Input Voltage	SDA, SCL, ADDR, ALERT/RDY	GND - 0.3	5.5	V
Input Current, Continuous	Any pin except power supply pins	-10	10	mA
Temperature	Operating ambient, T _A	-40	125	°C
	Junction, T _J	-40	150	
	Storage, T _{stg}	-60	150	

Note: Stresses beyond those listed under Table 6 may cause permanent damage to the device. These are stress ratings only, which do not imply functional operation of the device at these or any other conditions beyond those indicated under Table 8. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

5.2 ESD RATINGS

Table 7 lists the ESD ratings of the ADX101(Q)/105(Q)/107(Q).

Table 7. ESD Ratings

PARAMETER	SYMBOL	DESCRIPTION	VALUE	UNITS
Electrostatic Discharge	V _(ESD)	Human-body model (HBM), per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±6000	V
		Charged-device model (CDM), per JEDEC specification JESD22-C101 ⁽²⁾	±1500	

Note 1: The JEDEC document JEP155 indicates that 500V HBM allows safe manufacturing with a standard ESD control process.

Note 2: The JEDEC document JEP157 indicates that 250V CDM allows safe manufacturing with a standard ESD control process.

ADX101(Q)/105(Q)/107(Q)

超小型、低功耗、I²C 兼容、3300SPS、12 位 ADC
具有内部基准、振荡器和可编程比较器

5.3 RECOMMENDED OPERATING CONDITIONS

Table 8 lists the recommended operating conditions for the ADX101(Q)/105(Q)/107(Q).

Table 8. Recommended Operating Conditions

PARAMETER	DESCRIPTION	SYMBOL	MIN	NOM	MAX	UNITS
POWER SUPPLY						
Power Supply	VDD to GND		2		5.5	V
ANALOG INPUTS ⁽¹⁾						
Full-Scale Input Voltage Range ⁽²⁾	$V_{IN} = V_{(AINP)} - V_{(AINN)}$	FSR	±0.256		±6.144	V
Absolute Input Voltage		$V_{(AINx)}$	GND		VDD	V
DIGITAL INPUTS						
Digital Input Voltage		V_{DIG}	GND		5.5	V
TEMPERATURE RANGE						
Operating Ambient Temperature		T_A	−40		125	°C

- Note 1: AIN_P and AIN_N denote the selected positive and negative inputs. AIN_x denotes one of the four available analog inputs.
- Note 2: This parameter expresses the full-scale range of the ADC scaling. No more than $VDD + 0.3V$ must be applied to the analog inputs of the device. See Table 12 for more information.

5.4 THERMAL INFORMATION

Table 9 lists the thermal information for the ADX101(Q)/105(Q)/107(Q).

Table 9. Thermal Information

PARAMETER	SYMBOL	MSOP-10	QFN-10	UNITS
Junction-to-Ambient Thermal Resistance	$R_{\theta JA}$	150	119	°C/W
Junction-to-Board Thermal Resistance	$R_{\theta JB}$	90	39	°C/W
Junction-to-Top Characterization Parameter	ψ_{JT}	3	4	°C/W
Junction-to-Board Characterization Parameter	ψ_{JB}	86	39	°C/W
Junction-to-Case (Top) Thermal Resistance	$R_{\theta JC(top)}$	54	60	°C/W

5.5 ELECTRICAL CHARACTERISTICS

Table 10 lists the electrical characteristics of ADX101(Q)/105(Q)/107(Q). At VDD = 3.3V, data rate = 128SPS, and full-scale input voltage range (FSR) = $\pm 2.048\text{V}$ (unless otherwise noted). Maximum and minimum specifications apply from T_A = -40°C to 125°C. Typical specifications are at T_A = 25°C.

Table 10. Electrical Characteristics

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ANALOG INPUT						
Common-Mode Input Impedance		FSR = $\pm 6.144\text{V}^{(1)}$		9		M Ω
		FSR = $\pm 4.096\text{V}^{(1)}$		7		
		FSR = $\pm 2.048\text{V}$		6		
		FSR = $\pm 1.024\text{V}$		5		
		FSR = $\pm 0.512\text{V}$, FSR = $\pm 0.256\text{V}$		6		
Differential Input Impedance		FSR = $\pm 6.144\text{V}^{(1)}$		26		M Ω
		FSR = $\pm 4.096\text{V}^{(1)}$		17		
		FSR = $\pm 2.048\text{V}$		3		
		FSR = $\pm 1.024\text{V}$		1.5		
		FSR = $\pm 0.512\text{V}$, $\pm 0.256\text{V}$		0.9		M Ω
SYSTEM PERFORMANCE						
Resolution (No Missing Codes)			12			Bits
Data Rate	DR		128, 250, 490, 920, 1600, 2400, 3300			SPS
Data Rate Variation		All data rates	-7%		6%	
Integral Nonlinearity	INL	DR = 128SPS, FSR = $\pm 2.048\text{V}^{(2)}$			0.5	LSB
Offset Error		FSR = $\pm 2.048\text{V}$, differential inputs	-0.5	0	0.5	LSB
		FSR = $\pm 2.048\text{V}$, single-ended inputs		± 0.25		
Offset Drift Over Temperature		FSR = $\pm 2.048\text{V}$		0.002		LSB/ $^{\circ}\text{C}$
Long-Term Offset Drift		FSR = $\pm 2.048\text{V}$, T_{A} = 125°C , 1000 hrs		0.5		LSB
Offset Power-Supply Rejection		FSR = $\pm 2.048\text{V}$, DC supply variation		0.5		LSB/V
Offset Channel Match		Match between any two inputs, ADX101(Q)		0.25		LSB
Gain Error ⁽³⁾		FSR = $\pm 2.048\text{V}$, T_{A} = 25°C		0.025%	0.2%	
Gain Drift Over Temperature ⁽³⁾		FSR = $\pm 0.256\text{V}$		8		ppm/ $^{\circ}\text{C}$
		FSR = $\pm 2.048\text{V}$		8	30	
		FSR = $\pm 6.144\text{V}^{(1)}$		8		
Long-Term Gain Drift ⁽³⁾		FSR = $\pm 2.048\text{V}$, T_{A} = 125°C , 1000 hrs		± 0.05		%
Gain Power-Supply Rejection				70		ppm/V
Gain Match ⁽³⁾		Match between any two gains		0.01%	0.08%	
Gain Channel Match		Match between any two inputs		0.03%	0.08%	
Common-Mode Rejection Ratio	CMRR	At DC, FSR = $\pm 0.256\text{V}$		> 72		dB
		At DC, FSR = $\pm 2.048\text{V}$		> 72		
		At DC, FSR = $\pm 6.144\text{V}^{(1)}$		> 72		
		f_{CM} = 60Hz, DR = 128SPS		> 72		
		f_{CM} = 50Hz, DR = 128SPS		> 72		
DIGITAL INPUT/OUTPUT						
High-Level Input Voltage	V_{IH}		0.7 VDD		5.5	V
Low-Level Input Voltage	V_{IL}		GND		0.3 VDD	V
Low-Level Output Voltage	V_{OL}	I_{OL} = 3mA	GND	0.15	0.4	V

ADX101(Q)/105(Q)/107(Q)

超小型、低功耗、I²C 兼容、3300SPS、12 位 ADC
具有内部基准、振荡器和可编程比较器

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Input Leakage Current		GND < V _{DIG} < VDD		−10		10	μA
POWER SUPPLY							
Supply Current	I _{VDD}	Power-down	T _A = 25°C		0.65	1	μA
						3.5	
		Operating	T _A = 25°C		145	170	
						300	
Power Dissipation	P _D	VDD = 5.0V			0.9		mW
		VDD = 3.3V			0.5		
		VDD = 2.0V			0.3		

Note 1: This parameter expresses the full-scale range of the ADC scaling. No more than VDD + 0.3V must be applied to the analog inputs of the device.

Note 2: Best-fit INL; covers 98% of full-scale.

Note 3: Includes all errors from onboard PGA and voltage reference.

5.6 TIMING REQUIREMENTS: I²C INTERFACE

Table 11 lists the timing requirements for the I²C interface.

Table 11. Timing Requirements: I²C Interface

PARAMETER	SYMBOL	FAST MODE		HIGH-SPEED MODE		UNITS
		MIN	MAX	MIN	MAX	
SCL Clock Frequency	f_{SCL}	0.01	0.4	0.01	3.4	MHz
Bus Free Time Between START and STOP Condition	t_{BUF}	600		160		ns
Hold Time After Repeated START Condition. (After this period, the first clock is generated.)	t_{HDSTA}	600		160		ns
Setup Time for A Repeated START Condition	t_{SUSTA}	600		160		ns
Setup Time for STOP Condition	t_{SUSTO}	600		160		ns
Data Hold Time	t_{HDDAT}	0		0		ns
Data Setup Time	t_{SUDAT}	100		10		ns
Low Period of the SCL Clock Pin	t_{LOW}	1300		160		ns
High Period for the SCL Clock Pin	t_{HIGH}	600		60		ns
Rise Time for Both SDA and SCL Signals ⁽¹⁾	t_F		300		160	ns
Fall Time for Both SDA and SCL Signals ⁽¹⁾	t_R		300		160	ns

Note: For high-speed mode maximum values, the capacitive load on the bus line must not exceed 400pF.

Figure 4 shows the I²C interface timing.

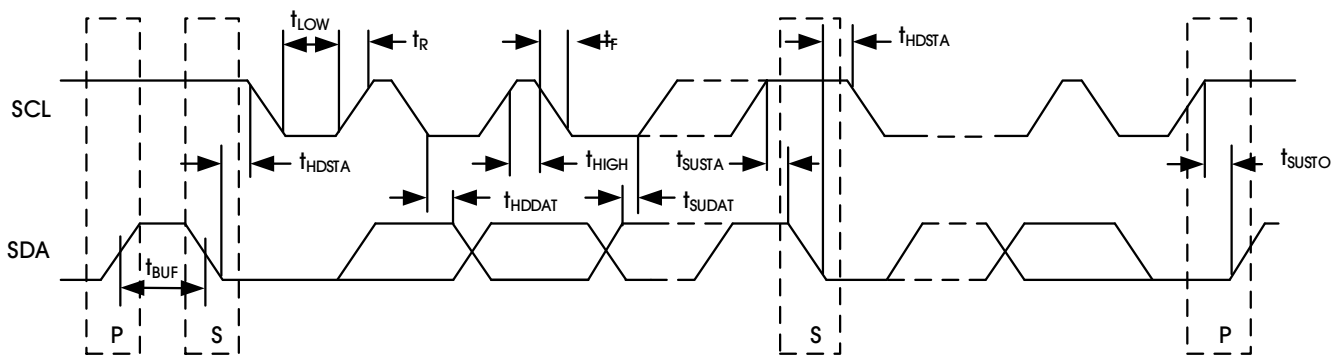


Figure 4. I²C Interface Timing

ADX101(Q)/105(Q)/107(Q)

超小型、低功耗、I²C 兼容、3300SPS、12 位 ADC
具有内部基准、振荡器和可编程比较器

5.7 TYPICAL CHARACTERISTICS

$T_A = 25^{\circ}\text{C}$, $V_{DD} = 3.3\text{V}$, $\text{FSR} = \pm 2.048\text{V}$, $\text{DR} = 128\text{SPS}$, unless otherwise noted.

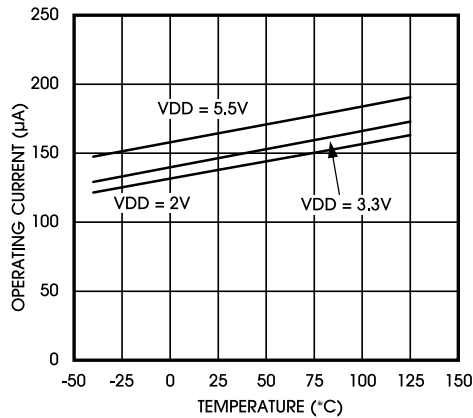


Figure 5. Operating Current vs. Temperature

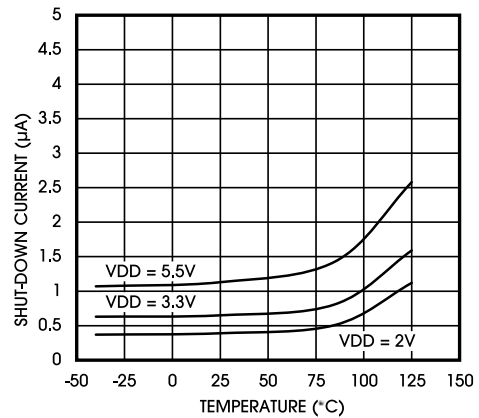


Figure 6. Power-Down Current vs. Temperature

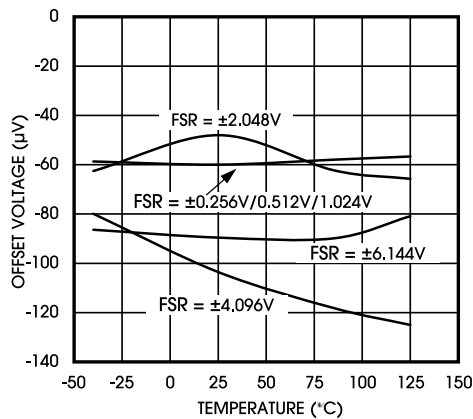


Figure 7. Single-Ended Offset Error vs. Temperature

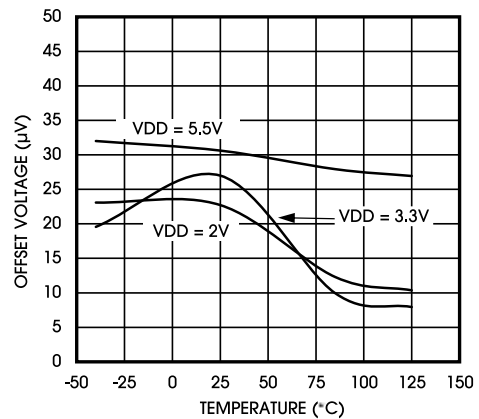


Figure 8. Differential Offset vs. Temperature

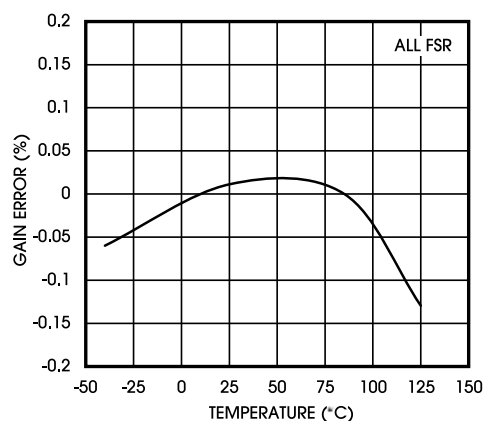


Figure 9. Gain Error vs. Temperature

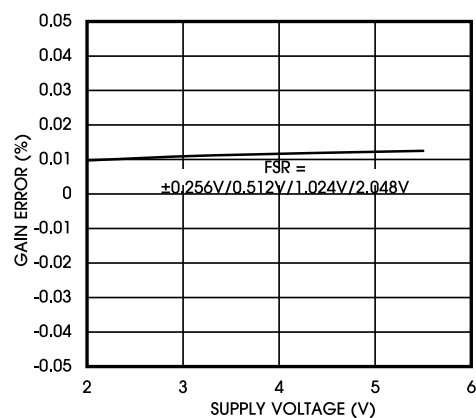


Figure 10. Gain Error vs. Supply Voltage

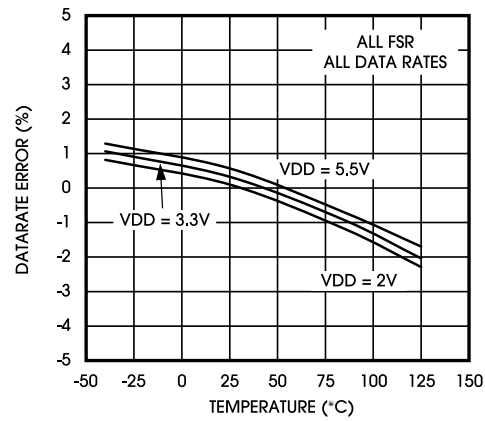


Figure 11. Data Rate vs. Temperature

ADX101(Q)/105(Q)/107(Q)

超小型、低功耗、I²C 兼容、3300SPS、12 位 ADC
具有内部基准、振荡器和可编程比较器

6. 噪声性能

ADX101(Q)/105(Q)/107(Q)在所有输出速率下无噪声分辨率典型值均可达到 12 位。

7. 详细说明

7.1 概述

ADX101(Q)/105(Q)/107(Q)是一款非常小的低功耗 12 位 $\Delta\Sigma$ ($\Delta\Sigma$)模数转换器(ADC)。ADX101(Q)/105(Q)/107(Q)由一个带内部电压基准的 $\Delta\Sigma$ ADC 内核、一个时钟振荡器和一个 I²C 接口组成。它还集成了一个可编程增益放大器(PGA)和一个可编程数字比较器。Figure 12 显示了 ADX101(Q)/105(Q)/107(Q)的功能框图。

ADX101(Q)/105(Q)/107(Q) ADC 内核测量差分信号 V_{IN} ，即 $V_{(AINP)}$ 和 $V_{(AINN)}$ 之差。转换器核心由一个差分开关电容 $\Delta\Sigma$ 调制器和一个数字滤波器组成。这种架构具有非常强的抑制共模干扰的能力。输入信号与内部参考电压进行比较。数字滤波器从调制器接收高速比特流并输出与输入电压成比例的转换结果。

ADX101(Q)/105(Q)/107(Q)有两种可用的转换模式：单次和连续转换。在单次模式下，ADC 根据请求对输入信号执行一次转换，将转换值存储到内部转换寄存器，然后进入掉电状态。该模式旨在为仅需要定期转换或转换之间有较长空闲时间的系统提供显著的节能效果。在连续转换模式下，ADC 在前一次转换完成后立即自动开始转换输入信号。连续转换的速率等于编程的数据速率。数据可以随时读取并始终反映最近完成的转换。

7.2 功能模块框图

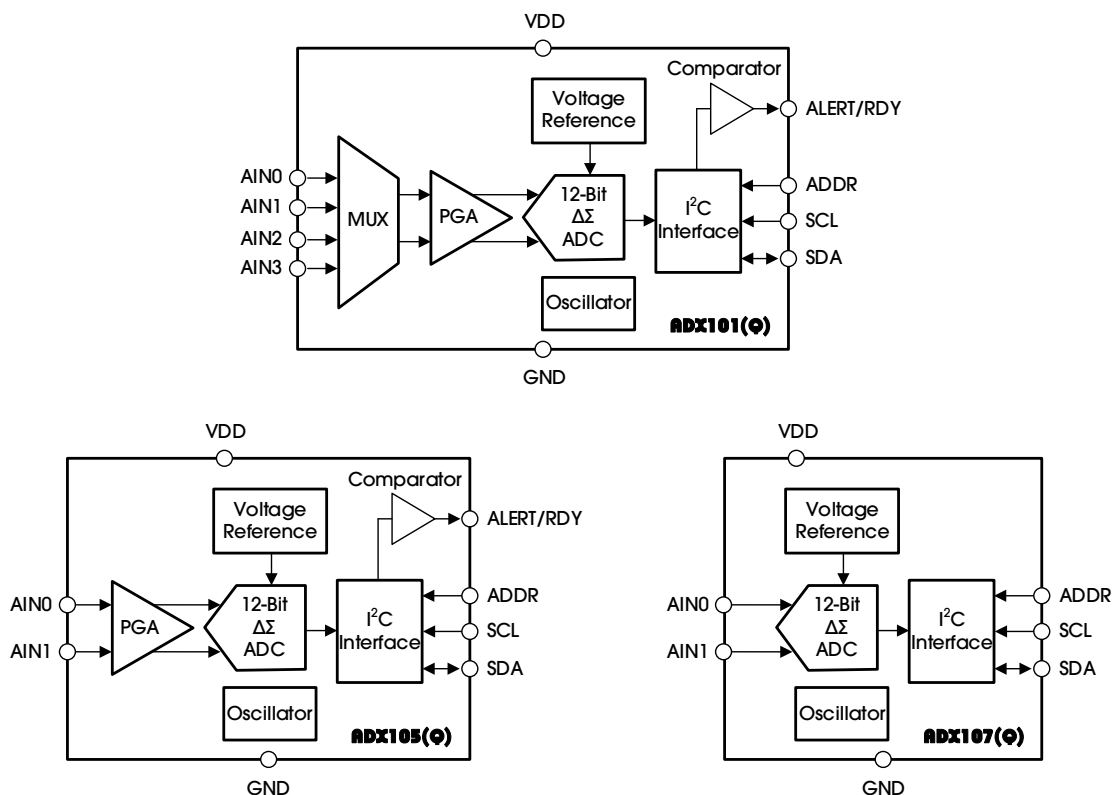


Figure 12. Functional Block Diagram

7.3 特性描述

7.3.1 多路复用器

ADX101(Q)/105(Q)/107(Q)包含一个输入多路复用器(MUX)，如 Figure 13 所示。可以测量四个单端或两个差分信号。此外，AIN0 和 AIN1 的测量可能与 AIN3 不同。多路复用器由 CONFIG REGISTER 中的位 MUX(2:0)配置。测量单端信号时，ADC 的负输入通过多路复用器内的开关在内部连接到 GND。

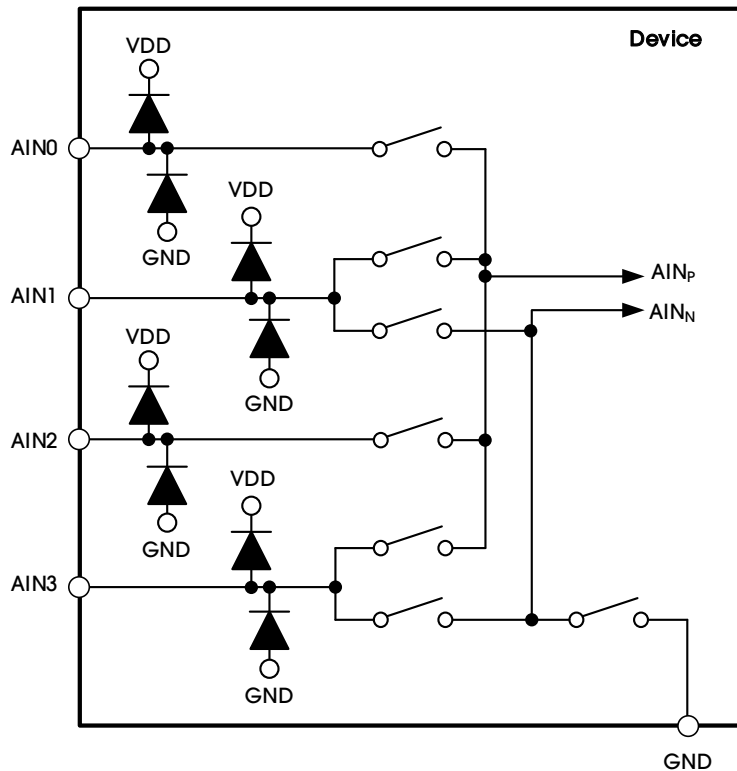


Figure 13. Input Multiplexer

连接到 VDD 和 GND 的静电放电(ESD)二极管保护 ADX101(Q)/105(Q)/107(Q)模拟输入。将任何输入的绝对电压保持在 Equation 3 所示的范围内，以防止 ESD 二极管导通。

$$GND - 0.3V < V_{(AINx)} < VDD + 0.3V \quad (3)$$

如果输入引脚上的电压可能违反这些条件，请使用外部肖特基二极管和串联电阻器将输入电流限制在安全值范围内(参见 Table 6)。

ADX101(Q)/105(Q)/107(Q)

超小型、低功耗、I²C 兼容、3300SPS、12 位 ADC
具有内部基准、振荡器和可编程比较器

7.3.2 模拟输入

ADX101(Q)/105(Q)/107(Q)使用开关电容器输入级，其中电容器连续充电然后放电以测量 A_{INP} 和 A_{INN} 之间的电压。对输入信号进行采样的频率称为采样频率或调制器频率(f_{MOD})。ADX101(Q)/105(Q)/107(Q)有一个 1MHz 的内部振荡器，该振荡器进一步除以 4 以产生 250kHz 的 f_{MOD} 。此输入级中使用的电容器很小，对于外部电路而言，平均负载呈电阻性。Figure 14 显示了这种结构。电容器值设置电阻和开关速率。Figure 15 显示了 Figure 14 中开关的时序。在采样阶段，开关 S_1 闭合。该事件对 C_{A1} 充电至 $V_{(A_{INP})}$ ， C_{A2} 充电至 $V_{(A_{INN})}$ ， C_B 充电至 $(V_{(A_{INP})} - V_{(A_{INN})})$ 。在放电阶段， S_1 首先打开，然后 S_2 关闭。然后 C_{A1} 和 C_{A2} 放电至大约 0.7V， C_B 放电至 0V。这种充电从驱动 ADX101(Q)/105(Q)/107(Q)模拟输入的源吸取非常小的瞬态电流。该电流的平均值可用于计算有效阻抗(Z_{eff})，其中 $Z_{eff} = V_{IN} / I_{AVERAGE}$ 。

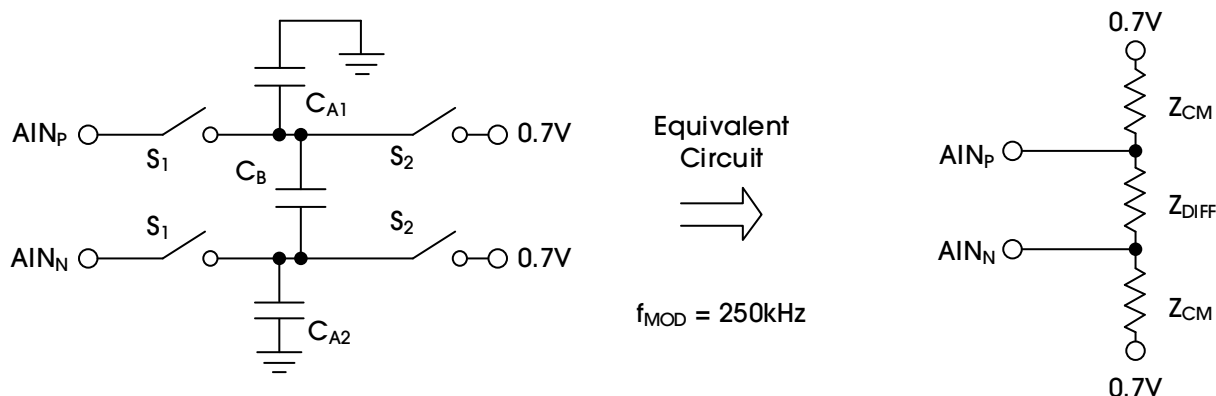


Figure 14. Simplified Analog Input Circuit

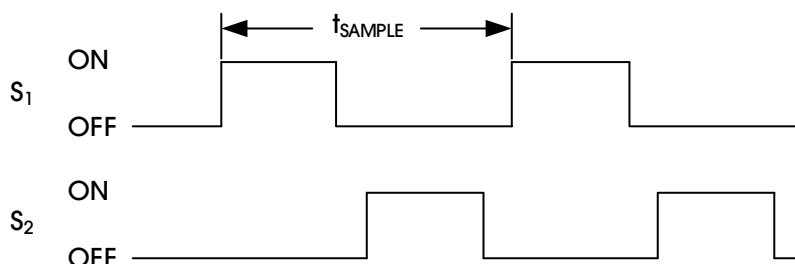


Figure 15. S_1 and S_2 Switch Timing

共模输入阻抗是通过将 A_{INP} 和 A_{INN} 输入短接到外部施加的共模信号，并测量每个引脚消耗的平均电流来测量的。共模输入阻抗根据满量程范围而变化，默认满量程范围约为 $6M\Omega$ 。在 Figure 14 中，共模输入阻抗为 Z_{CM} 。

差分输入阻抗是通过向 A_{INP} 和 A_{INN} 输入施加差分信号来测量的，其中一个输入保持在 0.7V。流过连接到 0.7V 的引脚的电流是差分电流，并与满量程范围成比例。在 Figure 14 中，差分输入阻抗为 Z_{DIFF} 。

务必考虑输入阻抗的典型值，除非输入源具有低阻抗，否则 ADX101(Q)/105(Q)/107(Q)输入阻抗可能会影响测量精度。对于具有高输出阻抗的源，可能需要缓冲，然而源缓冲器会引入噪声，还会引入偏移和增益误差，在高精度应用中需要考虑所有这些因素再做选择。

时钟振荡器频率随温度轻微漂移，因此，输入阻抗也会漂移。对于大多数应用，这种输入阻抗漂移可以忽略不计。

7.3.3 满量程(FSR)和 LSB 大小

可编程增益放大器(PGA)在 ADX101(Q)/105(Q)/107(Q)的 $\Delta\Sigma$ ADC 之前实现。满量程范围由 **CONFIG REGISTER** 中的位 **PGA(2:0)** 配置，可以设置为 $\pm 6.144\text{V}$ 、 $\pm 4.096\text{V}$ 、 $\pm 2.048\text{V}$ 、 $\pm 1.024\text{V}$ 、 $\pm 0.512\text{V}$ 、 $\pm 0.256\text{V}$ 。Table 12 显示了 FSR 以及相应的 LSB 大小。Equation 4 显示了如何根据选定的满量程范围计算 LSB 大小。

$$\text{LSB} = \text{FSR} / 2^{12} \quad (4)$$

Table 12. Full-Scale Range and Corresponding LSB Size

FSR	LSB SIZE
$\pm 6.144\text{V}^{(1)}$	3mV
$\pm 4.096\text{V}^{(1)}$	2mV
$\pm 2.048\text{V}$	1mV
$\pm 1.024\text{V}$	0.5mV
$\pm 0.512\text{V}$	0.25mV
$\pm 0.256\text{V}$	0.125mV

注：此参数表示 ADC 缩放的满刻度范围。对器件的模拟输入施加的电压不要超过 $\text{VDD} + 0.3\text{V}$ 。

模拟输入电压绝不能超过 **ABSOLUTE MAXIMUM RATINGS** 中给出的模拟输入电压限制。如果 VDD 电源电压低于选定的满量程范围，则无法获得满量程 ADC 输出代码。例如，当 $\text{VDD} = 3.3\text{V}$ 且 $\text{FSR} = \pm 4.096\text{V}$ 时，只能测量高达 $\text{V}_{\text{IN}} = \pm 3.3\text{V}$ 的信号。表示 $|\text{V}_{\text{IN}}| > 3.3\text{V}$ 的电压代码范围在这种情况下不能使用。

强烈建议使用比 VDD 电源电压高一级的满量程范围作为最大满量程范围。例如， $\text{VDD} = 2\text{V}$ 和 $\pm 2.048\text{V}$ 是最大满量程范围的最佳设置。大于 $\pm 2.048\text{V}$ 的满量程范围没有任何好处。

7.3.4 参考电压

ADX101(Q)/105(Q)/107(Q)具有集成电压基准。该设备不能使用外部参考。与初始电压参考精度和参考温度漂移相关的误差包含在 **ELECTRICAL CHARACTERISTICS** 的增益误差和增益漂移规范中。

7.3.5 振荡器

ADX101(Q)/105(Q)/107(Q)有一个运行频率为 1MHz 的集成振荡器。不能应用外部时钟来操作该设备。内部振荡器随温度和时间漂移。输出数据速率与振荡器频率成比例。

7.3.6 输出数据速率和转换时间

ADX101(Q)/105(Q)/107(Q)提供可编程输出数据速率。使用 **CONFIG REGISTER** 中的 **DR(2:0)** 位选择 128SPS、250SPS、490SPS、920SPS、1600SPS、2400SPS 或 3300SPS 的输出数据速率。

ADX101(Q)/105(Q)/107(Q)中的转换在单个周期内稳定下来；因此，转换时间等于 $1/\text{DR}$ 。

7.3.7 数字比较器(仅限 ADX101/ADX101Q/ADX105/ADX105Q)

ADX101(Q)/105(Q)具有可编程数字比较器，可在 **ALERT/RDY** 引脚上发出警报。**CONFIG REGISTER** 中的 **COMP_MODE** 位将比较器配置为传统比较器或窗口比较器。在传统的比较器模式下，当转换数据超过高阈值寄存器(**Hi_thresh**)中设置的限制时，**ALERT/RDY** 引脚置位(默认为低电平有效)。只有当转换数据低于低阈值寄存器(**Lo_thresh**)中设置的限制时，比较器才会取消置位。在窗口比较器模式下，当转换数据超过 **Hi_thresh** 寄存器或低于 **Lo_thresh** 寄存器值时，**ALERT/RDY** 引脚置位。

在窗口或传统比较器模式下，比较器可以配置为在由 **CONFIG REGISTER** 中的 **COMP_LAT** 位置位后锁存。即使输入信号未超出阈值寄存器的范围，此设置也会导致断言保持不变。此锁存断言只能通过发出 **SMBus** 警报响应或通过读取 **CONVERSION REGISTER** 来清除。**ALERT/RDY** 引脚可通过 **CONFIG REGISTER** 中的 **COMP_POL** 位配置为高电平有效或低电平有效。两种比较器模式的操作图 Figure 16 所示。

比较器也可以配置为仅在一组连续读数超过阈值寄存器(**Hi_thresh** 和 **Lo_thresh**)中设置的阈值后才激活 **ALERT/RDY** 引脚。**CONFIG REGISTER** 中的 **COMP_QUE(1:0)** 位将比较器配置为在激活 **ALERT/RDY** 引脚之前等待一个、两个或四个超出阈值的读数。**COMP_QUE(1:0)** 位也可以禁用比较器功能，并将 **ALERT/RDY** 引脚置于高电平状态。

ADX101(Q)/105(Q)/107(Q)

超小型、低功耗、I²C 兼容、3300SPS、12 位 ADC
具有内部基准、振荡器和可编程比较器

7.3.8 转换完成引脚

ALERT/RDY 引脚也可以配置为转换完成指示引脚。将 **Hi_thresh** 寄存器的最高有效位设置为 1，将 **Lo_thresh** 寄存器的最高有效位设置为 0，以启用该引脚作为转换完成指示引脚。**COMP_POL** 位继续按预期运行。将 **COMP_QUE(1:0)** 位设置为 11 以外的任何 2 位值以保持 **ALERT/RDY** 引脚启用，并允许转换完成信号出现在 **ALERT/RDY** 引脚输出。**COMP_MODE** 和 **COMP_LAT** 位不再控制任何功能。当配置为转换完成引脚时，**ALERT/RDY** 还是需要一个上拉电阻。在连续转换模式下，**ADX101(Q)/105(Q)** 在每次转换结束时在 **ALERT/RDY** 引脚上提供大约 8 μ s 的转换完成脉冲，如 [Figure 17](#) 所示。在单次模式下，**ALERT/RDY** 引脚在如果 **COMP_POL** 位设置为 0，则转换结束。

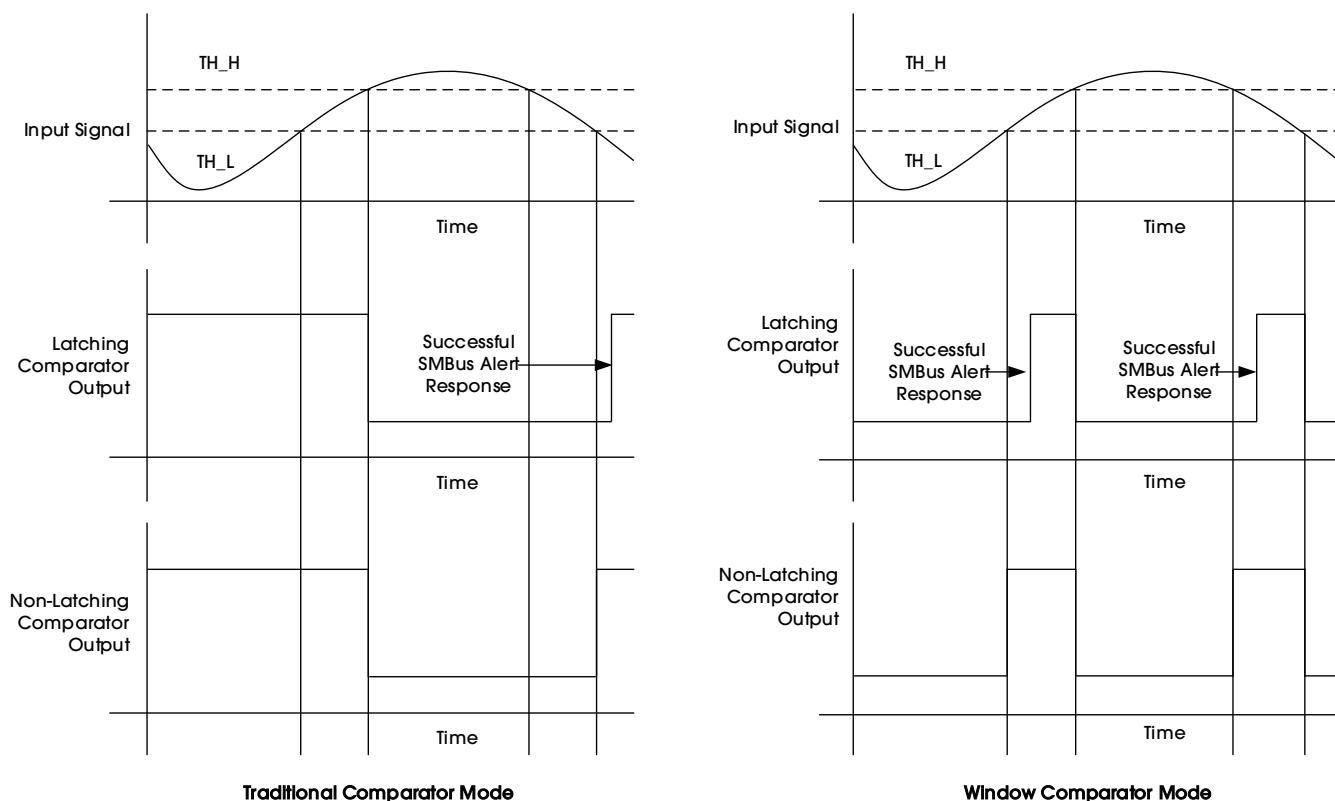


Figure 16. ALERT Pin Timing Diagram

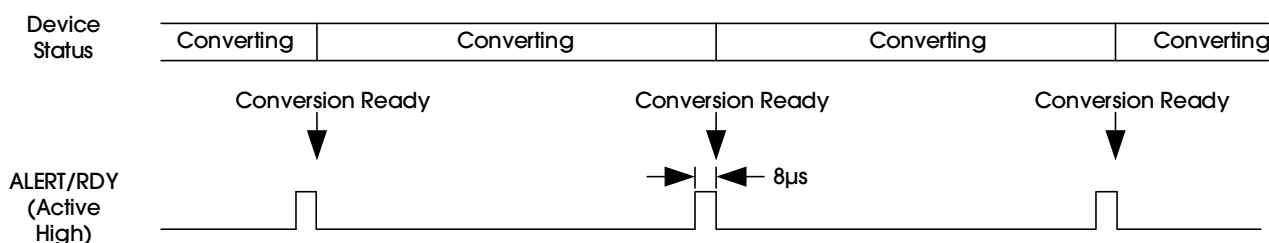


Figure 17. Conversion Ready Pulse in Continuous-Conversion Mode

7.3.9 SMBUS 警报响应

在锁存比较器模式(**COMP_LAT** = 1)中，当比较器检测到超过上限或下限阈值的转换时，**ALERT/RDY** 引脚置位。此断言已锁存，只能通过读取转换数据或通过发出成功的 **SMBus** 警报响应并读取断言设备 I²C 地址来清除。如果转换数据在清除后超过上限或下限阈值，则引脚重新置位。此断言不会影响已经在进行中的转换。**ALERT/RDY** 引脚是开漏输出。这种架构允许多个设备共享相同的接口总线。禁用时，该引脚保持高电平状态，因此该引脚不会干扰同一总线上的其他设备。

当主机检测到 **ALERT/RDY** 引脚已锁存时，主机会向 I²C 总线发出 **SMBus** 警报命令(00011001)。I²C 总线上 **ALERT/RDY** 引脚有效的任何 **ADX101(Q)/105(Q)** 数据转换器都以从机地址响应命令。如果 I²C 总线上有多个 **ADX101(Q)/105(Q)** 断言锁存的 **ALERT/RDY** 引脚，则在 **SMBus** 警报的地址响应期间进行仲裁，以确定哪个设备清除断言，具有最低 I²C 地址的设备总是赢得仲裁。如果设备仲裁失败，则设备不会清除比较器输出引脚断言，然后主机重复发 **SMBus** 警报响应命令，直到所有设备都清除了各自的断言。在窗口比较器模式下，如果信号超过高阈值，**SMBus** 警报状态位为 1，如果信号超过低阈值，则为 0。

7.4 器件功能模式

7.4.1 复位和上电

ADX101(Q)/105(Q)/107(Q)在上电时复位，并将 **CONFIG REGISTER** 中的所有寄存器位设置为各自的默认值。复位过程完成后，ADX101(Q)/105(Q)/107(Q)进入 ADC 关断状态。设备接口和数字块处于工作状态，但不执行任何数据转换。ADX101(Q)/105(Q)/107(Q)的初始关断状态使具有严格电源要求的系统免于在上电期间遇到浪涌。

ADX101(Q)/105(Q)/107(Q)响应 I²C 广播呼叫复位命令。当 ADX101(Q)/105(Q)/107(Q)收到广播呼叫复位命令(06h)时，将执行内部复位，和上电复位一样。

7.4.2 操作模式

ADX101(Q)/105(Q)/107(Q)以两种模式之一运行：连续转换或单次。**CONFIG REGISTER** 中的模式位选择相应的操作模式。

7.4.2.1 单次模式

当 **CONFIG REGISTER** 中的 **MODE** 位设置为 1 时，ADX101(Q)/105(Q)/107(Q)进入关断状态，并在单次模式下工作。这种关断状态是 ADX101(Q)/105(Q)/107(Q)首次上电时的默认状态。尽管处于关断状态，设备仍然响应命令。ADX101(Q)/105(Q)/107(Q)保持此关断状态，直到将 1 写入 **CONFIG REGISTER** 中的操作状态(OS)位。当 OS 位被置位时，ADC 在大约 25 μ s 内完成启动，然后将 OS 位重置为 0，并开始单次转换。当转换数据完成时，ADC 将再次进入关断状态。在转换过程中向 OS 位写入 1 无效。要切换到连续转换模式，请将 0 写入 **CONFIG REGISTER** 中的模式位。

7.4.2.2 连续转换模式

在连续转换模式下(MODE 位设置为 0)，ADX101(Q)/105(Q)/107(Q)连续执行转换。转换完成后，ADX101(Q)/105(Q)/107(Q)将结果放入 **CONVERSION REGISTER** 并立即开始另一次转换。编写新的配置设置时，当前正在进行的转换将以先前的配置设置完成。此后，开始使用新的配置设置进行连续转换。要切换到单次转换模式，请将 1 写入 **CONFIG REGISTER** 中的 **MODE** 位或复位器件。

ADX101(Q)/105(Q)/107(Q)

超小型、低功耗、I²C 兼容、3300SPS、12 位 ADC
具有内部基准、振荡器和可编程比较器

7.5 编程

7.5.1 I²C 接口

ADX101(Q)/105(Q)/107(Q)通过 I²C 接口进行通信。I²C 是一种双线开漏接口,支持单个总线上的多个从设备和主设备。I²C 总线上的设备仅通过接地将总线线路拉低;这些设备从不将总线驱动为高电平。相反,总线被片外上拉电阻拉高,因此当没有设备将它们拉低时,总线始终处于高电平。因此两个设备不会发生冲突。如果两个设备同时驱动总线,也不存在冲突。

I²C 总线上的通信总是发生在两个设备之间,一个作为主机,另一个作为从机。**master** 和 **slave** 都可以读写,但 **slave** 只能在 **master** 的指导下进行。一些 I²C 设备可以充当主机或从机,但 ADX101(Q)/105(Q)/107(Q)只能充当从机。

I²C 总线由两条线组成:SDA 和 SCL。SDA 传输数据;SCL 提供时钟。所有数据都以八位为一组通过 I²C 总线传输。要在 I²C 总线上发送一个数据位,在 SCL 为低电平时将 SDA 线驱动到适当的电平(SDA 上的低电平表示该位为 0;高电平表示该位为 1)。SDA 线稳定后,SCL 线被拉高,然后拉低。SCL 上的这个脉冲将 SDA 位同步到接收器移位寄存器中。如果 I²C 总线保持空闲状态超过 25 毫秒,则总线超时。

I²C 总线是双向的;也就是说,SDA 线用于发送和接收数据。**master** 读取 **slave** 时,**slave** 驱动数据线;当主机发送给从机时,主机驱动数据线。主机始终驱动时钟线。ADX101(Q)/105(Q)/107(Q)不能充当主机,因此永远不能驱动 SCL。

大部分时间总线是空闲的;没有通信发生,两条线都是高。发生通信时,总线处于活动状态。只有主设备可以启动通信并在总线上启动 **START** 条件。通常,数据线只允许在时钟线为低时改变状态。如果数据线在时钟线为高电平时改变状态,则它要么是 **START** 条件,要么是 **STOP** 条件。当时钟线为高电平且数据线从高电平变为低电平时,会出现 **START** 条件。当时钟线为高电平且数据线从低电平变为高电平时,将出现停止条件。

在主设备发出 **START** 条件后,主设备发送一个字节指示与哪个从设备进行通信。该字节称为地址字节。I²C 总线上的每个设备都有一个唯一的 7 位地址来响应。主设备在地址字节中发送一个地址,以及一个指示主设备是否希望读取或写入从设备的位。

I²C 总线上传输的每个字节(地址和数据)都通过一个确认位进行确认。当主机完成向从机发送一个字节(八个数据位)时,主机停止驱动 SDA 并等待从机确认该字节。从机通过将 SDA 拉低来确认该字节。主机然后发送一个时钟脉冲来接收确认位。类似地,当主机完成读取一个字节时,主机将 SDA 拉低以向从机确认此完成。然后主机发送一个时钟脉冲来为该位提供时钟。主机始终驱动时钟线。

如果设备不在总线上,而主机试图寻址它,它会收到一个未确认,因为该地址上没有设备可以将线路拉低。通过在应答周期内将 SDA 保持为高电平来执行不应答。

当主机完成与从机的通信后,它可能会发出停止条件。当发出停止条件时,总线再次变为空闲状态。主机也可以发出另一个 **START** 条件。当总线处于活动状态时发出 **START** 条件,称为重复启动条件。

TIMING REQUIREMENTS 部分显示了 ADX101(Q)/105(Q)/107(Q) I²C 通信的时序图。

7.5.1.1 I²C 地址选择

ADX101(Q)/105(Q)/107(Q)有一个地址引脚 ADDR,用于配置器件的 I²C 地址。该引脚可以连接到 GND、VDD、SDA 或 SCL,允许使用一个引脚选择四个不同的地址,如 **Table 13** 所示。地址引脚 ADDR 的状态被连续采样。首先使用 GND、VDD 和 SCL 地址。如果 SDA 被用作设备地址,在 SCL 线变低后保持 SDA 线低至少 100ns,以确保设备在 I²C 通信期间正确解码地址。

Table 13. ADDR Pin Connection and Corresponding Slave Address

ADDR PIN CONNECTION	SLAVE ADDRESS
GND	1001000
VDD	1001001
SDA	1001010
SCL	1001011

7.5.1.2 I²C 广播呼叫

如果第八位为 0，则 ADX101(Q)/105(Q)/107(Q) 响应 I²C 广播呼叫地址(0000000)。设备确认广播呼叫地址并响应第二个字节中的命令。如果第二个字节是 00000110 (06h)，ADX101(Q)/105(Q)/107(Q) 复位内部寄存器并进入关断状态。

7.5.1.3 I²C 速度模式

总线以三种速度之一运行。标准模式允许时钟频率高达 100kHz；快速模式允许高达 400kHz 的时钟频率；高速模式(也称为 Hs 模式)允许时钟频率高达 3.4MHz。ADX101(Q)/105(Q)/107(Q) 与所有三种模式完全兼容。

使用标准或快速模式 ADX101(Q)/105(Q)/107(Q) 无需特殊操作，但要使用高速模式，必须先激活高速模式。要激活高速模式，请在 START 条件后发送一个特殊地址字节 00001xxx，其中 xxx 是具有 Hs 功能的主机所独有的位。该字节称为 Hs 主码，与普通地址字节不同；第八位不表示读/写状态。ADX101(Q)/105(Q)/107(Q) 不确认该字节；I²C 规范禁止确认 Hs 主码。收到主代码后，ADX101(Q)/105(Q)/107(Q) 会打开 Hs 模式滤波器，并以高达 3.4MHz 的频率进行通信。ADX101(Q)/105(Q)/107(Q) 在下一个停止条件下退出 Hs 模式。

有关高速模式的更多信息，请参阅 I²C 规范。

7.5.2 从模式操作

ADX101(Q)/105(Q)/107(Q) 用作从属接收器或从属发射器。ADX101(Q)/105(Q)/107(Q) 不能作为从设备驱动 SCL 线。

7.5.2.1 接收模式

在从机接收模式下，从主机发送到从机的第一个字节由 7 位设备地址和低 R/ $\overline{W}$ 位组成。主机发送的下一个字节是 ADDRESS POINTER REGISTER。然后 ADX101(Q)/105(Q)/107(Q) 确认收到地址指针寄存器字节。接下来的两个字节写入寄存器地址指针位 P[1:0] 给出的地址。ADX101(Q)/105(Q)/107(Q) 确认发送的每个字节。寄存器字节首先发送最高有效字节，然后是最低有效字节。

7.5.2.2 发送模式

在从机发送模式下，主机发送的第一个字节是 7 位从机地址，后面是高 R/ $\overline{W}$ 位。该字节将从机置于发送模式并指示正在读取 ADX101(Q)/105(Q)/107(Q)。从机传输的下一个字节是寄存器的最高有效字节，寄存器地址由指针位 P[1:0] 指示。该字节后跟来自主机的确认。剩余的最低有效字节随后由从设备发送，随后是来自主设备的确认。主机可以通过不确认或不发出 START 或 STOP 条件在任何字节后终止传输。

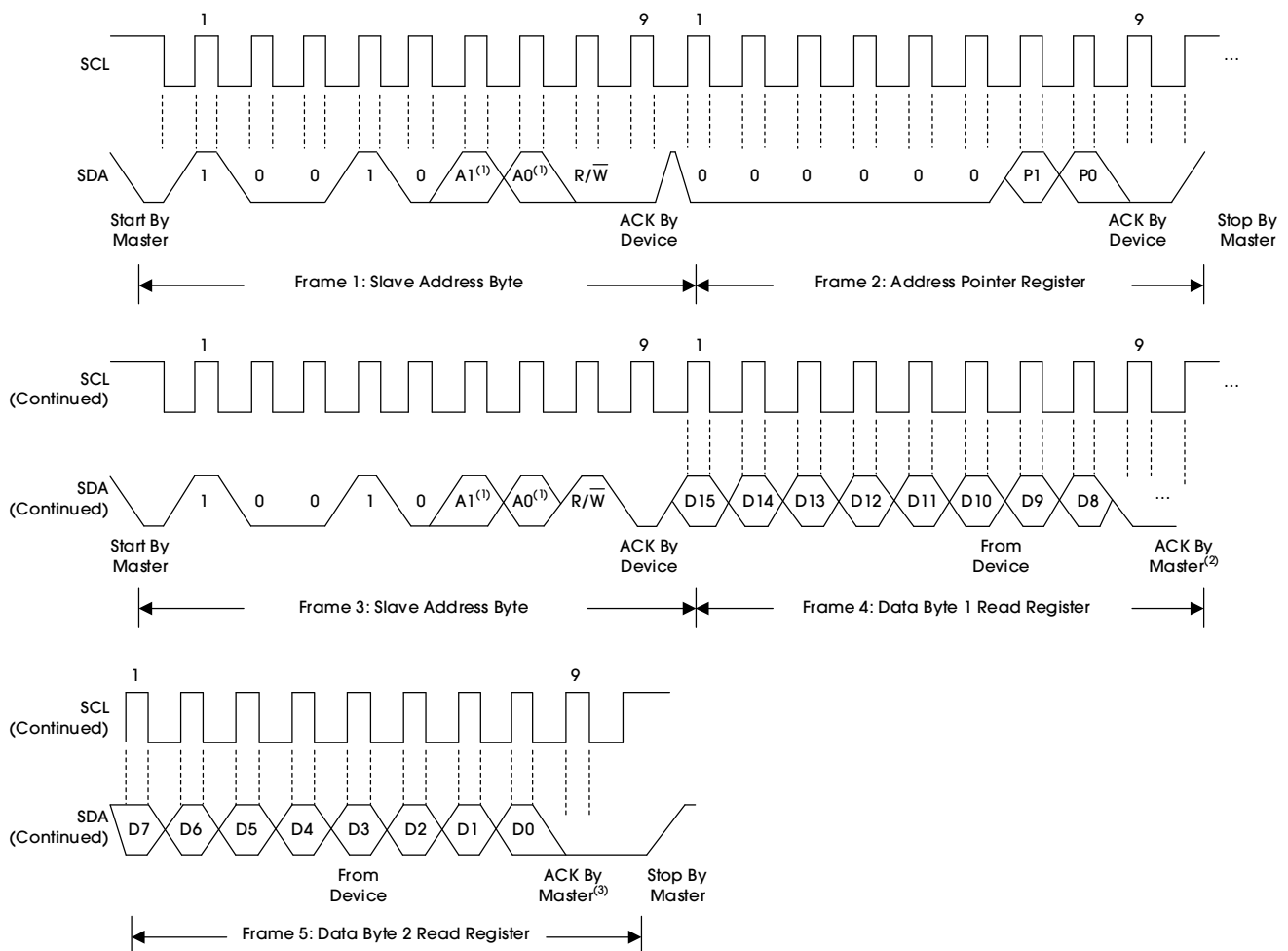
ADX101(Q)/105(Q)/107(Q)

超小型、低功耗、I²C 兼容、3300SPS、12 位 ADC
具有内部基准、振荡器和可编程比较器

7.5.3 写入和读取寄存器

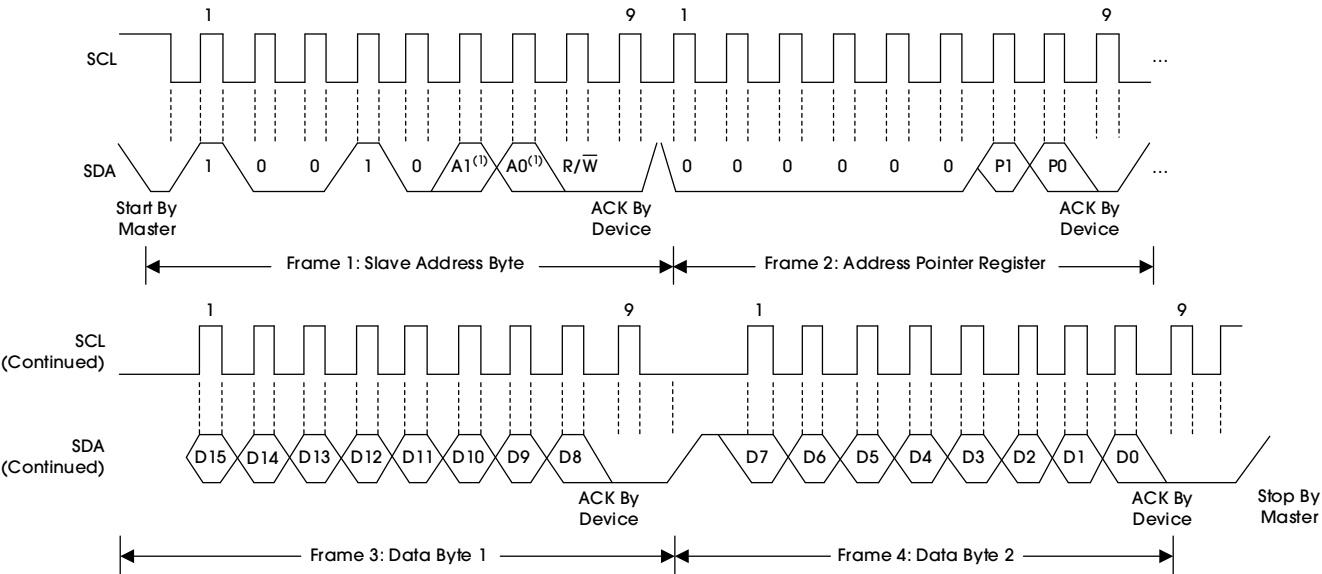
要从 ADX101(Q)/105(Q)/107(Q)访问特定寄存器，主机必须首先将适当的值写入 **ADDRESS POINTER REGISTER** 中的寄存器地址指针位 P(1:0)。地址指针寄存器在收到从机地址字节、R/W位为低并且成功的从机确认之后直接写入。写入地址指针寄存器后，从机确认，主机发出 **STOP** 或重复 **START** 条件。

从 ADX101(Q)/105(Q)/107(Q)读取时，先前写入 P(1:0)的值决定了要读取的寄存器。要更改读取寄存器地址，必须向 P(1:0)写入一个新值。要向 P(1:0)写入新值，主机发出一个从机地址字节，其中 R/W位为低，随后是地址指针寄存器字节。无需传输额外的数据，之后主机可以发出 **STOP** 条件。主机现在可以发出开始条件，并发送 R/W位为高的从机地址字节以开始读取。**Figure 18** 详细说明了这个序列。如果需要重复读取同一寄存器，则无需连续发送地址指针寄存器，因为 ADX101(Q)/105(Q)/107(Q)会存储 P(1:0)的值，直到它被写操作修改为止。但是，对于每次写操作，地址指针寄存器都必须写入适当的值。



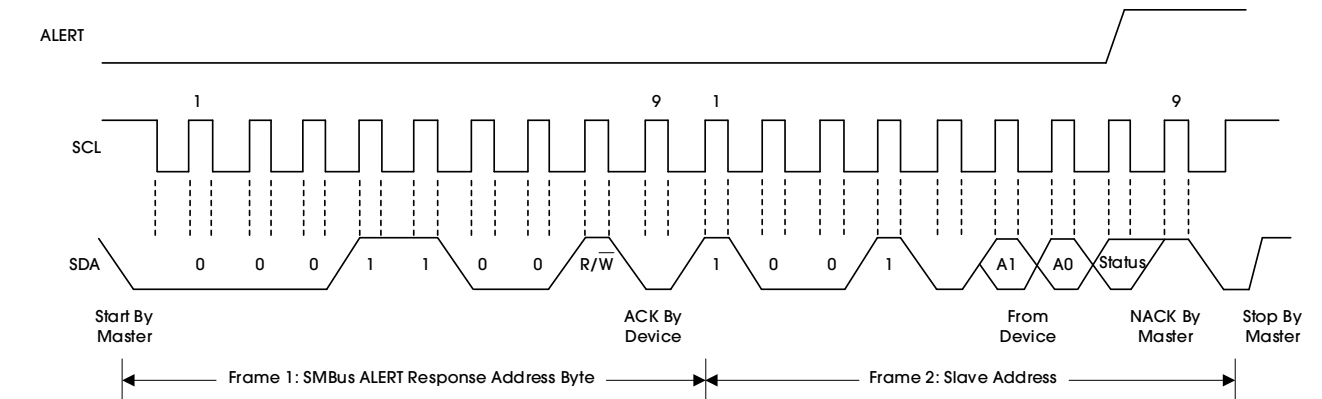
- (1) The values of A0 and A1 are determined by the ADDR pin.
(2) Master can leave SDA high to terminate a single-byte read operation.
(3) Master can leave SDA high to terminate a two-byte read operation.

Figure 18. Timing Diagram for Reading from ADX101(Q)/105(Q)/107(Q)



(1) The values of A0 and A1 are determined by the ADDR pin.

Figure 19. Timing Diagram for Writing to ADX101(Q)/105(Q)/107(Q)



(1) The values of A0 and A1 are determined by the ADDR pin.

Figure 20. Timing Diagram for SMBus Alert Response

7.5.4 数据格式

ADX101(Q)/105(Q)/107(Q)提供二进制补码格式的 12 位数据。正满量程(+FS)输入产生 7FF0h 的输出代码，负满量程(-FS)输入产生 8000h 的输出代码。对于超过满量程的信号，输出会在这些代码处削波。Table 14 总结了不同输入信号的理想输出代码。

Table 14. Input Signal versus Ideal Output Code

INPUT SIGNAL $V_{IN} = (V_{AINP} - V_{AINN})$	IDEAL OUTPUT CODE (EXCLUDES THE EFFECTS OF NOISE, INL, OFFSET, AND GAIN ERRORS)
$\geq +FS (2^{11} - 1) / 2^{11}$	7FF0h
$+FS / 2^{11}$	0010h
0	0000h
$-FS / 2^{11}$	FFF0h
$\leq -FS$	8000h

Figure 21 显示代码转换与输入电压。

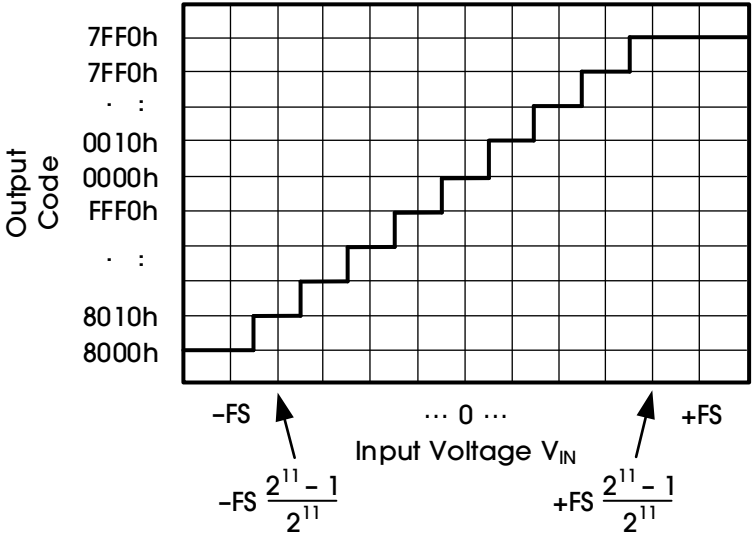


Figure 21. Code Transition Diagram

注：单端信号测量，其中 $V_{AINN} = 0V$ 且 $V_{AINP} = 0V$ 至 $+FS$ ，仅使用从 0000h 至 7FF0h 的正代码范围。但是，由于器件可能偏移，ADX101(Q)/105(Q)/107(Q)在 V_{AINP} 接近 $0V$ 的情况下仍可能输出负码。

8. REGISTER MAPS

The ADX101(Q)/105(Q)/107(Q) has four registers that are accessible through the I²C interface using the ADDRESS POINTER REGISTER. The CONVERSION REGISTER contains the result of the last conversion. The CONFIG REGISTER is used to change the ADX101(Q)/105(Q)/107(Q) operating modes and query the status of the device. The other two registers, Lo_thresh and Hi_thresh, set the threshold values used for the comparator function.

8.1 ADDRESS POINTER REGISTER (ADDRESS = N/A) [RESET = N/A]

All four registers are accessed by writing to the Address Pointer register; see Figure 18.

Table 15. Address Pointer Register

7	6	5	4	3	2	1	0
0	0	0	0	0	0	P(1:0)	
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h

LEGEND: R/W = Read/Write; R = Read only; -n = value after reset

Table 16. Address Pointer Field Descriptions

BIT	FIELD	TYPE	RESET	DESCRIPTION
7:2	Reserved	W	0h	Always write 0h
1:0	P(1:0)	W	0h	Register address pointer 00: Conversion register 01: Config register 10: Lo_thresh register 11: Hi_thresh register

8.2 CONVERSION REGISTER (P[1:0] = 0H) [RESET = 0000H]

The 16-bit Conversion register contains the result of the last conversion in binary two's complement format. Following power-up, the Conversion register is cleared to 0, and remains 0 until the first conversion is completed.

Table 17. Conversion Register

15	14	13	12	11	10	9	8
D11	D10	D09	D08	D07	D06	D05	D04
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
D03	D02	D01	D00	RSV	RSV	RSV	RSV
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

LEGEND: R/W = Read/Write; R = Read only; -n = value after reset

Table 18. Conversion Register Field Descriptions

BIT	FIELD	TYPE	RESET	DESCRIPTION
15:4	D(15:4)	R	000h	12-bit conversion result
3:0	RSV	R	0h	Reserved bit, always read back 0h.

ADX101(Q)/105(Q)/107(Q)

超小型、低功耗、I²C 兼容、3300SPS、12 位 ADC
具有内部基准、振荡器和可编程比较器

8.3 CONFIG REGISTER (P[1:0] = 1H) [RESET = 8583H]

The 16-bit Config register is used to control the operating mode, input selection, data rate, full-scale range, and comparator modes.

Table 19. Config Register

15	14	13	12	11	10	9	8
OS	MUX(2:0)			PGA(2:0)			MODE
R/W-1h	R/W-0h			R/W-2h			R/W-1h
7	6	5	4	3	2	1	0
DR(2:0)			COMP_MODE	COMP_POL	COMP_LAT	COMP_QUE(1:0)	
R/W-4h			R/W-0h	R/W-0h	R/W-0h	R/W-3h	

LEGEND: R/W = Read/Write; R = Read only; -n = value after reset

Table 20. Config Register Field Descriptions

BIT	FIELD	TYPE	RESET	DESCRIPTION
15	OS	R/W	1h	Operational status or single-shot conversion start This bit determines the operational status of the device. OS can only be written when in power-down state and has no effect when a conversion is ongoing. When writing: 0: No effect 1: Start a single conversion (when in power-down state) When reading: 0: Device is currently performing a conversion. 1: Device is not currently performing a conversion.
14:12	MUX(2:0)	R/W	0h	Input multiplexer configuration (ADX101(Q) only) These bits configure the input multiplexer. Do not change these bits for ADX105(Q) and ADX107(Q). 000: AIN _P = AIN0 and AIN _N = AIN1 (default) 001: AIN _P = AIN0 and AIN _N = AIN3 010: AIN _P = AIN1 and AIN _N = AIN3 011: AIN _P = AIN2 and AIN _N = AIN3 100: AIN _P = AIN0 and AIN _N = GND 101: AIN _P = AIN1 and AIN _N = GND 110: AIN _P = AIN2 and AIN _N = GND 111: AIN _P = AIN3 and AIN _N = GND
11:9	PGA(2:0)	R/W	2h	Programmable gain amplifier configuration These bits set the FSR of the programmable gain amplifier. 000: FSR = $\pm 6.144V^{(1)}$ 001: FSR = $\pm 4.096V^{(1)}$ 010: FSR = $\pm 2.048V$ (default) 011: FSR = $\pm 1.024V$ 100: FSR = $\pm 0.512V$ 101: FSR = $\pm 0.256V$ 110: FSR = $\pm 0.256V$ 111: FSR = $\pm 0.256V$ Note: This parameter expresses the full-scale range of the ADC scaling. Do not apply more than VDD + 0.3V to the analog inputs of the device.
8	MODE	R/W	1h	Device operating mode This bit controls the operating mode. 0: Continuous-conversion mode 1: Single-shot mode or power-down state (default)

ADX101(Q)/ADX105(Q)/ADX107(Q)

超小型、低功耗、I²C 兼容、3300SPS、12 位 ADC
具有内部基准、振荡器和可编程比较器

BIT	FIELD	TYPE	RESET	DESCRIPTION
7:5	DR(2:0)	R/W	4h	Data rate These bits control the data rate setting. 000: 128SPS 001: 250SPS 010: 490SPS 011: 920SPS 100: 1600SPS (default) 101: 2400SPS 110: 3300SPS 111: 3300SPS
4	COMP_MODE	R/W	0h	Comparator mode (ADX101(Q) and ADX105(Q) only) This bit configures the comparator operating mode. Do not change this bit for ADX107(Q). 0: Traditional comparator (default) 1: Window comparator
3	COMP_POL	R/W	0h	Comparator polarity (ADX101(Q) and ADX105(Q) only) This bit controls the polarity of the ALERT/RDY pin. Do not change this bit for ADX107(Q). 0: Active low (default) 1: Active high
2	COMP_LAT	R/W	0h	Latching comparator (ADX101(Q) and ADX105(Q) only) This bit controls whether the ALERT/RDY pin latches after being asserted or clears after conversions are within the margin of the upper and lower threshold values. Do not change this bit for ADX107(Q). 0: Nonlatching comparator. The ALERT/RDY pin does not latch when asserted (default). 1: Latching comparator. The asserted ALERT/RDY pin remains latched until conversion data are read by the master or an appropriate SMBus alert response is sent by the master. The device responds with its address, and it is the lowest address currently asserting the ALERT/RDY bus line.
1:0	COMP_QUE(1:0)	R/W	3h	Comparator queue and disable (ADX101(Q) and ADX105(Q) only) These bits perform two functions. When set to 11, the comparator is disabled and the ALERT/RDY pin is set to a high-impedance state. When set to any other value, the ALERT/RDY pin and the comparator function are enabled, and the set value determines the number of successive conversions exceeding the upper or lower threshold required before asserting the ALERT/RDY pin. Do not change this bit for ADX107(Q). 00: Assert after one conversion 01: Assert after two conversions 10: Assert after four conversions 11: Disable comparator and set ALERT/RDY pin to high-impedance (default)

ADX101(Q)/105(Q)/107(Q)

超小型、低功耗、I²C 兼容、3300SPS、12 位 ADC
具有内部基准、振荡器和可编程比较器

8.4 LO_THRESH (P[1:0] = 2H) [RESET = 8000H] AND HI_THRESH (P[1:0] = 3H) [RESET = 7FFFH] REGISTERS

The upper and lower threshold values used by the comparator are stored in two 16-bit registers in two's complement format. The comparator is implemented as a digital comparator; therefore, the values in these registers must be updated whenever the PGA settings are changed.

The conversion-ready function of the ALERT/RDY pin is enabled by setting the Hi_thresh register MSB to 1 and the Lo_thresh register MSB to 0. To use the comparator function of the ALERT/RDY pin, the Hi_thresh register value must always be greater than the Lo_thresh register value. The threshold register formats are shown in Table 21. When set to RDY mode, the ALERT/RDY pin outputs the OS bit when in single-shot mode, and provides a continuous-conversion ready pulse when in continuous-conversion mode.

Table 21. Lo_thresh Register

15	14	13	12	11	10	9	8
Lo_thresh11	Lo_thresh10	Lo_thresh09	Lo_thresh08	Lo_thresh08	Lo_thresh06	Lo_thresh05	Lo_thresh04
R/W-1h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
Lo_thresh03	Lo_thresh02	Lo_thresh01	Lo_thresh00	0	0	0	0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

LEGEND: R/W = Read/Write; R = Read only; -n = value after reset

Table 22. Hi_thresh Register

15	14	13	12	11	10	9	8
Hi_thresh11	Hi_thresh10	Hi_thresh09	Hi_thresh08	Hi_thresh07	Hi_thresh06	Hi_thresh05	Hi_thresh04
R/W-0h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h
7	6	5	4	3	2	1	0
Hi_thresh03	Hi_thresh02	Hi_thresh01	Hi_thresh00	1	1	1	1
R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h

LEGEND: R/W = Read/Write; R = Read only; -n = value after reset

Table 23. Lo_thresh and Hi_thresh Register Field Descriptions

BIT	FIELD	TYPE	RESET	DESCRIPTION
15:4	Lo_thresh(11:0)	R/W	800h	Low threshold value
15:4	Hi_thresh(11:0)	R/W	7FFh	High threshold value

9. 应用与实现

注

以下应用部分中的信息不是公司组件规范的一部分，公司不保证其准确性或完整性。公司的客户有责任确定组件是否适合他们的用途。客户应验证和测试他们的设计实施以确认系统功能。

9.1 应用信息

以下部分给出了在各种情况下使用 ADX101(Q)/105(Q)/107(Q) 的示例电路和建议。

9.1.1 基本连接

ADX101(Q)/105(Q)/107(Q) 的 I²C 连接原理如 Figure 22 所示。

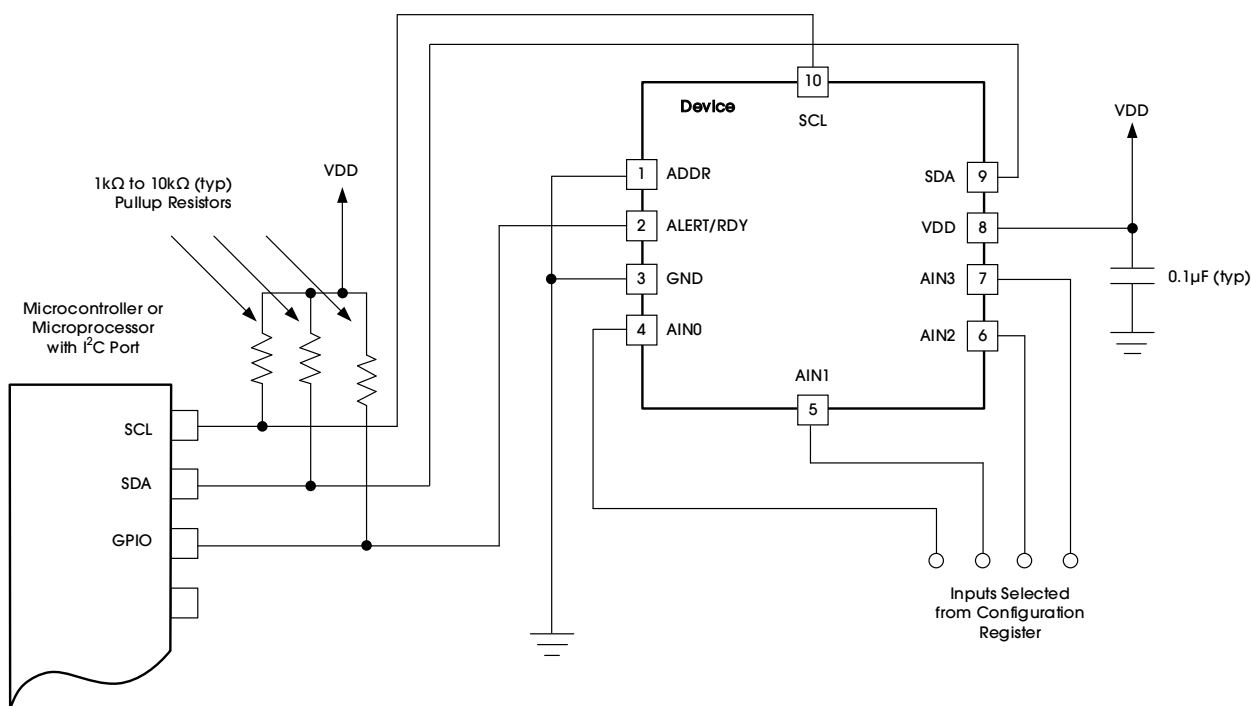


Figure 22. Typical Connections of the ADX101(Q)/105(Q)/107(Q)

ADX101(Q)/105(Q)/107(Q) 的全差分电压输入非常适合连接到具有适度低源阻抗的差分源，例如热电偶和热敏电阻。尽管 ADX101(Q)/105(Q)/107(Q) 可以读取双极差分信号，但这些器件不能接受任一输入端的负电压。

ADX101(Q)/105(Q)/107(Q) 在转换期间吸收瞬态电流。一个 0.1μF 的电源旁路电容器提供电源所需的瞬时突发额外电流。

ADX101(Q)/105(Q)/107(Q) 直接连接到标准模式、快速模式和高速模式 I²C 控制器。任何微控制器 I²C 外设，包括只有主控和单主控 I²C 外设，都与 ADX101(Q)/105(Q)/107(Q) 配合使用。ADX101(Q)/105(Q)/107(Q) 不执行时钟延展(即设备从不将时钟线拉低)，因此没有必要提供此功能，除非其他时钟延展设备位于同一 I²C 总线上。

SDA 和 SCL 线上都需要上拉电阻，因为 I²C 总线驱动器是漏极开路的。这些电阻器的大小取决于总线运行速度和总线线路的电容。较高值的电阻消耗较少的功率，但会增加总线上的转换时间，从而限制总线速度。较低值的电阻器允许更高的速度，但以更高的功耗为代价。长总线具有更高的电容，需要更小的上拉电阻来补偿。不要使用太小的电阻，因为总线驱动器可能无法将总线拉低。

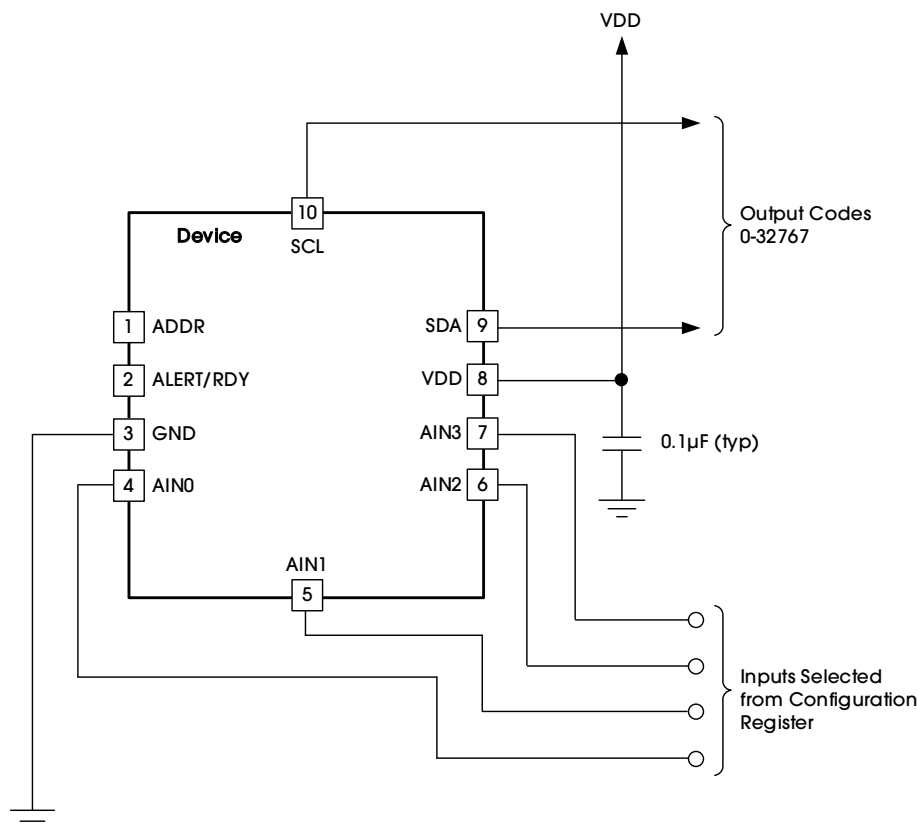
ADX101(Q)/105(Q)/107(Q)

超小型、低功耗、I²C 兼容、3300SPS、12 位 ADC
具有内部基准、振荡器和可编程比较器

9.1.2 单端输入

ADX101(Q)最多可以测量四个单端信号。ADX101(Q)通过适当配置 **CONFIG REGISTER** 中的 **MUX(2:0)** 位来测量单端信号。**Figure 23** 显示了 ADX101(Q)的单端连接方案。单端信号范围从 0V 到正电源或+FS，以较低者为准。不能对这些器件施加负电压，因为 ADX101(Q)只能接受相对于地的正电压。ADX101(Q)在输入范围内不会失去线性度。

ADX101(Q)提供±FSR 的差分输入电压范围。单端配置仅使用满量程输入电压范围的一半。差分配置最大化 ADC 的动态范围，并提供比单端配置更好的共模噪声抑制。



NOTE: Digital pin connections omitted for clarity.

Figure 23. Measuring Single-Ended Inputs

通过适当设置 **MUX(2:0)** 位，ADX101(Q)还允许 **AIN3** 作为测量的公共点。**AIN0**、**AIN1** 和 **AIN2** 都可以相对于 **AIN3** 进行测量。在此配置中，ADX101(Q)使用输入工作，其中 **AIN3** 用作公共点。这种能力提高了单端配置的可用范围，因为当 $GND < V_{(AIN3)} < VDD$ 时允许负差分电压；但是，不提供共模噪声衰减。

9.1.3 输入保护

ADX101(Q)/105(Q)/107(Q)采用小尺寸、低压工艺制造。模拟输入具有连接到电源轨的保护二极管。然而，这些二极管的电流处理能力有限，ADX101(Q)/105(Q)/107(Q)可能会因模拟输入电压超过电源轨约 300mV 时永久损坏。防止过压的一种方法是在输入线上放置限流电阻。ADX101(Q)/105(Q)/107(Q)模拟输入可以承受高达 10mA 的连续电流。

9.1.4 未使用的输入和输出

建议将未使用的模拟输入保持浮动，也可以连接到中间电源或 **VDD**。也可以将未使用的模拟输入连接到 **GND**，但可能会产生更高的泄漏电流。

如果不使用 **ALERT/RDY** 输出引脚，请悬空该引脚或使用弱上拉电阻将该引脚连接到 **VDD**。

9.1.5 模拟输入滤波

模拟输入滤波有两个目的：

1. 限制采样过程中混叠的影响
2. 减少外部噪声成为测量的一部分

当输入信号中的频率分量高于 ADC 采样频率(也称为奈奎斯特频率)的一半时,就会发生混叠。这些频率分量折回并出现在实际感兴趣的频带中,低于采样频率的一半。数字滤波器的滤波器响应以采样频率的倍数重复,也称为调制器频率(f_{MOD}),如 Figure 24 所示。信号或噪声达到滤波器响应重复的频率会衰减到一定量数字滤波器取决于滤波器架构。输入信号中存在于调制器频率或其倍数附近的任何频率分量都不会衰减并混叠回感兴趣的频带,除非被外部模拟滤波器衰减。

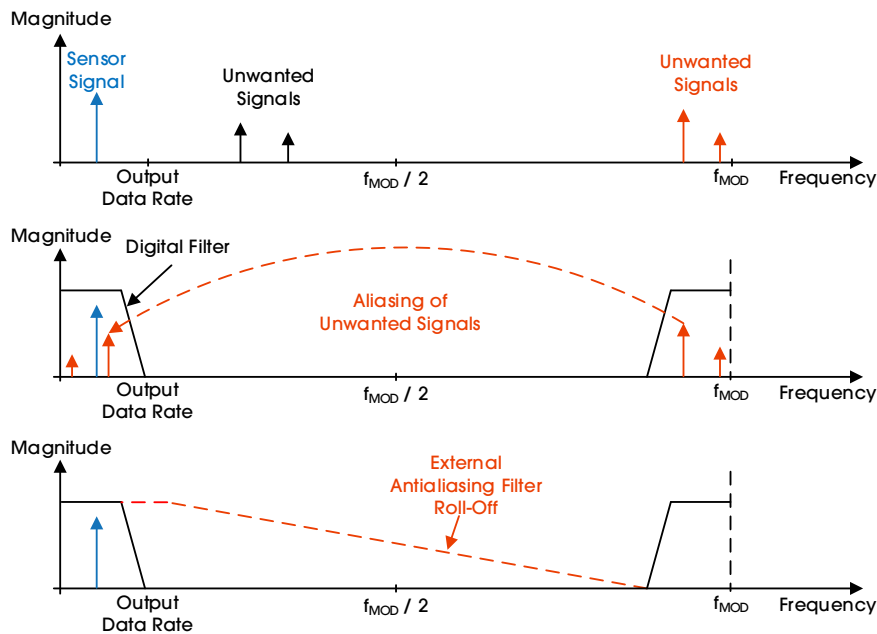


Figure 24. Effect of Aliasing

许多传感器信号本质上是带限的；例如，热电偶的输出变化率有限。在这种情况下，当使用 $\Delta\Sigma$ ADC 时，传感器信号不会混叠回通带。但是，沿传感器布线或应用电路拾取的任何噪声都可能混叠到通带中。电源线周期频率和谐波是一种常见的噪声源。电磁干扰(EMI)或射频干扰(RFI)源也可能产生外部噪声，例如附近的电机和手机。另一个噪声源通常以时钟和其他数字信号的形式存在于印刷电路板(PCB)本身。模拟输入滤波有助于消除影响测量结果的不需要的信号。

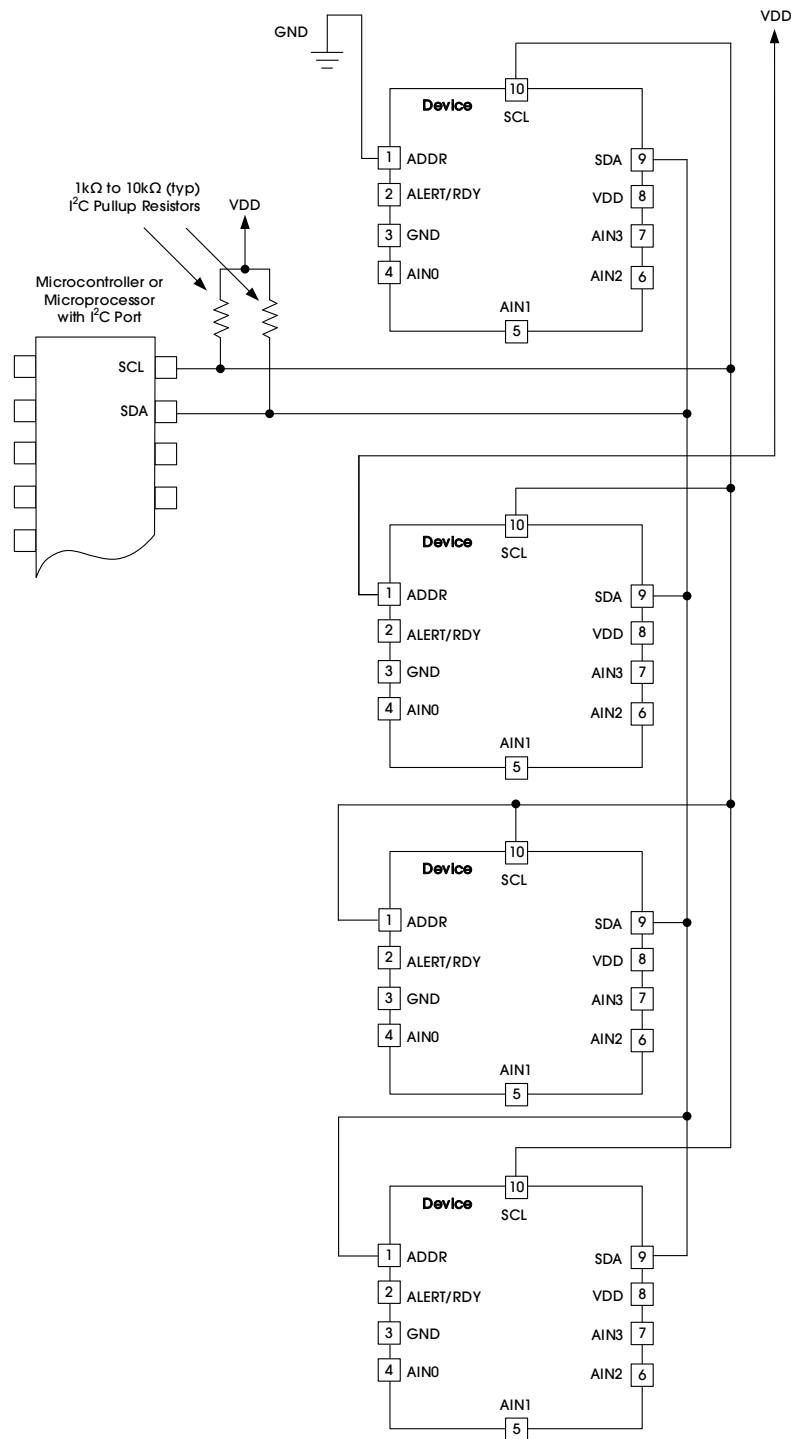
一阶电阻电容(RC)滤波器(在大多数情况下)足以完全消除混叠，或将混叠的影响降低到传感器本底噪声内的水平。理想情况下，任何超过 $f_{MOD}/2$ 的信号都会衰减到低于 ADC 本底噪声的水平。ADX101(Q)/105(Q)/107(Q)的数字滤波器对信号进行一定程度的衰减。此外，噪声分量的幅度通常小于实际传感器信号。因此，使用截止频率设置为输出数据速率或 10 倍以上的一阶 RC 滤波器作为系统设计的良好起点。

ADX101(Q)/105(Q)/107(Q)

超小型、低功耗、I²C 兼容、3300SPS、12 位 ADC
具有内部基准、振荡器和可编程比较器

9.1.6 连接多个设备

最多可以将四个 ADX101(Q)/105(Q)/107(Q) 设备连接到单个 I²C 总线，每个设备使用不同的地址引脚配置。使用地址引脚将 ADX101(Q)/105(Q)/107(Q) 设置为四个不同的 I²C 地址之一。首先使用 GND、VDD 和 SCL 地址。如果 SDA 被用作设备地址，在 SCL 线变低后保持 SDA 线低至少 100ns，以确保设备在 I²C 通信期间正确解码地址。Figure 25 显示了在同一 I²C 总线上显示四个 ADX101(Q)/105(Q)/107(Q) 器件的示例。每条总线需要一组上拉电阻器。可能需要降低上拉电阻值，以补偿由多个设备和增加的线路长度带来的额外总线电容。



NOTE: Device power and input connections omitted for clarity. The ADDR pin selects the I²C address.

Figure 25. Connecting Multiple ADX101(Q)/105(Q)/107(Q) Devices

9.1.7 通讯指南

本节提供 ADX101(Q)/105(Q)/107(Q)通信的简要示例。有关更详细的说明，请参阅本数据表的后续部分。本设计的硬件包括：一个配置了 I²C 地址 1001000 的 ADX101(Q)/105(Q)/107(Q)；带有 I²C 接口的微控制器；电阻器、电容器和串行连接器等分立元件；和 2V 至 5V 电源。Figure 26 显示了基本的硬件配置。

ADX101(Q)/105(Q)/107(Q)通过 I²C 接口与主机(微控制器)通信。主机在 SCL 引脚上提供时钟信号，并使用 SDA 引脚传输数据。ADX101(Q)/105(Q)/107(Q)从不驱动 SCL 引脚。有关对正在使用的微控制器进行编程和调试的信息，请参阅特定于设备的产品数据表。

主机发送的第一个字节是 ADX101(Q)/105(Q)/107(Q)地址，后面是指示 ADX101(Q)/105(Q)/107(Q)监听后续字节的 R/W 位。第二个字节是 ADDRESS POINTER REGISTER 字节。主机发送的第三个和第四个字节写入寄存器地址指针位 P(1:0) 指示的寄存器。分别参见 Figure 18 和 Figure 19 的读取和写入操作时序图。ADX101(Q)/105(Q)/107(Q)的所有读写事务都必须先有 START 条件，后跟 STOP 条件。

例如，要写入配置寄存器以将 ADX101(Q)/105(Q)/107(Q)设置为连续转换模式，然后读取转换结果，请按此顺序发送以下字节：

1. 写入 Config register:

- 第一个字节：0b10010000 (第一个 7 位 I²C 地址后跟低 R/W 位)
- 第二个字节：0b00000001 (指向 Config register)
- 第三个字节：0b10000100 (要写入的 Config 寄存器的 MSB)
- 第四个字节：0b10000011 (要写入的 Config 寄存器的 LSB)

2. 写入 Address Pointer register:

- 第一个字节：0b10010000 (第一个 7 位 I²C 地址后跟 R/W 低位)
- 第二个字节：0b00000000 (指向 Conversion 寄存器)

3. 读取 Conversion register:

- 第一个字节：0b10010001 (第一个 7 位 I²C 地址后跟高 R/W 位)
- 第二个字节：ADX101(Q)/105(Q)/107(Q) 以 Conversion register 的 MSB 响应
- 第三个字节：ADX101(Q)/105(Q)/107(Q) 对 Conversion register 的 LSB 响应

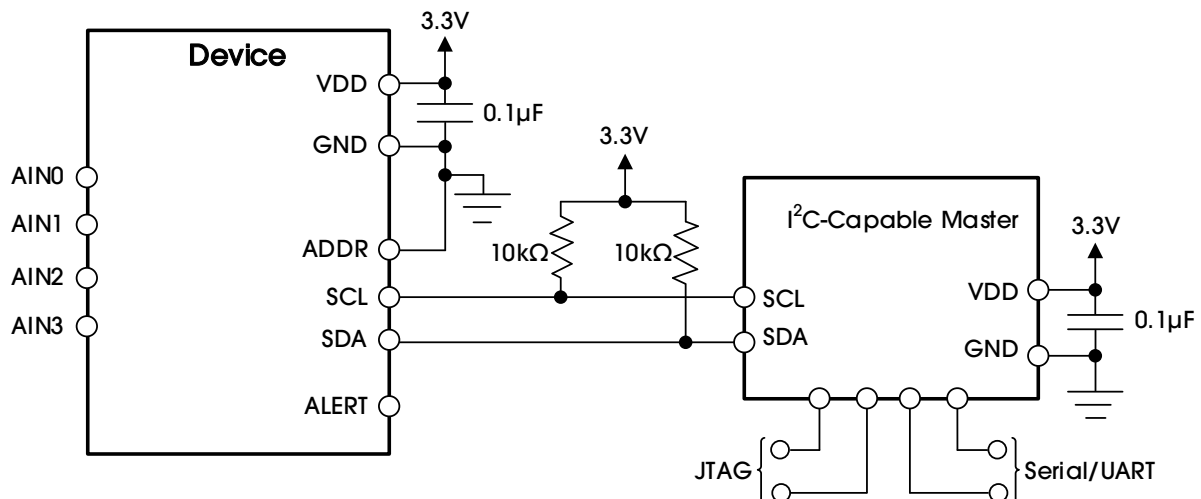


Figure 26. Basic Hardware Configuration

ADX101(Q)/105(Q)/107(Q)

超小型、低功耗、I²C 兼容、3300SPS、12 位 ADC
具有内部基准、振荡器和可编程比较器

10. 电源供电推荐

该器件需要一个单极电源 VDD 来为器件的模拟和数字电路供电。

10.1 电源排序

在 VDD 稳定后等待大约 50 μ s，然后再与设备通信以完成上电复位过程。

10.2 电源去耦

良好的电源去耦对于实现最佳性能非常重要。VDD 必须使用至少 0.1 μ F 的电容器去耦，如 Figure 27 所示。0.1 μ F 旁路电容器提供器件转换时电源所需的瞬时突发额外电流。使用低阻抗连接，将旁路电容器放置在尽可能靠近器件电源引脚的位置。使用具有低等效串联电阻(ESR)和电感(ESL)特性的多层陶瓷片式电容器(MLCC)来实现电源去耦目的。对于非常敏感的系统，或处于恶劣噪声环境中的系统，避免使用过孔将电容器连接到器件引脚，以获得更好的抗噪性。并联使用多个过孔可降低整体电感，有利于接地层的连接。

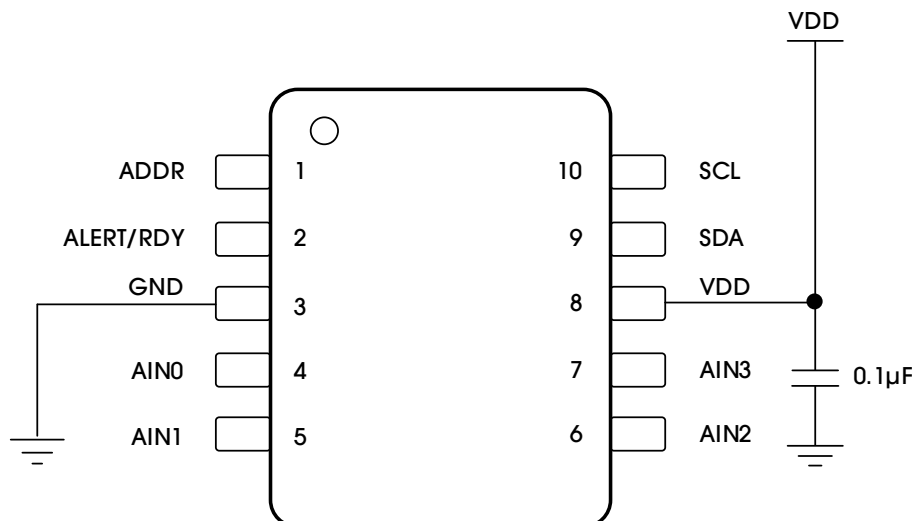


Figure 27. ADX101(Q)/105(Q)/107(Q) Power-Supply Decoupling

11. 布局

11.1 布局指南

下面概述了 ADX101(Q)/105(Q)/107(Q)布局的一些基本建议，以获得 ADC 的最佳性能。一个好的设计可能会被糟糕的电路布局毁掉。

- 在电源上使用旁路电容器以降低高频噪声。不要在旁路电容器和有源器件之间放置过孔。将旁路电容器放置在靠近有源器件的同一层上会产生最佳效果。
- 进入测量源的两个输入必须匹配差分输入。
- 具有差分连接的模拟输入必须在输入端以差分方式放置一个电容器。差分测量的最佳输入组合使用相邻的模拟输入线，例如 AIN0、AIN1 和 AIN2、AIN3。差分电容必须是高质量的。最好的陶瓷片式电容器是 C0G (NPO)，它具有稳定的特性和低噪声特性。

11.2 布局示例

请参考 EVM 或者咨询公司销售支持。

ADX101(Q)/105(Q)/107(Q)

超小型、低功耗、I²C 兼容、3300SPS、12 位 ADC
具有内部基准、振荡器和可编程比较器

12. PACKAGE INFORMATION

The ADX101(Q)/105(Q)/107(Q) is available in the MSOP-10 and QFN-10 packages.

12.1 MSOP-10 PACKAGE

Figure 28 shows the MSOP-10 package view.

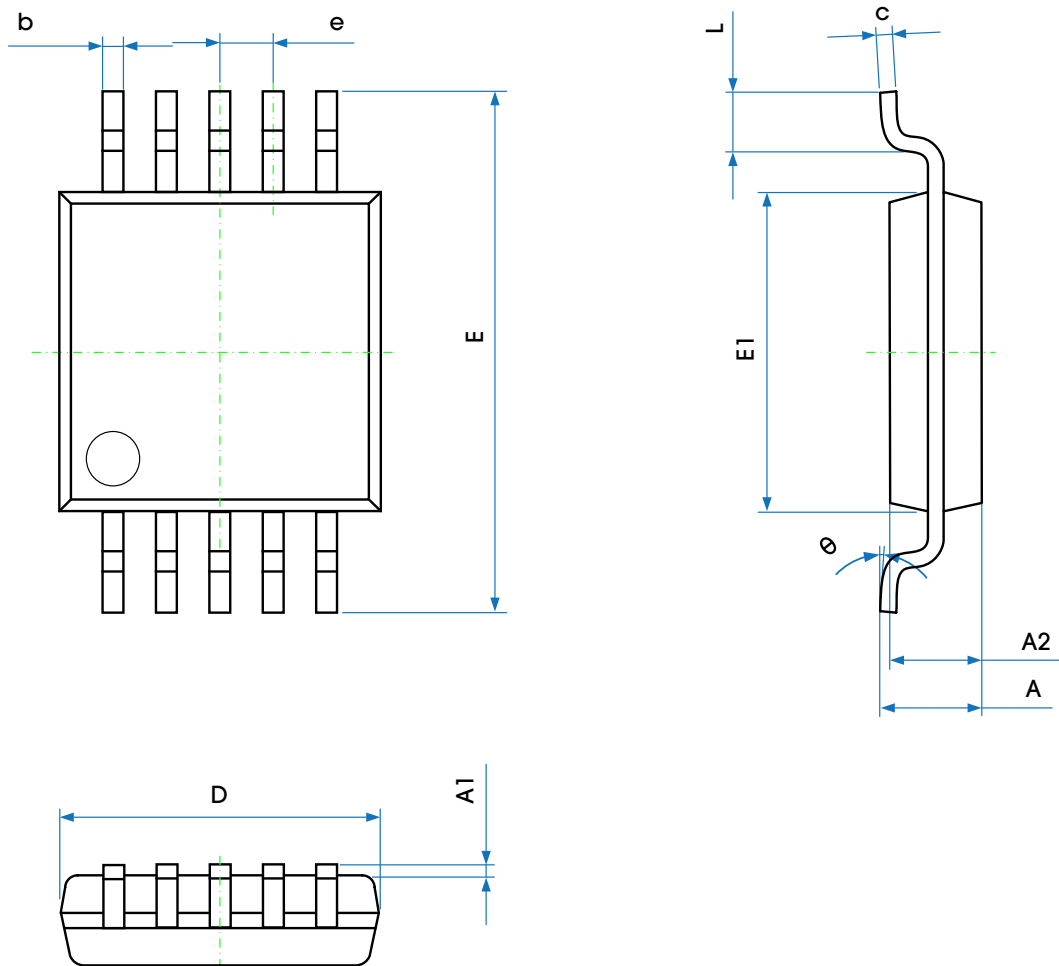


Figure 28. MSOP-10 Package View

Table 24 provides detailed information about the dimensions of the MSOP-10 package.

Table 24. Dimensions of the MSOP-10 Package

SYMBOL	DIMENSIONS IN MILLIMETERS		DIMENSIONS IN INCHES	
	MIN	MAX	MIN	MAX
A	—	1.100	—	0.043
A1	0.020	0.150	0.001	0.006
A2	0.750	0.950	0.030	0.037
b	0.180	0.330	0.007	0.013
c	0.090	0.230	0.004	0.009
D	2.900	3.100	0.114	0.122
e	0.500 (BSC)		0.020 (BSC)	
E	4.750	5.050	0.187	0.199
E1	2.900	3.100	0.114	0.122
L	0.400	0.800	0.016	0.031
θ	0°	6°	0°	6°

12.2 QFN-10 PACKAGE

Figure 29 shows the QFN-10 package view.

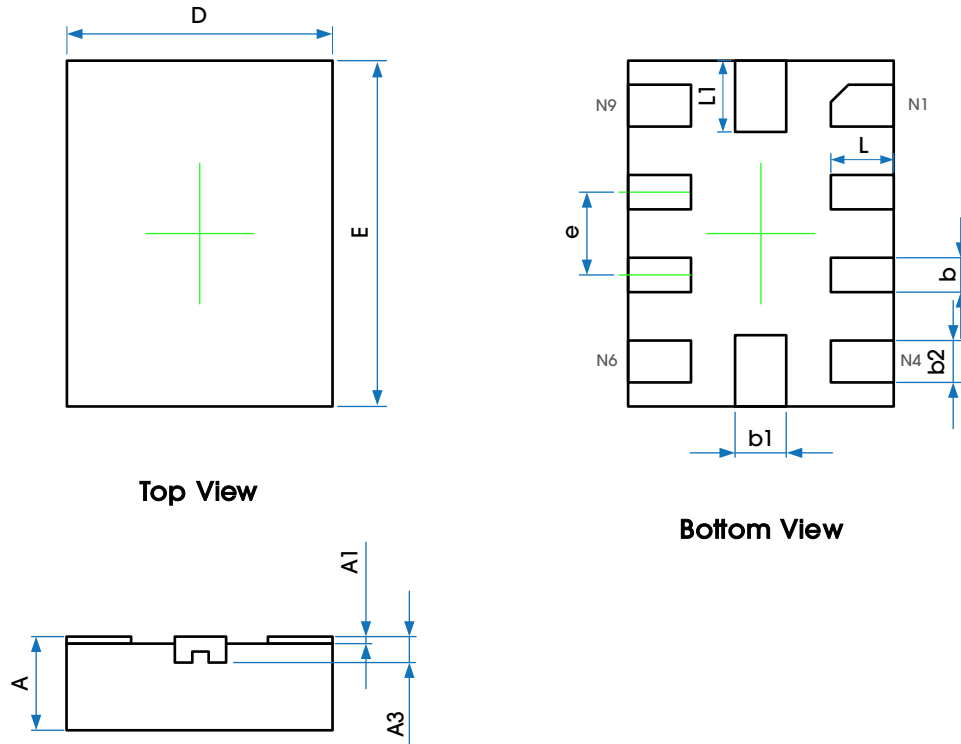


Figure 29. QFN-10 Package View

Table 25 provides detailed information about the dimensions of the QFN-10 package.

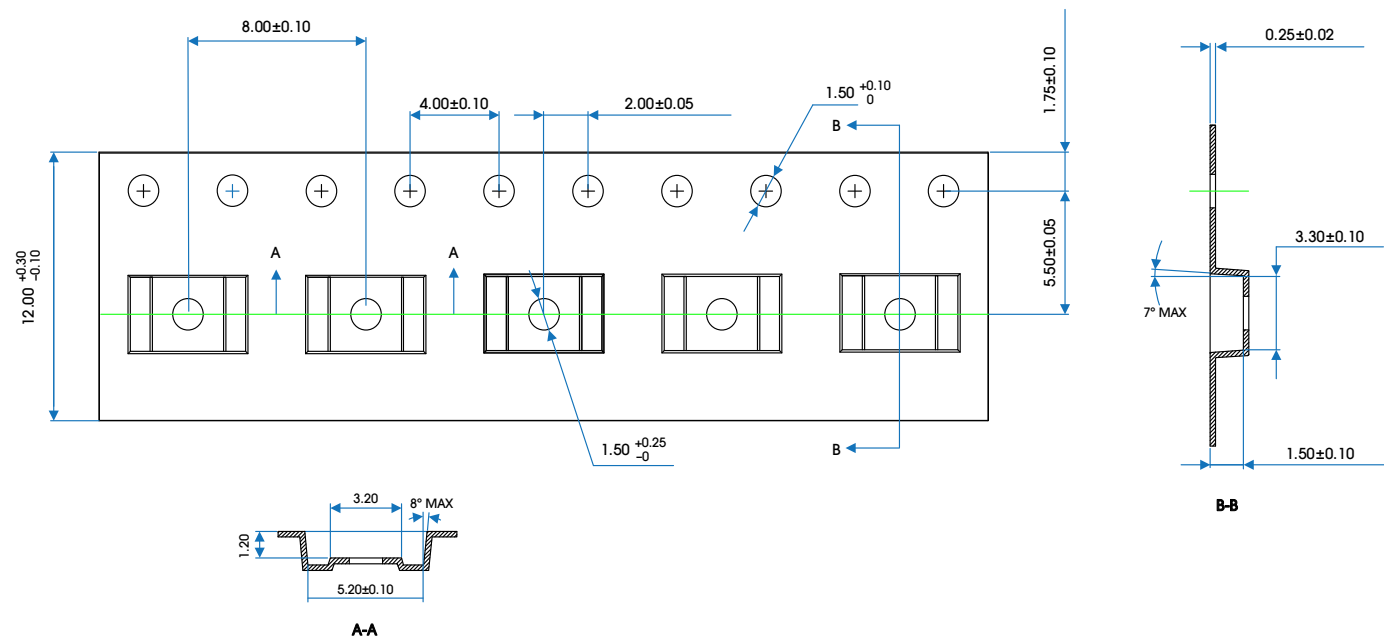
Table 25. Dimensions of the QFN-10 Package

SYMBOL	DIMENSIONS IN MILLIMETERS		DIMENSIONS IN INCHES	
	MIN	MAX	MIN	MAX
A	0.500	0.600	0.020	0.024
A1	0.000	0.050	0.000	0.002
A3	0.152REF.		0.006REF.	
b	0.150	0.250	0.006	0.010
b1	0.250	0.350	0.010	0.014
b2	0.200	0.300	0.008	0.012
D	1.450	1.550	0.057	0.061
E	1.950	2.050	0.077	0.081
e	0.500TYP.		0.020TYP.	
L	0.300	0.400	0.012	0.016
L1	0.350	0.450	0.014	0.018

13. TAPE AND REEL INFORMATION

13.1 MSOP-10 PACKAGE

Figure 30 illustrates the carrier tape of the MSOP-10 package.



- Notes:
1. Cover tape width: 9.5 ± 0.10 .
 2. Cumulative tolerance of 10 sprocket hole pitch: ± 0.20 (max).
 3. Camber: not to exceed 1mm in 100mm.
 4. Mold#: MSOP-10 (3*3).
 5. All dimensions: mm.
 6. Direction of view:

Figure 30. Carrier Tape Drawing (MSOP-10 Package)

Table 26 provides information about tape and reel (MSOP-10 package).

Table 26. Tape and Reel Information (MSOP-10 Package)

PACKAGE TYPE	REEL	QTY/REEL	REEL/ INNER BOX	INNER BOX/ CARTON	QTY/CARTON	INNER BOX SIZE (MM)	CARTON SIZE (MM)
MSOP-10 3*3	13"	3000	1	8	24000	358*340*50	430*380*390

Figure 31 shows the product loading orientation—pin 1 is assigned on the upper left corner.

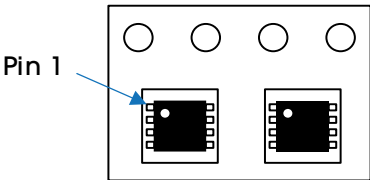
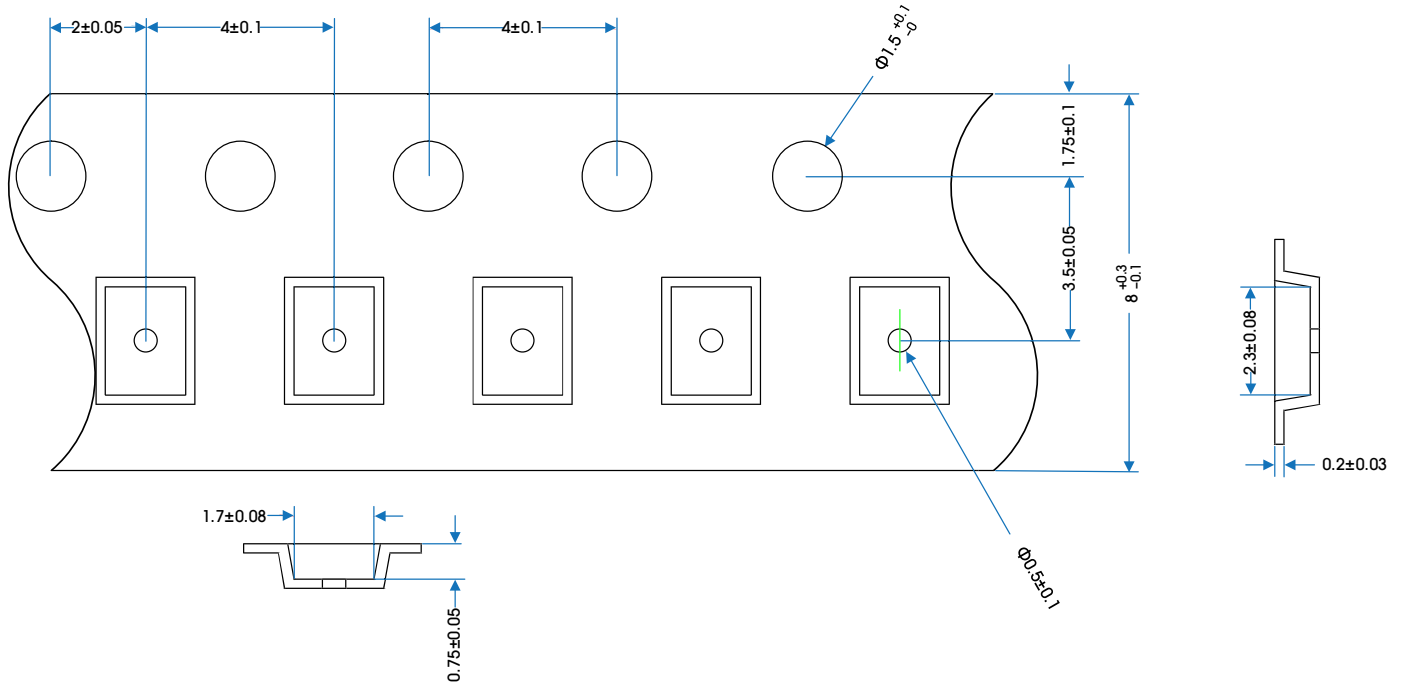


Figure 31. Product Loading Orientation (MSOP-10 Package)

Figure 32 illustrates the carrier tape (QFN-10 package).



Notes:

1. Cover tape width: 5.5 ± 0.10 .
2. Cumulative tolerance of 10 sprocket hole pitch: ± 0.20 (max).
3. Camber: not to exceed 1mm in 100mm.
4. Mold#: QFN-10 (1.5*2).
5. All dimensions: mm.
6. Direction of view: 

Figure 32. Carrier Tape Drawing (QFN-10 Package)

Table 27 provides information about tape and reel (QFN-10 package).

Table 27. Tape and Reel Information (QFN-10 Package)

PACKAGE TYPE	REEL	QTY/REEL	REEL/ INNER BOX	INNER BOX/ CARTON	QTY/CARTON	INNER BOX SIZE (MM)	CARTON SIZE (MM)
QFN-10 1.5*2	7"	4000	10	4	160000	210*208*203	440*440*230

Figure 33 shows the product loading orientation—pin 1 is assigned on the upper left corner.

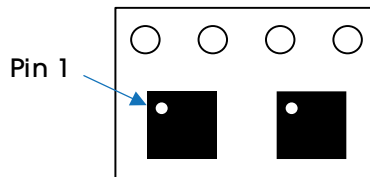


Figure 33. Product Loading Orientation (QFN-10 Package)

ADX101(Q)/105(Q)/107(Q)

超小型、低功耗、I²C 兼容、3300SPS、12 位 ADC
具有内部基准、振荡器和可编程比较器

REVISION HISTORY

REVISION	DATE	DESCRIPTION
Rev A	21 November 2023	Rev A release.