MS6606 数据手册

2023 年 12 月
V1.0

八通道 16-Bit，200kSPS 同步采样 ADC

1.0 概述

MS6606 内置 8 个 16Bit 的快速、低功耗逐次逼近型 ADC，支持 8 个通道同步采样。该 ADC 每个通道 ADC 的转换速率高达 200kSPS。

MS6606 仅采用 5V 电源供电，即可支持转换±10V 和±5V 的真双极性输入信号。

为了简化数据采集系统的 PCB 设计，MS6606 内置了具有 1MΩ 输入阻抗的输入缓冲器和抗混叠滤波器，以便于直接采集模拟信号。MS6606 集成了可灵活配置的高精度基准电压产生器和缓冲器。

MS6606 支持并行模式或串行模式，通过硬件引脚的不同连接模式进行配置。该功能为器件与微处理器或 DSP 的接口连接创造了多种连接条件。

MS6606 采用 64 管脚 LQFP 封装。

2.0 应用

- 电源线路监测保护系统
- 多相电机控制
- 仪表和控制系统
- 多轴定位系统
- 数据采集系统

3.0 特点

- 8 个独立 ADC
- 真双极性模拟输入
- 输入信号范围：±10V，±5V
- 转换速率：200kSPS
- 低功耗：108mW（内部基准，200kSPS，5V 电源供电）
- 片内基准电压源及缓冲器
- 并行、串行接口模式
- 高速串行接口兼容 SPI 接口协议
- 模拟输入通道提供 7kV ESD 额定值
- 64 引脚 LQFP 封装和 64 引脚 CQFP 封装

4.0 主要性能指标

- ENOB： 14.5 Bit (典型值)
- SNR： 90 dB (典型值)
- SINAD： 89 dB (典型值)
- SFDR： −105 dB (典型值)
- INL： ±1 LSB (典型值)
- DNL: ±0.5 LSB (典型值)
- 工作功耗： 108mW (内部基准)
- 工作温度： -40℃~+125℃

5.0 简化框图

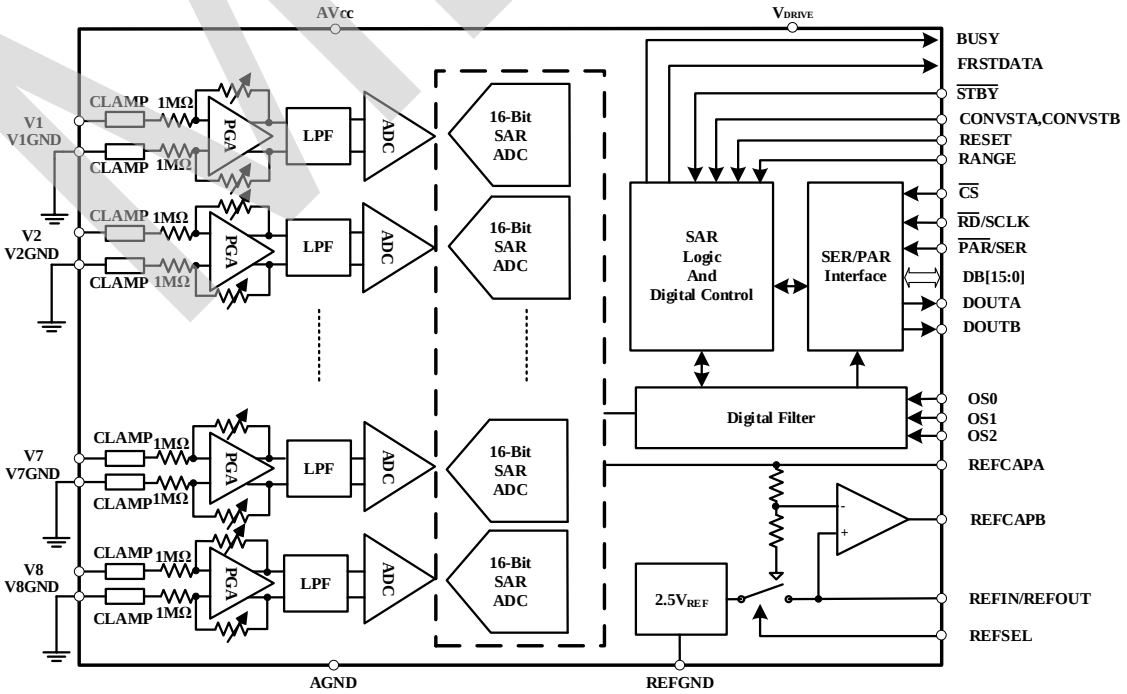


图 1.MS6606 系统框图

6.0 技术规格

除非另有说明，内部/外部基准电压均为 V_{REF}=2.5V，AV_{CC}=4.75V 至 5.25V，V_{DRIVE}=2.5V 至 5.25V，f_{SAMPLE}=200kSPS。

表 1-a 电特性

参数	测试条件/注释	最小值	典型值	最大值	单位
动态性能	f_{in}=1.1kHz 正弦波，除非另有说明				
信纳比（SINAD）	无过采样，±10V 范围	87	89		dB
	无过采样，±5V 范围	86.5	89		dB
信噪比（SNR）	无过采样，±10V 范围	87.5	90		dB
	无过采样，±5V 范围	87	90		dB
	过采样，见表 5				
动态范围	无过采样，±10V 范围		90.5		dB
	无过采样，±5V 范围		90		dB
总谐波失真（THD）	无过采样，±10V 范围		-100	-91	dB
	无过采样，±5V 范围		-100	-90	dB
峰值谐波或杂散噪声（SFDR）	无过采样，±10V 范围		-105	-92	dB
	无过采样，±5V 范围		-104	-91.5	dB
交调失真（IMD）	fa = 1kHz, fb = 1.1kHz				
二阶项			-105		dB
三阶项			-115		dB
通道隔离度	未选中的通道 f_{in} 高达 160kHz		-100		dB
全功率带宽	-3 dB，±10V 范围		22		kHz
	-3 dB，±5V 范围		15		kHz
	-0.1 dB，±10V 范围		10		kHz
	-0.1 dB，±5V 范围		5		kHz
$t_{GROUP\ DELAY}$	±10V 范围		10		μs
	±5V 范围		15		μs
直流精度					
分辨率			16		Bit
无失码			16		Bit
积分非线性（INL）			±1.5	±3	LSB
微分非线性（DNL）		-0.99	±0.9	+2	LSB
总非调整误差（TUE）	±10V 范围		±8		LSB
	±5V 范围		±16		LSB
双极性零代码误差	±10V 范围		±2	±6	LSB
	±5V 范围		±2	±16	LSB
双极性零代码误差漂移	±10V 范围		10		μV/°C
	±5V 范围		5		μV/°C
双极性零代码误差匹配	±10V 范围		2	8	LSB
	±5V 范围		10	22	LSB
正满量程误差	±10V 范围		±12	±32	LSB
	±5V 范围		±15	±32	LSB
正满量程误差漂移	±10V 范围/内部基准		±5		ppm/°C
	±5V 范围/内部基准		±5		ppm/°C
正满量程误差匹配	±10V 范围		5	32	LSB
	±5V 范围		10	40	LSB
负满量程误差	±10V 范围		±8	±32	LSB
	±5V 范围		±10	±32	LSB
负满量程误差漂移	±10V 范围/内部基准		±5		ppm/°C
	±5V 范围/内部基准		±5		ppm/°C
负满量程误差匹配	±10V 范围		5	32	LSB
	±5V 范围		10	40	LSB

MECS

模拟输入					
输入电压范围	RANGE=1	−10		10	V
	RANGE=0	−5		5	V
输入电容			7		pF
模拟输入电流		−10		10	μA
输入阻抗			1		MΩ
基准电压输入/输出范围					
基准输入电压范围		2.495	2.500	2.505	V
直流漏电流				±1	μA
输入电容			8		pF
基准输出电压		2.495	2.500	2.505	V
基准电压源温度系数			±5	±10	ppm/℃
逻辑输入					
输入高电压（V_{INH}）		0.7*V_{DRIVE}			V
输入低电压（V_{INL}）				0.1*V_{DRIVE}	V
输入电流（I_{IN}）				±2	μA
输入电容（C_{IN}）			4		pF
逻辑输出					
输出高电压（V_{OH}）	I_{SOURCE}=100μA	V_{DRIVE}-0.2			V
输出低电压（V_{OL}）	I_{SINK}=100μA			0.2	V
浮空态漏电流			±1	±10	μA
浮空态输出电容			5		pF
输出编码	二进制补码				
转换速率					
转换时间	包含所有 8 个通道，见表 2		4		μs
采样保持器采集时间			1		μs
吞吐率	每个通道			200	kHz
电源要求					
AV_{CC}		4.75	5	5.25	V
V_{DRIVE}		2.3	3.3	5.25	V
I_{TOTAL} 正常模式（动态）			25	30	mA
（包括 IAV_{CC}、IV_{DRIVE}）					
待机模式			5	8	mA
关断模式			0.1	0.25	mA
功耗					
正常模式（工作状态）			120	142	mW

MECS

表1-b 绝对最大额定值

参数	额定值
AV_{CC}至AGND	-0.3V~6V
V_{DRIVE}至AGND	-0.3V~AV_{CC} + 0.3 V
模拟输入电压至AGND	±22V
数字输入电压至DGND	-0.3V~V_{DRIVE} + 0.3 V
数字输出电压至AGND	-0.3V~V_{DRIVE} + 0.3 V
REFIN至AGND	-0.3V~AV_{CC} + 0.3 V
输入电流至除电源外的任何引脚[1]	±10mA
工作温度范围	-40℃~+125℃
存储温度范围	-65℃~+150℃
结温 T_J	150℃
耐焊接温度 T_h（10s）	245℃
ESD（除模拟输入外的所有引脚）	2kV
ESD（仅模拟输入引脚）	7kV

1 高达 150mA 的瞬态电流不会造成 SCR 闩锁。

MECS

7.0 时序规格

除非另有说明，内部/外部基准电压均为 V_{REF}=2.5V，AV_{CC}=4.75V 至 5.25V，V_{DRIVE}=2.3 V 至 5.25V，工作温度-40℃~+125℃。

表 2

参数	描述	最小值	典型值	最大值	单位
t_{CYCLE}	吞吐速率			5	μs
t_{CONV}	转换时间				μs
	过采样关闭		4	4.5	μs
	2 倍过采样	7.3		9	μs
	4 倍过采样	15.3		18.5	μs
	8 倍过采样	31.4		38	μs
	16 倍过采样	63.5		77	μs
	32 倍过采样	127		155	μs
	64 倍过采样	255		310	μs
$t_{WAKE-UP\ STANDBY}$	$\overline{STBY}$上升沿到 CONVST x 上升沿，从待机模式恢复正常模式的时间	100			μs
$t_{WAKE-UP\ SHUTDOWN}$	$\overline{STBY}$上升沿到 CONVST x 上升沿，从关断模式恢复正常模式的时间				
	内部基准	15			ms
	外部基准	6			ms
t_{RESET}	RESET 高电平脉冲宽度	50			ns
t_1	CONVST x 高电平到 BUSY 高电平			40	ns
t_2	最短 CONVST x 低电平脉冲	25			ns
t_3	最短 CONVST x 高电平脉冲	25			ns
t_4	BUSY 下降沿到$\overline{CS}$下降沿设置时间	0			ns
t_5	CONVSTA/CONVSTB 上升沿之间最大容许延迟时间			0.5	ms
t_6	$\overline{CS}$上升沿与 BUSY 下降沿之间的最短时间			25	ns
t_7	RESET 低电平到 CONVST x 高电平之间的最短延迟时间	700			ns
t_8	$\overline{CS}$到$\overline{RD}$设置时间	0			ns
t_9	$\overline{CS}$到$\overline{RD}$保持时间	0			ns
t_{10}	$\overline{RD}$低电平脉冲宽度				
	V_{DRIVE} 高于 4.75V	15			ns
	V_{DRIVE} 高于 3.3V	20			ns
	V_{DRIVE} 高于 2.7V	25			ns
	V_{DRIVE} 高于 2.3V	35			ns
t_{11}	$\overline{RD}$高电平脉冲宽度	15			ns
t_{12}	$\overline{CS}$高电平脉冲宽度	22			ns
t_{13}	从$\overline{CS}$直到 DB[15:0]三态禁用的延迟时间				
	V_{DRIVE} 高于 4.75V			20	ns
	V_{DRIVE} 高于 3.3V			25	ns
	V_{DRIVE} 高于 2.7V			30	ns
	V_{DRIVE} 高于 2.3V			35	ns
t_{14}	$\overline{RD}$下降沿后的数据访问时间				
	V_{DRIVE} 高于 4.75V			15	ns
	V_{DRIVE} 高于 3.3V			20	ns
	V_{DRIVE} 高于 2.7V			25	ns
	V_{DRIVE} 高于 2.3V			30	ns
t_{15}	$\overline{RD}$下降沿后的数据保持时间	10			ns
t_{16}	$\overline{CS}$到 DB[15:0]保持时间	10			ns
t_{17}	从$\overline{CS}$上升沿到 DB[15:0]三态使能的延迟时间			55	ns

MECS

t_{18}	从$\overline{CS}$到 $D_{OUT}A/D_{OUT}B$ 三态禁用的延迟时间/			
	从$\overline{CS}$到 MSB 有效的延迟时间			
	V_{DRIVE} 高于 4.75V		15	ns
	V_{DRIVE} 高于 3.3V		20	ns
	V_{DRIVE}=2.3V 至 2.7V		30	ns
t_{19}	SCLK 上升沿后的数据访问时间			
	V_{DRIVE} 高于 4.75V		17	ns
	V_{DRIVE} 高于 3.3V		23	ns
	V_{DRIVE} 高于 2.7V		27	ns
	V_{DRIVE} 高于 2.3V		34	ns
t_{20}	SCLK 低电平脉冲宽度	$0.4t_{SCLK}$		ns
t_{21}	SCLK 高电平脉冲宽度	$0.4t_{SCLK}$		ns
t_{22}	SCLK 上升沿到 $D_{OUT}A/D_{OUT}B$ 有效保持时间	10		ns
t_{23}	$\overline{CS}$上升沿 $D_{OUT}A/D_{OUT}B$ 三态使能		55	ns
t_{24}	从$\overline{CS}$下降沿直到 FRSTDATA 三态禁用的延迟时间			
	V_{DRIVE} 高于 4.75V		15	ns
	V_{DRIVE} 高于 3.3V		20	ns
	V_{DRIVE} 高于 2.7V		25	ns
	V_{DRIVE} 高于 2.3V		35	ns
t_{25}	从$\overline{CS}$下降沿直到 FRSTDATA 高电平的延迟时间，串行模式			
	V_{DRIVE} 高于 4.75V		15	ns
	V_{DRIVE} 高于 3.3V		20	ns
	V_{DRIVE} 高于 2.7V		25	ns
	V_{DRIVE} 高于 2.3V		30	ns
t_{26}	从$\overline{RD}$下降沿直到 FRSTDATA 高电平的延迟时间			
	V_{DRIVE} 高于 4.75V		16	ns
	V_{DRIVE} 高于 3.3V		20	ns
	V_{DRIVE} 高于 2.7V		25	ns
	V_{DRIVE} 高于 2.3V		30	ns
t_{27}	从$\overline{RD}$下降沿直到 FRSTDATA 低电平的延迟时间			
	V_{DRIVE}=3.3V 至 5.25V		19	ns
	V_{DRIVE}=2.3V 至 2.7V		24	ns
t_{28}	从第 16 个 SCLK 下降沿到 FRSTDATA 低电平的延迟时间			
	V_{DRIVE}=3.3V 至 5.25V		20	ns
	V_{DRIVE}=2.3V 至 2.7V		25	ns
t_{29}	从$\overline{CS}$上升沿直到 FRSTDATA 三态使能的延迟时间		55	ns
f_{SCLK}	串行读取时钟频率		20	MHz

MECS

8.0 引脚图

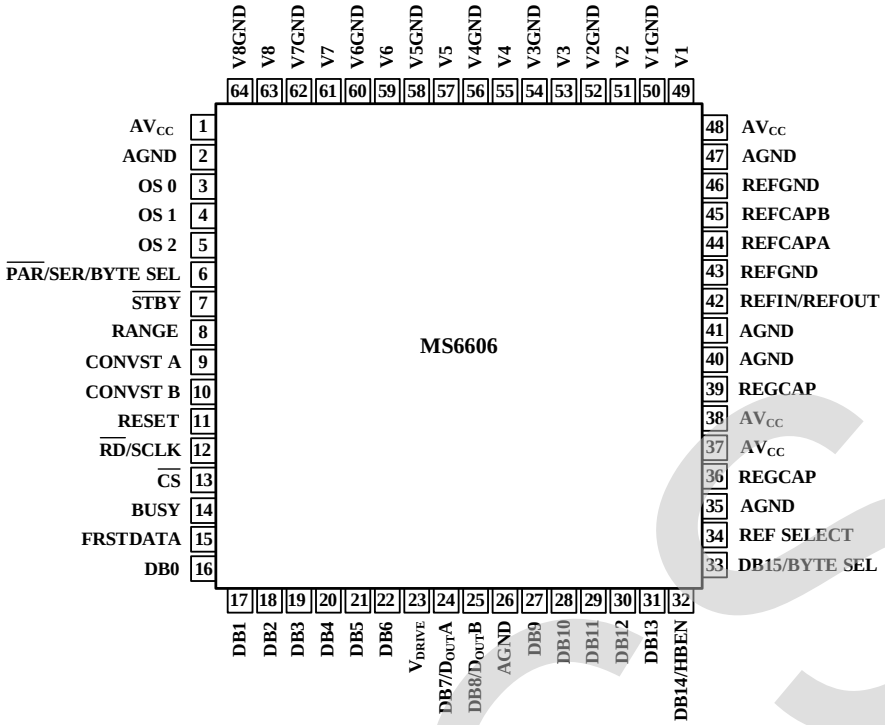


图 2.MS6606 引脚图

表 3

引脚编号	引脚名称	描述
1, 37, 38 , 48	AV_{CC}	模拟电源电压，4.75V 至 5.25V。这是内部前端放大器和 ADC 内核的电源电压。应将这些电源引脚去耦至 AGND，并且 10μF 和 100nF 去耦电容应接在 AV_{CC} 引脚上。
2, 26, 35, 40, 41, 47,	AGND	模拟地。这些引脚是 ADC 上所有模拟电路的接地基准点。所有模拟输入信号和外部基准信号都应参考这些引脚。所有 6 个 AGND 引脚均应连接到系统的 AGND 平面。
5, 4, 3	OS [2:0]	过采样模式引脚。逻辑输入。这些引脚用来选择过采样倍率。OS2 为 MSB 控制位，OS0 则为 LSB 控制位。
6	$\overline{PAR}$/SER/BYTE SEL	并行/串行接口选择输入。逻辑输入。如果此引脚与逻辑低电平相连，则选择并行接口。如果此引脚与高电平相连，则选择串行接口。如果此引脚为逻辑高电平且 DB15/BYTE SEL 为逻辑高电平，则选择并行字节接口模式。 串行模式下，$\overline{RD}$/SCLK 引脚用作串行时钟输入。DB7/D_{OUT}A 引脚和 DB8/D_{OUT}B 引脚用作串行数据输出。当选择串行接口时，应将此引脚 DB[15:9]和 DB[6:0]接地。 字节模式下，DB15 与$\overline{PAR}$/SER/BYTE SEL 一同来选择并行字节工作模式。DB14 用作 HBEN 引脚。DB[7:0]通过 2 个$\overline{RD}$操作传输 16 位转换结果，DB0 为数据传输的 LSB。
7	$\overline{STBY}$	待机模式输入。此引脚用来让 ADC 进入两种省电模式之一：待机模式或关断模式。进入何种省电模式，取决于 RANGE 引脚的状态。待机模式下，除片内基准电压、稳压器和稳压器缓冲外的所有其它电路均关断。关断模式下，所有电路均关断。
8	RANGE	模拟输入范围选择。逻辑输入。此引脚的极性决定模拟输入通道的输入范围。如果此引脚与逻辑高电平相连，则所有通道的模拟输入范围为±10V。如果此引脚与逻辑低电平相连，则所有通道的模拟输入范围为±5V。此引脚的逻辑状态改变会立即影响模拟输入范围。对于快速吞吐率应用，转换期间不要更改此引脚的逻辑状态。
9, 10	CONVSTA CONVSTB	转换开始输入 A 和转换开始输入 B。逻辑输入。这些逻辑输入用来启动模拟输入通道转换。要对所有通道同时采样，可以将 CONVSTA 和 CONVSTB 短接在一起，并施加一个转换开始信号。或者，可以用 CONVSTA 启动 V1、V2、V3 和 V4 通道的同步采样，用 CONVSTB 启动 V5、V6、V7 和 V8 通道的同步采样，只有在过采样未开启时才可行。当 CONVSTA 和 CONVSTB 引脚从低电平变为高电平时，相应模拟输入的前端采样保持电路被设置为保持。

引脚编号	引脚名称	描述
11	RESET	复位输入。当设置为逻辑高电平时，RESET 上升沿复位 ADC。器件应该在上电后收到一个 RESET 脉冲。RESET 高脉冲宽度典型值为 50ns。如果在转换期间施加 RESET 脉冲，转换将中断。如果在读取期间施加 RESET 脉冲，对应通道的输出寄存器的内容将复位至全 0。
12	$\overline{RD}$/SCLK	选择并行接口时为并行数据读取控制输入（$\overline{RD}$）/选择串行接口时为串行时钟输入（SCLK）。在并行模式下，如果$\overline{CS}$和$\overline{RD}$均处于逻辑低电平，则会启用输出总线。在串行模式下，此引脚用作数据传输的串行时钟输入。$\overline{CS}$下降沿使数据输出线路 $D_{OUT}A$ 和 $D_{OUT}B$ 脱离三态，并逐个输出转换结果的 MSB。SCLK 上升沿将随后的所有数据位逐个送至串行数据输出 $D_{OUT}A$ 和 $D_{OUT}B$。
13	$\overline{CS}$	片选。此低电平有效逻辑输入使能数据帧传输。在并行模式下，如果$\overline{CS}$和$\overline{RD}$均处于逻辑低电平，则会使能输出总线 DB[15:0]，使转换结果输出在并行数据总线上。在串行模式下，利用$\overline{CS}$使能串行数据帧传输，并逐个输出串行数据的最高有效位（MSB）。
14	BUSY	输出繁忙。CONVSTA 和 CONVSTB 均达到上升沿之后，此引脚变为逻辑高电平，表示转换过程已开始。BUSY 输出保持高电平，直到所有通道的转换过程完成为止。BUSY 下降沿表示转换数据正被锁存至输出数据寄存器，经过时间 t_4 之后便可供读取。在 BUSY 为高电平时执行的数据读取操作应当在 BUSY 下降沿之前完成。当 BUSY 信号为高电平时，CONVSTA 和 CONVSTB 的上升沿不起作用。
15	FRSTDATA	数字输出。FRSTDATA 输出信号指示何时在并行、字节或串行接口上回读第一通道 V1。当$\overline{CS}$输入为高电平时，FRSTDATA 输出引脚处于三态。$\overline{CS}$下降沿使 FRSTDATA 脱离三态。在并行模式下，与 V1 结果相对应的$\overline{RD}$下降沿随后将 FRSTDATA 引脚设为高电平，表示输出数据总线可以提供 V1 的结果。在$\overline{RD}$的下一个下降沿之后，FRSTDATA 输出恢复逻辑低电平。在串行模式下，FRSTDATA 在$\overline{CS}$下降沿变为高电平。因为此时将在 $D_{OUT}A$ 上输出 V1 的 MSB。在$\overline{CS}$下降沿之后的第 16 个 SCLK 下降沿，它恢复低电平。
22 到 16	DB [6:0]	并行输出数据位 DB6 至 DB0。当$\overline{PAR}$/SER/BYTE SEL=0 时，这些引脚充当三态并行数字输入/输出引脚。当$\overline{CS}$和$\overline{RD}$均处于低电平时，这些引脚用来输出转换结果到 DB6 至 DB0。当$\overline{PAR}$/SER/BYTE SEL=1 时，这些引脚应与 AGND 相连。
23	V_{DRIVE}	逻辑电源输入。此引脚的电源电压（2.3V 至 5.25V）决定逻辑接口的工作电压。此引脚的标称电源与主机接口电源相同。应将此引脚去耦至 DGND，并且 10μF 和 100nF 去耦电容应接在 V_{DRIVE} 引脚上。
24	DB7/$D_{OUT}A$	并行输出数据位 7（DB7）/串行接口数据输出引脚（$D_{OUT}A$）。 当$\overline{PAR}$/SER/BYTE SEL=0 时，此引脚充当三态并行数字输入/输出引脚。 当$\overline{CS}$和$\overline{RD}$均处于低电平时，此引脚用来输出转换结果 DB7。 当$\overline{PAR}$/SER/BYTE SEL=1 时，此引脚用作 $D_{OUT}A$，并输出串行转换数据。 当工作在并行字节模式时，DB7 为该字节的 MSB。
25	DB8/$D_{OUT}B$	并行输出数据位 8（DB8）/串行接口数据输出引脚（$D_{OUT}B$）。 当$\overline{PAR}$/SER/BYTE SEL=0 时，此引脚充当三态并行数字输入/输出引脚。 当$\overline{CS}$和$\overline{RD}$均处于低电平时，此引脚用来输出转换结果 DB8。 当$\overline{PAR}$/SER/BYTE SEL=1 时，此引脚用作 $D_{OUT}B$，并输出串行转换数据。
31 到 27	DB [13:9]	并行输出数据位 DB13 至 DB9。当$\overline{PAR}$/SER/BYTE SEL=0 时，这些引脚充当三态并行数字输入/输出引脚。当$\overline{CS}$和$\overline{RD}$均处于低电平时，此引脚用来输出转换结果 DB13 至 DB9。当$\overline{PAR}$/SER/BYTE SEL=1 时，这些引脚应与 AGND 相连。
32	DB14/HBEN	并行输出数据位 14（DB14）/高字节使能（HBEN）。当$\overline{PAR}$/SER/BYTE SEL=0 时，此引脚充当三态并行数字输出引脚。当$\overline{CS}$和$\overline{RD}$均处于低电平时，此引脚用来输出转换结果 DB14。当$\overline{PAR}$/SER/BYTE SEL=1 且 DB15/BYTE SEL=1 时，工作在并行字节接口模式。在并行字节模式下，HBEN 引脚用来选择是首先输出转换结果的高字节（MSB）还是低字节（LSB）。 当 HBEN=1 时，首先输出 MSB，然后输出 LSB。 当 HBEN=0 时，首先输出 LSB，然后输出 MSB。

引脚编号	引脚名称	描述
33	DB15/BYTE SEL	并行输出数据位 15（DB15）/并行字节模式选择（BYTE SEL）。 当$\overline{\text{PAR}}$/SER=0 时，此引脚充当三态并行数字输出引脚。当$\overline{\text{CS}}$和$\overline{\text{RD}}$均处于低电平时，此引脚用来输出转换结果 DB15。当$\overline{\text{PAR}}$/SER/BYTE SEL=1 时，BYTE SEL 引脚用来在串行接口模式与并行字节接口模式之间做出选择。当$\overline{\text{PAR}}$/SER/BYTE SEL=1 且 DB15/BYTE SEL=0 时，工作在串行接口模式。当$\overline{\text{PAR}}$/SER/BYTE SEL=1 且 DB15/BYTE SEL=1 时，工作在并行字节接口模式。
34	REF SELECT	内部/外部基准电压选择输入。逻辑输入。如果此引脚设为逻辑高电平，则选择并使能内部基准电压模式。如果此引脚设为逻辑低电平，则内部基准电压禁用，必须将外部基准电压施加到 REFIN/REFOUT 引脚。
36, 39	REGCAP	内部稳压器电压输出的去耦电容引脚。应分别将这些引脚通过一个 1μF 电容去耦至 AGND。这些引脚上的电压在 2.5V 至 2.7V 范围内。
42	REFIN/REFOUT	基准电压输入/输出。如果 REF SELECT 引脚设置为逻辑高电平，此引脚将提供 2.5V 片内基准电压供外部使用。或者，可将 REF SELECT 引脚设置为逻辑低电平以禁用内部基准电压，并将 2.5V 外部基准电压施加到此输入端。无论使用内部还是外部基准电压，都需要对此引脚去耦。应在此引脚与 REFGND 引脚附近的地之间连接一个 10μF 电容。
43, 46	REFGND	基准电压接地引脚。这些引脚应连接到 AGND。
44, 45	REFCAPA, REFCAPB	基准电压缓冲输出强制/检测引脚。必须将这些引脚连在一起，并通过低 ESR 10μF 陶瓷电容去耦至 AGND。这些引脚上的电压通常是 4.0V。
49	V1	模拟输入 1。此引脚为单端模拟输入。此通道的模拟输入范围由 RANGE 引脚决定。
50	V1GND	模拟输入接地引脚。这些引脚与模拟输入引脚 V1 至 V8 相对应。所有模拟输入 AGND 引脚都应连到系统的 AGND 平面。
51	V2	模拟输入 2。
52	V2GND	模拟输入 2 接地引脚。
53	V3	模拟输入 3。
54	V3GND	模拟输入 3 接地引脚。
55	V4	模拟输入 4。
56	V4GND	模拟输入 4 接地引脚。
57	V5	模拟输入 5。
58	V5GND	模拟输入 5 接地引脚。
59	V6	模拟输入 6。
60	V6GND	模拟输入 6 接地引脚。
61	V7	模拟输入 7。
62	V7GND	模拟输入 7 接地引脚。
63	V8	模拟输入 8。
64	V8GND	模拟输入 8 接地引脚。

MEOS

9.0 典型性能参数

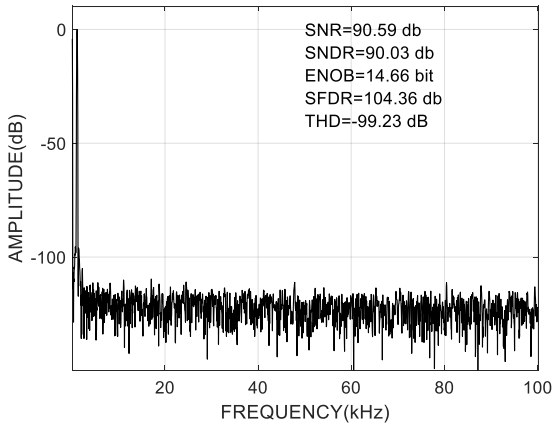


图 3. MS6606 典型 FFT，±10V 范围，

并行 f_s=200kHz，f_{in}=1.1kHz，V_{IN} = ±9.5V

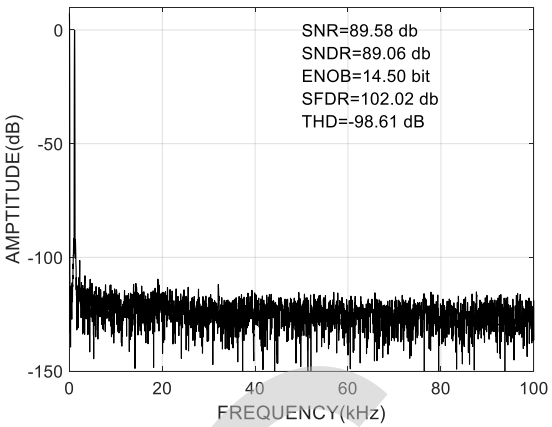


图 4. MS6606 典型 FFT，±5V 范围，

并行 f_s=200kHz，f_{in}=1.1kHz，V_{IN} = ±4.8V

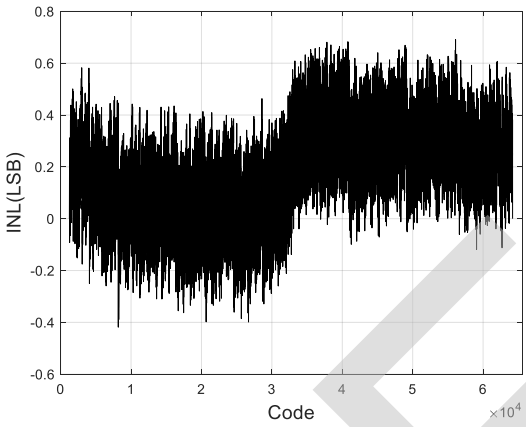


图 5. MS6606 典型 INL，±10V 范围，V_{IN} = ±9.8V

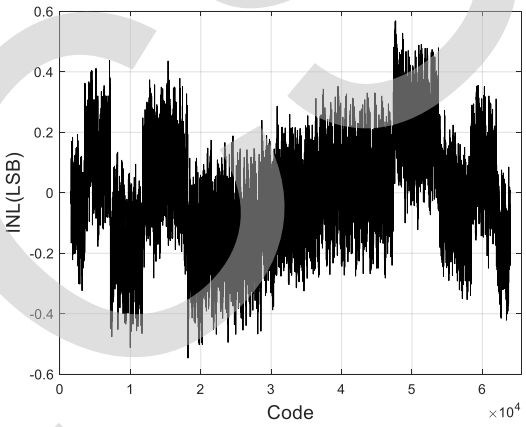


图 6. MS6606 典型 INL，±5V 范围，V_{IN} = ±4.8V

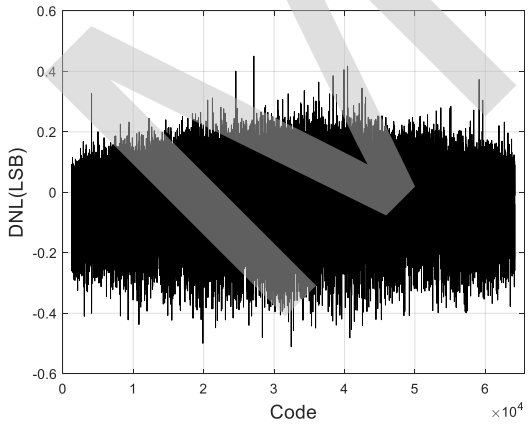


图 7. MS6606 典型 DNL，±10V 范围，V_{IN} = ±9.8V

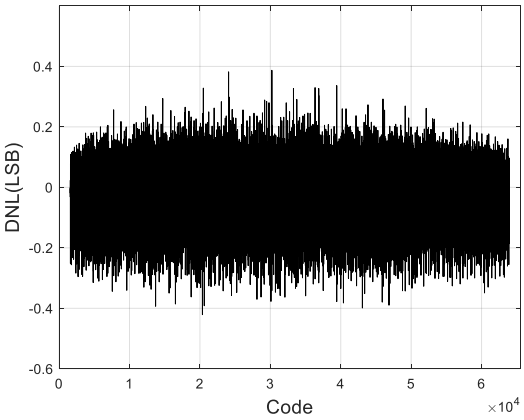


图 8. MS6606 典型 DNL，±5V 范围，V_{IN} = ±4.8V

10.0 工作原理

10.1 转换器详解

MS6606 是采用高速、低功耗、电荷再分配逐次逼近型模数转换器（ADC）的数据采集系统，分别可以对 8 个模拟输入通道进行同步采样。其模拟输入可以接受真双极性输入信号。使用 RANGE 引脚可以选择±10V 或±5V 的输入范围。MS6606 采用 5V 单电源供电。

MS6606 内置输入箝位保护、输入信号缩放放大器、二阶抗混叠滤波器、采样保持放大器、片内基准电压源、基准电压缓冲、高速 ADC、数字滤波器以及高速并行和串行接口。MS6606 的采样通过 CONVST 信号进行控制。

10.2 模拟输入

模拟输入范围

MS6606 可处理真双极性、单端输入电压。RANGE 引脚上的逻辑电平决定所有模拟输入通道的模拟输入范围。如果此引脚与逻辑高电平相连，则所有通道的模拟输入范围为±10V。如果此引脚与逻辑低电平相连，则所有通道的模拟输入范围为±5V。此引脚的逻辑状态改变会立即影响模拟输入范围。但是，除正常采集时间要求外，还有典型值约为 80μs 的建立时间要求。建立根据系统信号所做的输入范围，通过硬连线设置 RANGE 引脚。

模拟输入阻抗

MS6606 的模拟输入阻抗为 1MΩ。这是固定输入阻抗，不随 ADC 采样频率而变化。高模拟输入阻抗可免除 ADC 前端的驱动放大器，允许其与信号源或传感器直接相连。由于无需驱动放大器，因此可去掉信号链中的双极性电源（它通常是系统中的噪声源）。

模拟输入箝位保护

下图显示了 MS6606 的模拟输入结构。其各模拟输入均含有箝位保护电路。虽然采用 5V 单电源供电，但此模拟输入箝位保护允许输入过压达到±22V。

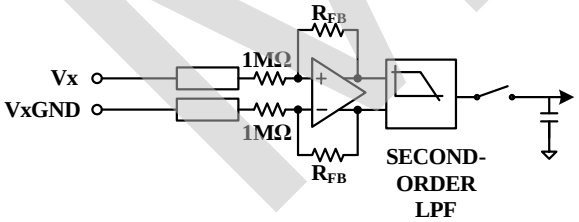


图 9 模拟输入电路

当输入电压不超过±22V 时，箝位电路中无电流。当输入电压超过±22V 时，箝位电路开启。

模拟输入通道上应放置一个串联电阻，以将输入电压超过±22V 时的电流限制在±10mA 以下。如果模拟输入通道 Vx 上有一个串联电阻，则模拟输入 GND 通道 VxGND 上也需要一个与之对应相等的电阻（见下图）。如果 VxGND 通道上没有对应电阻，该通道将出现失调误差。

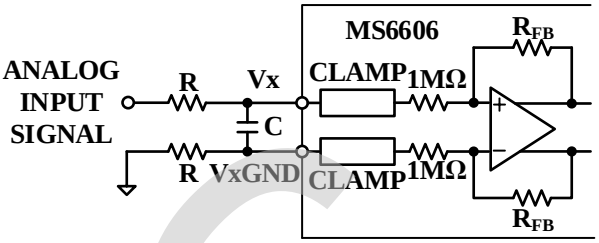


图 10 模拟输入端上的输入电阻匹配

10.3 内部/外部基准电压

MS6606 是内置一个 2.5V 片内带隙基准电压源。REFIN/REFOUT 引脚既可使用该 2.5V 基准电压，以在内部产生 4.0V 片内基准电压，也允许施加一个 2.5V 外部基准电压。所施加的 2.5V 外部基准电压也会被内部缓冲放大至 4.0V。此 4.0V 缓冲的基准电压是 SAR ADC 所用的基准电压。

REF SELECT 引脚是一个逻辑输入引脚，允许用户选择内部基准电压或外部基准电压。如果此引脚设为逻辑高电平，则选择并使能内部基准电压模式。如果此引脚设为逻辑低电平，则内部基准电压禁用，必须将外部基准电压施加到 REFIN/REFOUT 引脚。内部基准电压缓冲始终使能。复位之后，MS6606 工作在 REF SELECT 引脚所选择的基准电压模式。无论使用内部还是外部基准电压，都需要对 REFIN/REFOUT 引脚去耦。REFIN/REFOUT 引脚需要 10μF 陶瓷去耦电容。

10.4 典型连接图

下图显示了 MS6606 典型连接图。器件有四个 AV_{CC} 电源引脚。这四个电源引脚应各使用一个 100nF 去耦电容。在电源侧使用一个 10μF 电容去耦。MS6606 既可在内部基准电压下工作，也可在外部施加的基准电压下工作。在下图配置中，MS6606 被配置为在内部基准电压下工作。REFCAPA 和 REFCAPB 引脚短路连在一起，并通过一个 10μF 陶瓷电容来去耦。V_{DRIVE} 电源连接到为处理器供电的同一电源。V_{DRIVE} 电压控制输出逻辑信号的电压值。

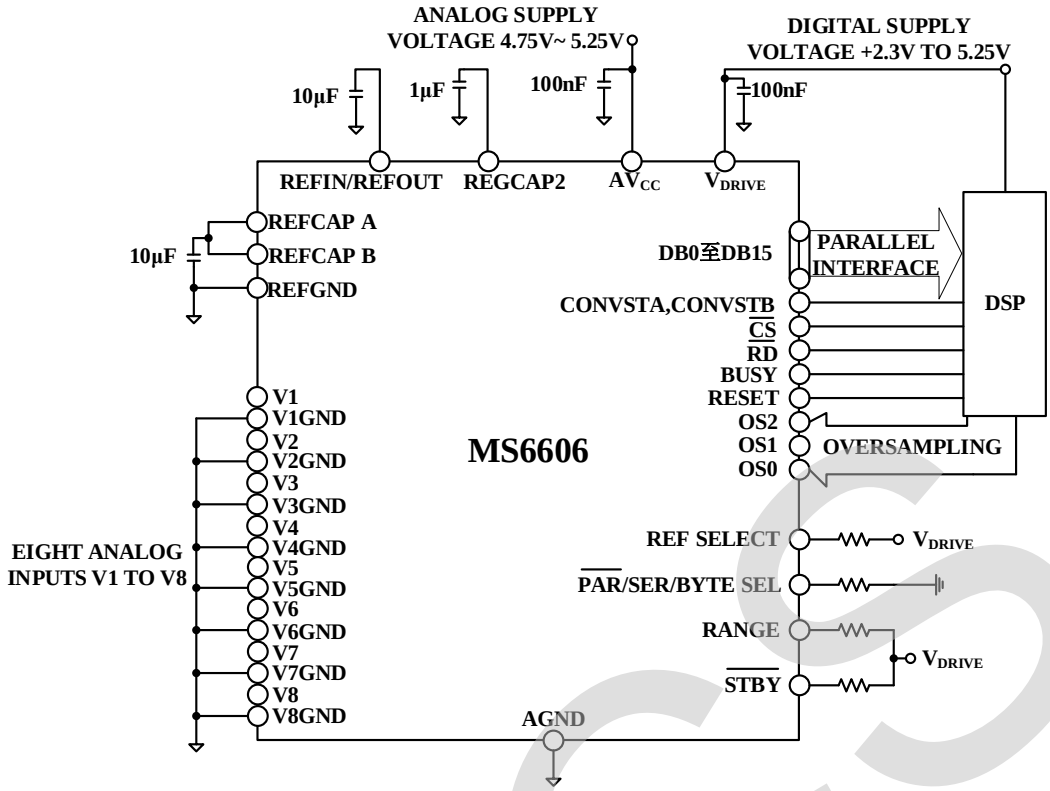


图 11 MS6606 典型连接图

10.5 转换控制

所有模拟输入通道同步采样

MS6606 可以对所有模拟输入通道进行同步采样。当两个 CONVST 引脚（CONVSTA 和 CONVSTB）连在一起时，所有通道同步采样。使用一个 CONVST 信号便可控制两个 CONVST x 输入。此公用 CONVST 信号的上升沿启动对所有模拟输入通道的同步采样。

MS6606 内置一个片内振荡器用于转换。所有 ADC 通道的转换时间 t_{CONV}。BUSY 信号告知用户正在进行转换，因此当施加 CONVST 上升沿时，BUSY 变为逻辑高电平，在整个转换过程结束时变为低电平。BUSY 信号下降沿用来使所有八个采样保持放大器返回跟踪模式。BUSY 下降沿还表示，现在可以从并行总线 DB[15:0]、D_{OUT}A/D_{OUT}B 串行数据线路读取新数据。

在 RESET 信号变低后，需要延迟至少 1ms 时间才能发送 CONVST 信号，具体见时序图中 t_7。

两组通道同步采样

MS6606 还允许模拟输入通道以两组的形式进行同步采样。通过脉冲独立激活两个 CONVST 引脚，并且只有在不使用过采样时，才可实现这种采样方式。CONVSTA 用来对第一组通道启动同步采样（V1 至 V4），CONVSTB 用来对第二组通道启动同步采样（V5 至 V8），如下图 12 所示。在 CONVSTA 上升沿时，第一组通道的采样保持放大器进入保持模式。在 CONVSTB 上升沿时，第二组的采样保持放大器进入保持模式。当两个 CONVST x 均已达到上升沿时，转换过程开始，因此在后一 CONVST x 信号的上升沿时，BUSY 变为高电平。使用两个独立 CONVST x 信号时，数据读取过程不变。将所有不使用的模拟输入通道接到 AGND。不使用通道的结果仍会包括在所读取的数据中，因为始终会转换所有通道。

10.6 接口部分

MS6606 提供三种接口选项：并行接口、高速串行接口和并行字节接口。所需接口模式可通过$\overline{PAR}$/SER/BYTE SEL 和 DB15/BYTE SEL 引脚来选择。

表 4.接口模式选择

$\overline{PAR}$/SER/BYTE SEL	DB15	接口模式
0	/	并行接口模式
1	0	串行接口模式
1	1	并行字节接口模式

并行接口（$\overline{PAR}$/SER/BYTE SEL=0）

可以用标准$\overline{CS}$和$\overline{RD}$信号通过并行数据总线从 MS6606 读取数据。通过并行总线读取数据时，需将$\overline{PAR}$/SER/BYTE SEL 引脚和低电平相连。通过$\overline{CS}$和$\overline{RD}$输入信号，可以将转换结果输出到数据总线。当$\overline{CS}$和$\overline{RD}$同时处于逻辑低电平时，数据线 DB15 至 DB0 不再呈高阻态。

$\overline{CS}$输入信号的上升沿使总线进入三态，其下降沿使总线脱离高阻抗状态，$\overline{CS}$是使能数据线的控制信号，利用该功能可以让多个 ADC 器件共享同一并行数据总线。$\overline{CS}$信号可永久性的接低电平，而$\overline{RD}$信号可用来获取转换结果，如图 13 所示。BUSY 信号变为低电平后，可以读取新数据（见图 13）；或者，在 BUSY 为高电平时，可以读取前一次转换的数据（见图 14）。$\overline{RD}$引脚用来从输出转换结果寄存器读取数据。对

ADC 芯片引脚施加一个$\overline{RD}$脉冲序列，可使各通道的转换结果按升序逐个输出到并行总线 DB[15:0]。BUSY 变为低电平后的第一个$\overline{RD}$下降沿输出通道 V1 的转换结果，下一个$\overline{RD}$下降沿则用 V2 转换结果更新总线，依次类推。在 MS6606 上，$\overline{RD}$的第八个下降沿输出通道 V8 的转换结果。当$\overline{RD}$信号为逻辑低电平时，可将各通道的数据转换结果传输到数字主机（DSP、FPGA）。

当系统板上只有一个 ADC 芯片且它不共享并行总线时，可以仅用数字主机的一个控制信号来读取数据。$\overline{CS}$和$\overline{RD}$信号可以连在一起，如图 16 所示。这种情况下，数据总线在$\overline{CS}$/$\overline{RD}$的下降沿时脱离三态。利用$\overline{CS}$和$\overline{RD}$合并信号，可以从 MS6606 输出数据，并由数字主机读取。这种情况下，$\overline{CS}$用来使能各数据通道的数据帧传输。

并行字节（$\overline{PAR}$/SER/BYTE SEL =1，DB15=1）

并行字节接口模式的工作原理与并行接口模式非常相似，只是各通道转换结果是分两次 8 位传输读出。因此，读取 MS6606 的所有八个通道的转换结果需要 16 个$\overline{RD}$脉冲，如图 17 所示。将 MS6606 配置为并行字节模式时，$\overline{PAR}$/SER/BYTE SEL 和 DB15/BYTE SEL 引脚应与逻辑高电平相连（见表 4）。并行字节模式下，DB[7:0]用来将数据传输至数字主机。DB0 为数据传输的 LSB，DB7 为数据传输的 MSB。DB14 充当 HBEN 引脚。当 DB14/HBEN 接逻辑高电平时，首先输出转换结果的高字节，然后输出低字节；当 DB14/HBEN 接逻辑低电平时，首先输出低字节，再输出高字节。FRSTDATA 引脚将保持高电平，直到 MS6606 读取 V1 的全部 16 位转换结果。

串行接口（$\overline{PAR}$/SER/BYTE SEL =1，DB15=0）

若要通过串行接口从 MS6606 回读数据，$\overline{PAR}$/SER/BYTE SEL 引脚必须连接高电平，DB15 接低电平。$\overline{CS}$和 SCLK 信号用来传输 MS6606 的数据。MS6606 有两个串行数据输出引脚：$D_{OUT}A$ 和 $D_{OUT}B$。可通过单或双 D_{OUT} 线路从 MS6606 回读数据。通道 V1 至 V4 的转换结果首先出现在 $D_{OUT}A$ 上，通道 V5 至 V8 的转换结果首先出现在 $D_{OUT}B$ 上。

$\overline{CS}$下降沿使能数据输出线路 $D_{OUT}A$ 和 $D_{OUT}B$ 脱离三态，并逐个输出转换结果的 MSB。SCLK 上升沿将随后的所有数据位逐个送至串行数据输出 $D_{OUT}A$ 和 $D_{OUT}B$。可以使$\overline{CS}$输入在整个串行读取操作过程中保持低电平，也可以通过脉冲激活它，以使能各通道的 16 个 SCLK 周期帧读取。当采用双 D_{OUT} 线路在 MS6606 上读取八个同步转换结果时，需要使用 64 个 SCLK 传输来访问 MS6606 的数据，并且$\overline{CS}$保持低电平，以使能全部 64 个 SCLK 周期帧。也可以仅用一路 D_{OUT} 线路逐个输出数据；这种情况下，建议用 $D_{OUT}A$ 访问所有转换数据，因为通道数据以升序输出。对于 MS6606，通过一路 D_{OUT} 线访问所有八个转换结果时，总共需要 128 个 SCLK 周期。可以通过一个$\overline{CS}$信号使能这 128 个 SCLK 周期帧，也可以通过$\overline{CS}$信号独立使能各组的 16 个 SCLK 周期帧。只用一路 D_{OUT} 线的缺点是：如果在转换之后进行读取，则吞吐率会下降。串行模式下，不用的 D_{OUT} 线应保持不连接。对于 MS6606，如果 $D_{OUT}B$ 用作一路 D_{OUT} 线，通道结果将以 V5、V6、V7、V8、V1、V2、V3、V4 的顺序输出；不过，在 $D_{OUT}B$ 上读取 V5 后，FRSTDATA 指示就会恢复低电平。

图 18 显示串行模式下从 MS6606 读取一个通道的数据（由$\overline{CS}$信号使能帧传输）的时序图。SCLK 输入信号为串行读取操作提供时钟源。$\overline{CS}$变为低电平，以从 MS6606 访问数据。$\overline{CS}$下降沿使总线脱离三态，并逐个输出 16 位转换结果的 MSB。此 MSB 在$\overline{CS}$下降沿后的第一个 SCLK 下降沿有效。后续 15 个数据位在 SCLK 的上升沿逐个输出。数据在 SCLK 下降沿有效。必须向 MS6606 提供 16 个时钟周期以获取一个通道的转换结果。

FRSTDATA 输出信号指示何时回读第一通道 V1。当输入为高电平时，FRSTDATA 输出引脚处于三态。在串行模式下，$\overline{CS}$下降沿使 FRSTDATA 脱离三态，并将 FRSTDATA 引脚设为高电平，表示 $D_{OUT}A$ 输出数据线可以提供 V1 的结果。在第 16 个 SCLK 下降沿之后，FRSTDATA 输出恢复逻辑低电平。如果所有通道都在 $D_{OUT}B$ 上读取，则当 V1 输出到此串行数据输出引脚时，FRSTDATA 输出不会变为高电平。只有当 $D_{OUT}A$ 提供 V1 结果时（此时 $D_{OUT}B$ 提供 V5 结果），它才会变为高电平。

转换期间读取

当 BUSY 为高电平，转换正在进行，也可以从 MS6606 读取数据。这几乎不会影响转换器的性能，而且可以实现更快的吞吐率。转换期间可以执行并行、并行字节或串行读取，可以使用或不用过采样。图 14 显示并行或串行模式下 BUSY 为高电平时读取操作的时序图。转换期间执行读取使得使用串行接口且 V_{DRIVE} 高于 4.75V 时也可以达到最高吞吐率。

过采样控制

当开启过采样功能时，过采样的倍率由过采样引脚 OS[2:0]控制（见表 5）。OS2 为 MSB 控制位，OS0 为 LSB 控制位。表 5 提供了用来选择不同过采样倍率的过采样位解码。OS 引脚由外部电平控制，OS 电平状态如果有变化，会立即切换到相应的过采样倍率，如果应用场景要动态调整过采样倍率,为了避免通道数据读取出错，要求切换 OS 电平的时刻与 CONVST 上升沿同时到来（见图 19）。开启过采样时，CONVST A 和 CONVST B 引脚需要连在一起驱动，转换过程中 BUSY 保持高电平的时间会延长。BUSY 保持高电平的实际时间取决于所选的过采样倍率；过采样倍率越高，则 BUSY 保持高电平的时间或总转换时间越长。

时序图

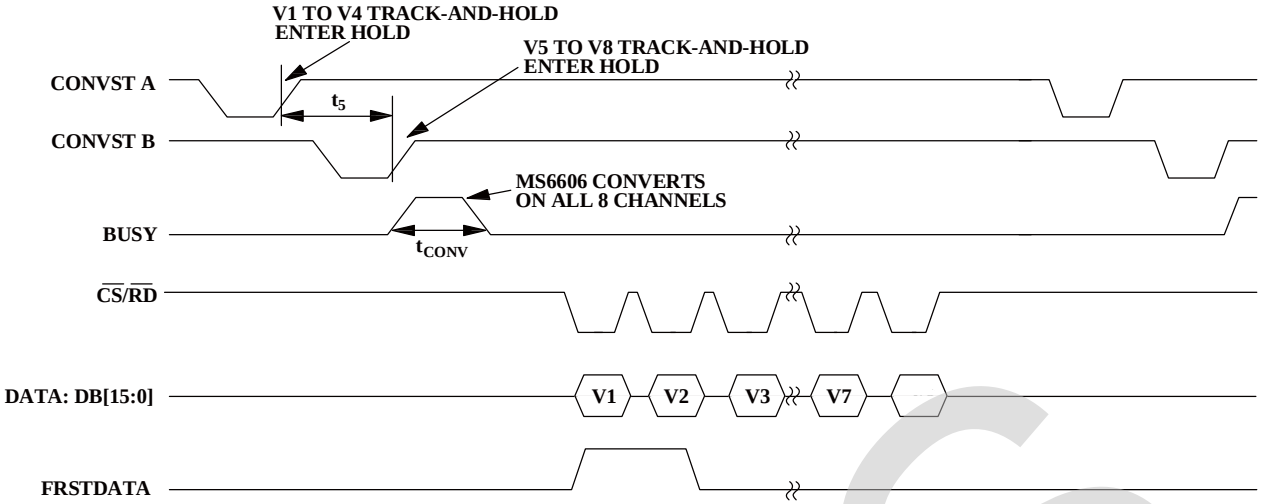


图 12 分两组通道进行同步采样，使用独立的 CONVST A 和 CONVST B 时序-并行模式

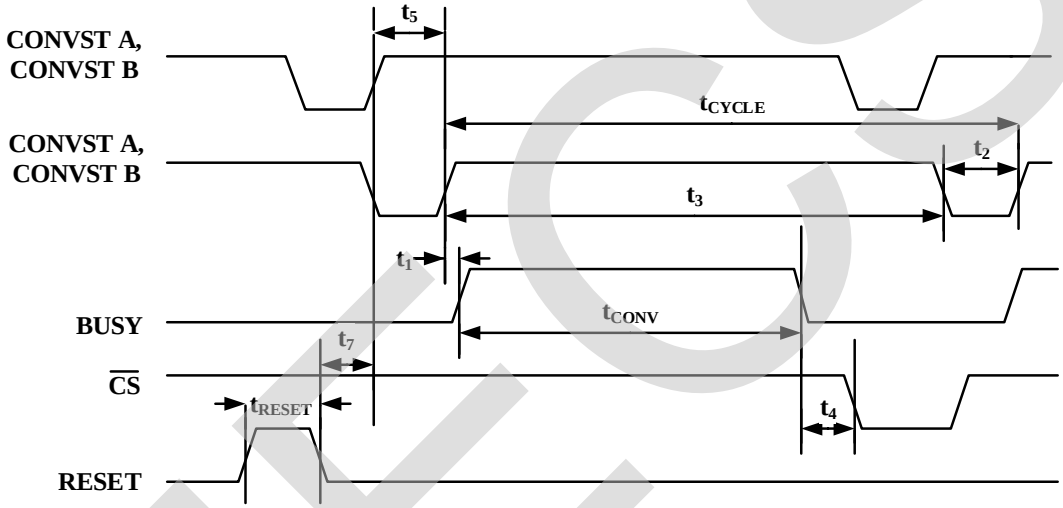


图 13 CONVST 时序—转换之后读取

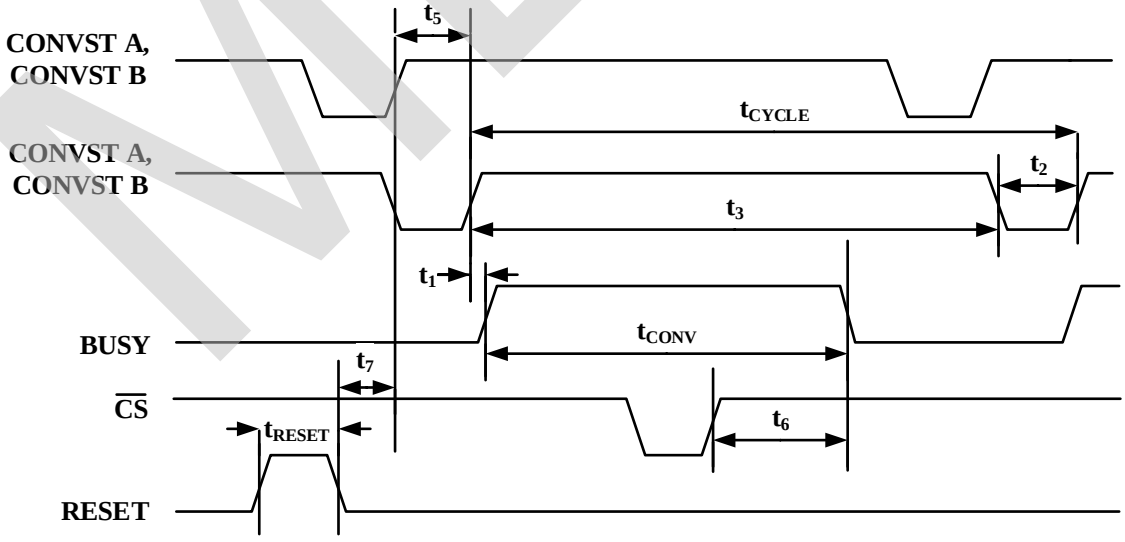


图 14 CONVST 时序—转换期间读取

MCS

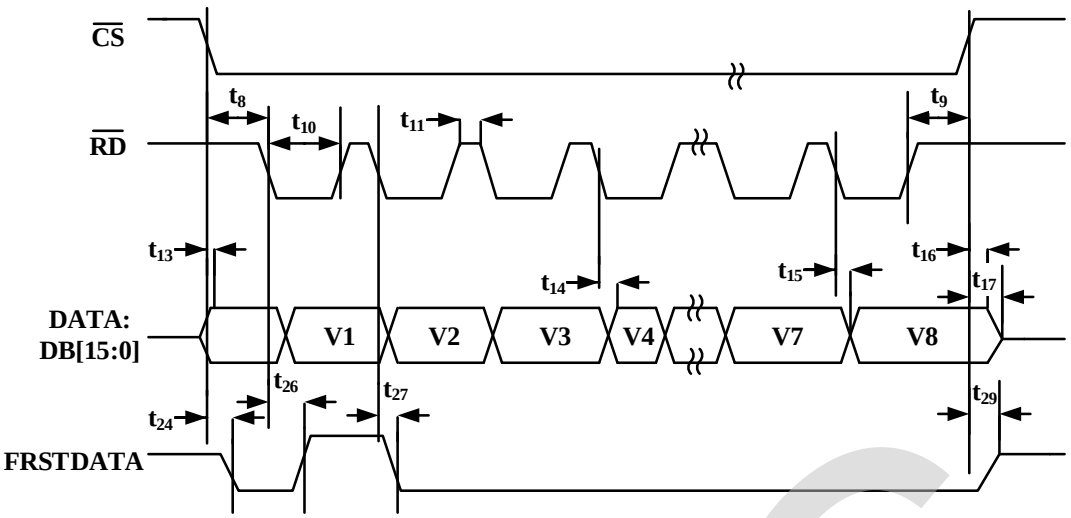


图 15 并行模式，独立的CS和RD脉冲

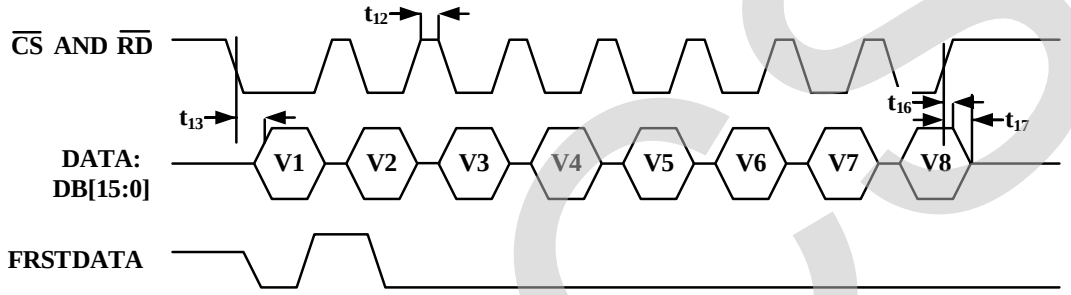


图 16 CS和RD相连的并行模式

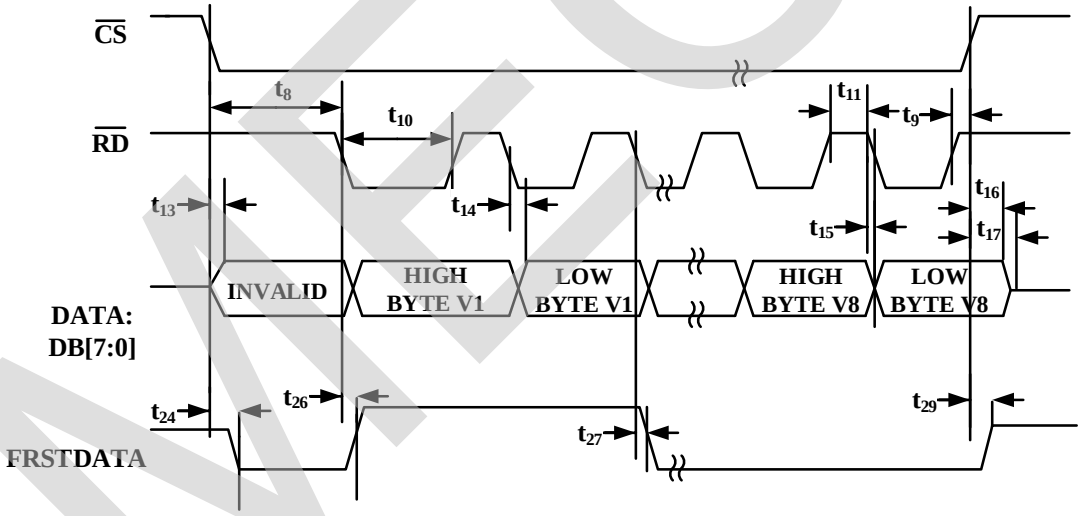


图 17 并行字节模式

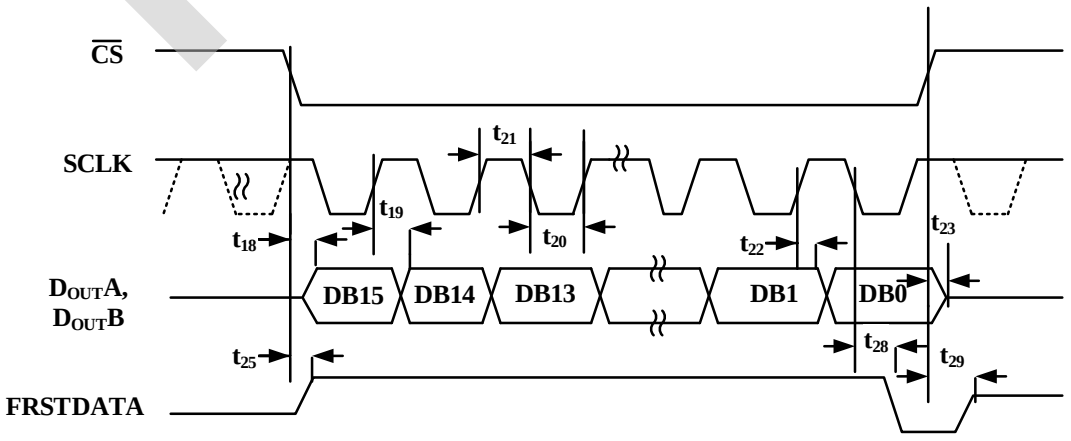


图 18 串行读取操作（通道 1）

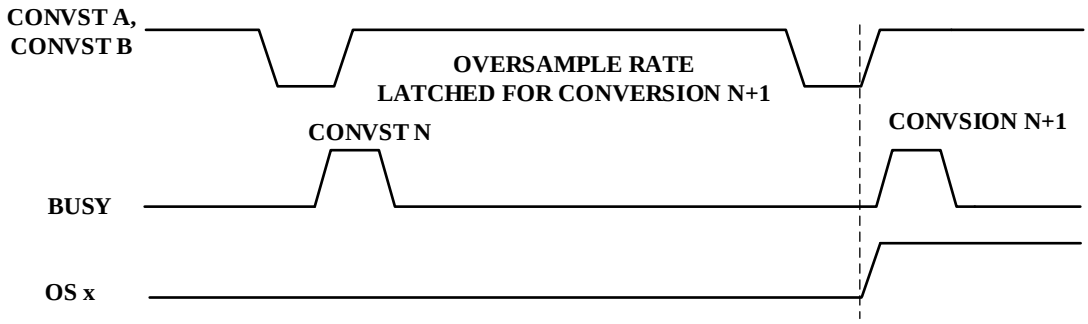


图 19 OS x 引脚时序

表 5.过采样位解码

OS[2:0]	过采样倍率	5V 范围 SNR（dB）	10V 范围 SNR（dB）	5V 范围 3dB 带宽（kHz）	10V 范围 3dB 带宽（kHz）	最大吞吐量 CONVST 频率（kHz）
000	No OS	89.6	90.6	15	22	200
001	2	90.7	91.4	15	22	100
010	4	92.2	93.0	13.5	18.5	50
011	8	93.4	94.2	10	11.8	25
100	16	94.2	94.5	6	6	12.5
101	32	94.4	95.5	3	3	6.25
110	64	95.8	95.2	1.5	1.5	3.125
111（禁用）						

11.0 应用须知

11.1 布局

MS6606 所在的印刷电路板应采用模拟部分与数字部分分离设计，并限制在电路板的不同区域内。至少应使用一个接地层。数字和模拟部分可以共用或分割使用接地层。在使用分割的地层时，数字地和模拟地应单点连接。单点接地点最好尽可能靠近 MS6606。如果 MS6606 系统内有多个器件要求模数接地，仍应坚持单点接地，把接地点放置在尽可能靠近 MS6606 的一个星型接地点。确保每个接地引脚与地层的良好连接。避免多个接地引脚共用一个到地层的连接的情况。每个接地引脚应使用单个过孔或多个过孔接入接地层。

应避免在器件下方布设数字线路，否则会将噪声耦合至芯片。应允许模拟接地层布设在 MS6606 下方，以避免噪声耦合。如 CONVSTA，CONVSTB 或时钟等快速切换信号要使用数字地加以屏蔽，以免将噪声辐射到电路板的其他部分，而且快速切换信号绝不能靠近模拟信号路径。应避免数字信号与模拟信号交叠。电路板邻近层上的走线应彼此垂直，以减小电路板的馈通效应。

AV_{CC}、V_{DRIVE} 引脚的电源线路应采用尽可能宽的走线，以提供低阻抗路径，并减小电源线路上的毛刺噪声效应。可能的话，应使用电源层，并在电源引脚和电路板的电源走线之间建立良好连接；这包括每个电源引脚应使用单个过孔或多个过孔连接至电源走线和电源层。

良好的去耦也很重要，以便降低 MS6606 的电源阻抗，并减少电源尖峰幅度。所有电源引脚 AV_{CC} 和 V_{DRIVE} 上都应连接典型值为 100 nF 的去耦陶瓷电容。这些去耦电容应靠近（理想情况是紧靠）这些引脚及其对应接地引脚放置。此外，每个电源引脚上都应放置低 ESR 10 μF 电容。应避免引脚共用这些电容。应使用大过孔将这些电容与电源和接地层相连。过孔和电容焊盘之间应使用较宽、较短的走线，或使过孔紧邻电容焊盘，以便最大程度地降低寄生电感。对于 AV_{CC} 去耦，推荐的去耦电容为 100 nF、低 ESR、陶瓷电容（Farnell 335-1816）和 10 μF、低 ESR、钽电容（Farnell 197-130）。应在 AV_{CC} 电源进入电路板处放置一个大型去耦钽电容。

REFIN/REFOUT 引脚和 REFCAPA、REFCAPB 引脚的去耦电容应尽可能靠近相应的引脚。可能的话，应将这些电容放在电路板上与 MS6606 器件相同的一侧。

12.0 外形尺寸

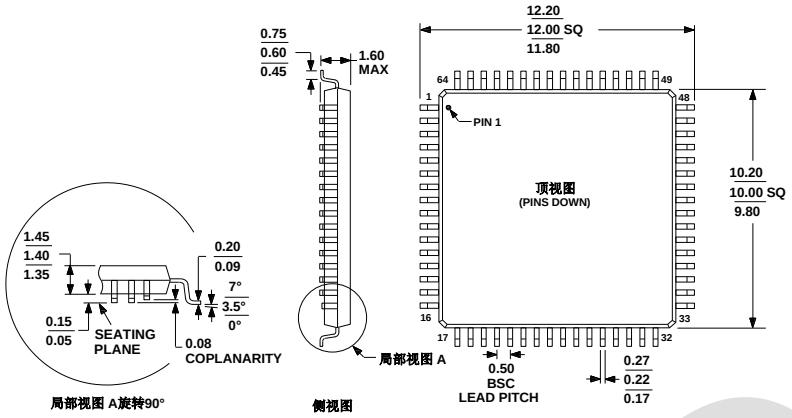


图 20 64 管脚薄型四方扁平封装 [LQFP64]

13.0 订货信息

订货型号	工作温度	封装形式	执行标准（质量等级）
MS6606	-40℃~+125℃	塑封 LQFP64	工业级（宽温）

MECS