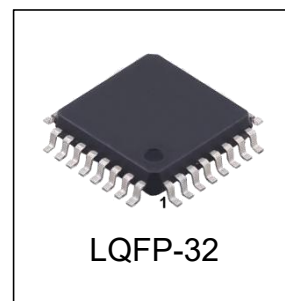


## FT232BL USB UART (USB - 串行) I.C.

### 主要特点

- 单芯片 USB 异步串行数据转换
- 全握手和调制解调器接口信号
- UART I / F 支持 7/8 位数据, 1/2 位停止位和奇/偶/标志/空格/无奇偶校验
- 数据速率 300 => 3M 波特率 (TTL)
- 数据速率 300 => 1M 波特率 (RS232)
- 数据速率 300 => 3M 波特率 (RS422 / RS485)
- 384 字节接收缓冲区/ 128 字节发送缓冲区, 可用于高数据吞吐量
- 可调 RX 接收缓冲区超时
- 全辅助硬件或 X-On / X-Off 握手
- 内置支持事件字符和换行符条件
- RS485 自动发送缓冲区控制
- 支持 USB 暂停/恢复 SLEEP # 和 RI # 引脚
- 支持高功率 USB 总线供电设备, 通过 PWREN # pin
- UART 集成电平转换器和控制用于连接到 5V 和 3.3V 逻辑的信号
- 用于 USB IO 的集成 3.3V 稳压器
- 集成上电复位电路
- 集成 6MHz - 48Mhz 时钟倍频 PLL
- USB 批量或同步数据传输模式
- 4.35V 至 5.25V 单电源供电
- UHCI / OHCI / EHCI 主机控制器兼容
- USB 1.1 和 USB 2.0 兼容
- USB VID , PID , 序列号和产品外部 EEPROM 中的字符串
- EEPROM 通过 USB 可编程 EEPROM
- 紧凑型无铅符合 RoHS 标准 LQFP-32 封装。



### 产品订购信息

产品名称	封装	打印名称	包装	包装数量
FT232BL-LQ32/HG	LQFP-32	FT232BL	托盘	2500 只/盒

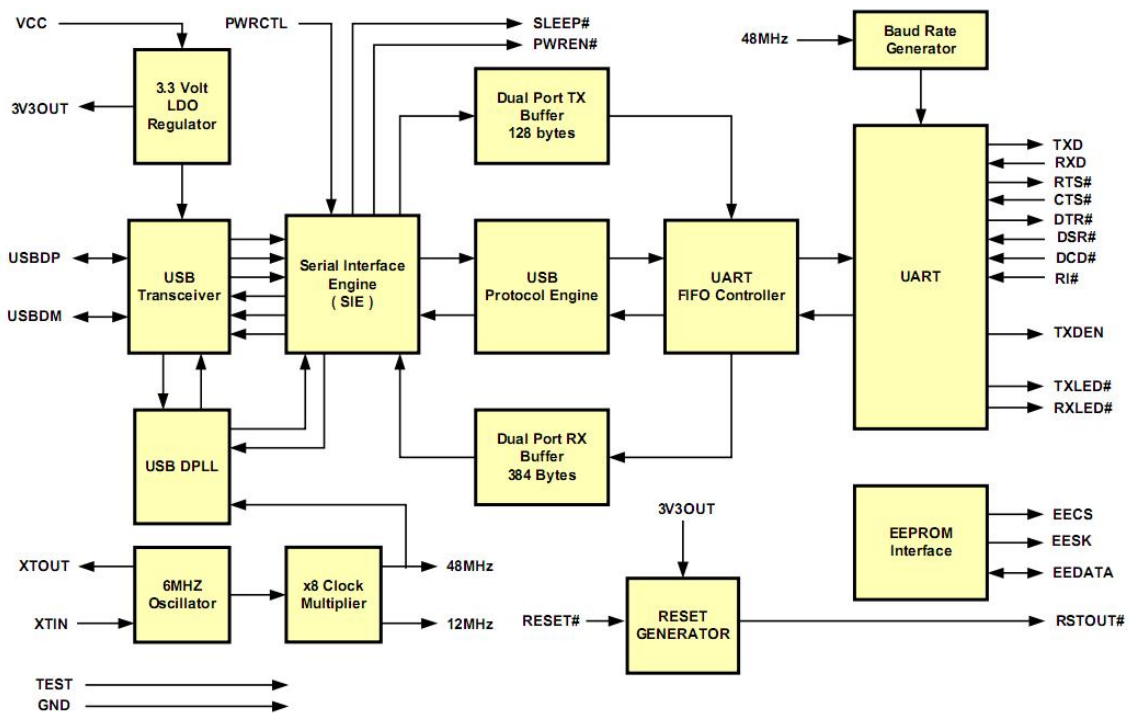
## 概述

FT232BL 是通用的 USB UART I.C.

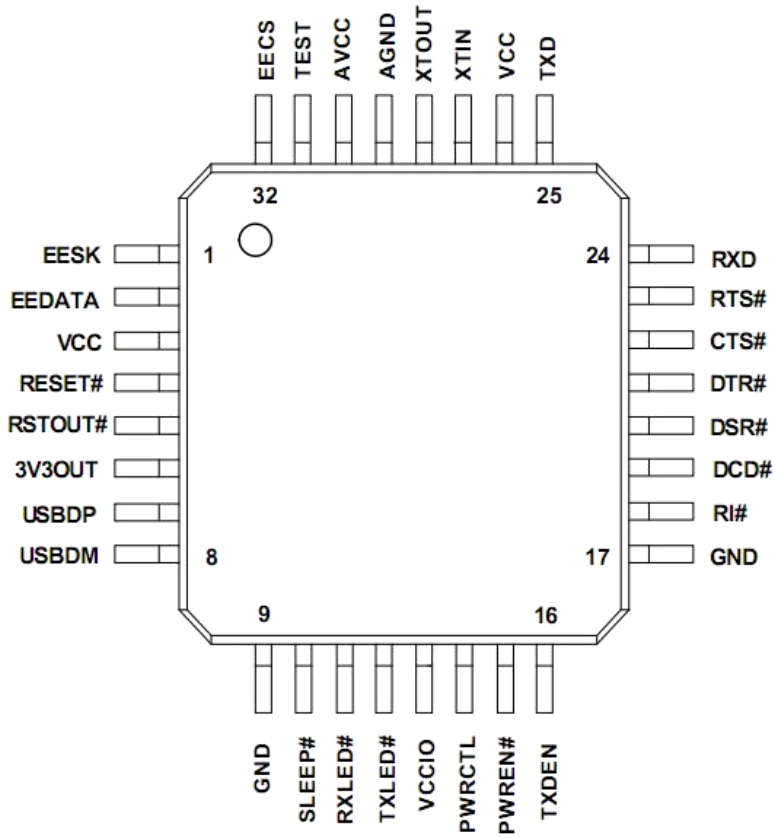
## 应用领域

- USB RS232 转换器
- USB RS422 / RS485 转换器
- 将 RS232 旧版外设升级到 USB
- 手机和无绳电话 USB 数据传输

## 功能框图



引脚图



LQFP-32

**FT232BL 引脚排列说明**
**UART 接口组**

引脚	标识	类型	描述
<b>UART 接口组</b>			
25	TXD	输出	发送异步数据输出
24	RXD	输入	接收异步数据输入
23	RTS#	输出	请求发送控制输出/握手信号
22	CTS#	输入	清除发送控制输入/握手信号
21	DTR#	输出	数据终端就绪控制输出/握手信号
20	DSR#	输入	数据设定就绪控制输入/握手信号
19	DCD#	输入	数据载波检测控制输入
18	RI#	输入	环形指示灯控制输入。当 EEPROM 中启用远程唤醒选项时，可以使用 RI # 低电平来暂停 PC USB 主机控制器。
16	TXDEN	输出	启用 RS485 的发送数据
<b>USB 接口组</b>			
7	USBDP	I/O	USB 数据信号正 (需要 1.5k 上拉至 3V3OUT 或 RSTOUT #)
8	USBDM	I/O	USB 数据信号负
<b>EEPROM 接口组</b>			
32	EECS	I/O	EEPROM - 片选。对于 48MHz 操作，使用 10K 电阻将 EECS 拉至 GND。对于 6MHz 操作，不需要电阻。器件复位时的三态。**注 1
1	EESK	输出	时钟信号到 EEPROM。设备复位期间的三态，否则驱动。在 EESK 上添加 10K 下拉电阻将导致 FT232BL 使用 USB 产品 ID 6004 (十六进制) 而不是 6001 (十六进制)。所有其他 USB 设备描述值不变。**注 1
2	EEDATA	I/O	EEPROM - 数据 I/O 通过 2.2K 电阻直接连接到 EEPROM 的数据输入和 EEPROM 的数据输出。此外，通过 10K 电阻将 EEPROM 的数据输出拉到 VCC 以进行正确的操作。器件复位时的三态。**注 1
10	SLEEP#	输出	在 USB 挂起模式下为低电平。通常用于将外部 TTL 电源关闭到 RS232 电平转换器 i.c. 在 USB <=> RS232 转换器设计中。
15	PWREN#	输出	通过 USB 配置设备后，设置为低电平，然后在 USB 挂起期间为高电平。可用于使用 P 沟道逻辑电平 MOSFET 开关控制外部逻辑电源。以这种方式使用 PWREN # 引脚时，在 EEPROM 中启用接口下拉选项。
14	PWRCTL#	输入	总线供电 - 低电平/自供电 - 高电平 (到 VCCIO)
<b>复合信号组</b>			
4	RESET#	输入	外部设备可以使用 FT232BL 来重置。如果不需要，连接到 VCC。
5	RSTOUT#	输出	内部复位发生器的输出。在 VCC > 3.5V 后保持高阻抗约 5ms，内部时钟启动，然后将其输出钳位到内部稳压器的 3.3v 输出。将 RESET # 置为低电平也会使 RSTOUT # 驱动为低电平。RSTOUT # 不受 USB 总线复位的影响。
12	TXLED#	O.C.	LED 驱动器 - 通过 USB 传输数据时脉冲低
11	RXLED#	O.C.	LED 驱动器 - 通过 USB 接收数据时脉冲低

27	XTIN	输入	输入 6MHz 晶体振荡器。如果需要, 该引脚也可以由外部 6MHz 时钟驱动。注意: 此引脚的开关阈值为 $VCC / 2$ , 因此, 如果从外部源驱动, 则源必须以 5V CMOS 电平或直流驱动。耦合到 $VCC / 2$ 周围的中心。
28	XTOUT	输出	6MHz 晶体振荡器的输出。在 USB 暂停期间, XTOUT 停止振荡, 因此请注意使用此信号来计时外部逻辑。
31	TEST	输入	将设备放在 I.C. 测试模式 - 必须连接到 GND 才能正常工作。
<b>电源和 GND 组</b>			
6	3V3OUT	输出	3.3V 集成 L.D.O.的输出调节器, 此引脚应使用靠近器件引脚的 33nF 陶瓷电容器去耦到 GND。其主要目的是为 USB 收发器单元和 RSTOUT # 引脚提供内部 3.3V 电源。如果需要, 可以从该引脚将少量电流 ( $\leq 5mA$ ) 从该引脚提供给外部 3.3v 逻辑电源。
3, 26	VCC	PWR	+4.35V 至+5.25VVCC 到器件内核, LDO 和非 UART 接口引脚。
13	VCCIO	PWR	+ 3.0V 至+5.25 伏 VCC 到 UART 接口引脚 10..12,14..16 和 18..25。在总线供电设计与 3.3V 外部逻辑接口时, 将 VCCIO 连接到从 USB 总线产生的 3.3V 电源。在自供电设计与 3.3V 外部逻辑接口时, 将 VCCIO 连接到外部逻辑的 3.3V 电源。否则连接到 VCC 以 5V CMOS 电平驱动。
9, 17	GND	PWR	设备 - 接地电源引脚
30	AVCC	PWR	器件 - 内部 x8 时钟倍频器的模拟电源
29	AGND	PWR	器件 - 内部 x8 时钟倍频器的模拟地

## 主要功能与优化

### 集成上电复位 (POR) 电路

该器件现在包含一个内部 POR 功能。维持现有的 RESET # 引脚以允许外部逻辑在需要时复位器件，但是对于许多应用，此引脚现在可以简单地接到 VCC。此外，还提供了一个新的复位输出引脚 (RSTOUT #)，以便允许新的 POR 电路为外部 MCU 和其他器件提供稳定的复位。RSTOUT # 是上一代设备的 TEST 引脚。

### 集成 RCCLK 电路

在以前的器件中，需要外部 RC 电路，以确保在使能器件内部的时钟之前，振荡器和时钟倍频器 PLL 频率稳定。该电路现在嵌入在芯片中 - 分配给此功能的引脚现在被指定为 TEST 引脚，并应连接到 GND 以进行正常操作。

### 集成电平转换器在 UART 接口和控制信号

以前的器件将以 5V CMOS 逻辑电平驱动 UART 和控制信号。新器件具有单独的 VCC-IO 引脚，允许器件直接连接到 3.3V 和其他逻辑系列，无需外部电平转换器 I.C.

### 改进的 USB 总线供电，大电流设备的电源管理控制

以前的设备有一个 USBEN 引脚，当 USB 被启动时，该引脚变为活动状态。为了提供电源控制，该信号必须通过 SLEEP # 和 RESET # 进行外部门控。该门控现在已经在芯片上完成了 - USBEN 现在已被替换为新的 PWREN # 信号，可用于在需要外部电路的电源开关的应用中直接驱动晶体管或 P 沟道 MOSFET。一个新的基于 EEPROM 的选项使得当电源关闭 (PWREN # 为高电平) 时，器件将其 UART 接口线缓慢拉低。在这种模式下，外部电路上的任何剩余电压都会在掉电时被放电到 GND，从而确保在电源恢复时由 PWREN # 控制的外部电路可靠地复位。

### 较低的关断电流

RCCLK 在器件内部集成和设计的改进，可以将 USB2 关断模式下的 FT232BL 关断电流降至 200uA 以下 (不包括 USBDP 上的 1.5k 上拉)。这允许外设更大的余量满足 500UA 的 USB 关断电流限制。

### 支持 USB 等时传输

虽然 USB 批量传输通常是数据传输的最佳选择，但数据的调度时间不能保证。对于调度延迟优先于数据完整性 (例如传输音频和低带宽视频数据) 的应用，新设备现在可以通过 EEPROM 中的选项位提供 USB 同步传输选项。

### 可编程接收缓冲区超时

在以前的设备中，接收缓冲区超时时间是在 16ms 超时时间内固定的。此超时现在可以通过 USB 以 1ms 为单位，从 1ms 到 255ms 进行编程，从而允许对需要较短数据包更快响应时间的协议进行优化。

### TXDEN 定时修复

TXDEN 定时现已被固定，以消除以高波特率以前 RS485 应用所需的外部延迟。TXDEN 现在在传输发送中断条件期间正常工作。

### 简易的 VCC 去耦

第二代设备已经有了一个片上 VCC 去耦。虽然这样不消除外部去耦的需要电容器，显着提高了容量 PCB 设计要求符合 FCC, CE 和其他 EMI 相关规范。

## 改进了预分频

以前版本的预分频器支持除以  $(n + 0)$  ,  $(n + 0.125)$  ,  $(n + 0.25)$  和  $(n + 0.5)$  其中  $n$  是 2 和之间的整数 16,384 (214)。为此, 我们添加了  $(n + 0.375)$  ,  $(n + 0.625)$  ,  $(n + 0.75)$  和  $(n + 0.875)$  用于提高某些波特率的准确性并产生新的波特率, 以前是不可能的 (特别是更高的波特率)。

## Bit Bang 模式

第二代设备有一个新的选择简称“Bit Bang”模式。在分位模式下, 8 个 UART 接口控制线可以在 UART 接口模式和 8 位并行 IO 端口。可以发送数据包到设备, 他们将被顺序发送到该接口的速率由预分频器控制设置。以及允许使用设备独立的通用 IO 控制器示例控制灯, 继电器和开关, 还有一些有趣的可能性。对于例如, 可能连接设备到由 SRAM 提供的 SRAM 可配置 FPGA 供应商如 Altera 和 Xilinx。FPGA 设备通常是未配置的 (即具有无定义功能)。应用 PC 上的软件可以使用 Bit Bang Mode 将配置数据下载到 FPGA 将定义其硬件功能, 之后 FPGA 器件配置为 FT232BL 可以切换回 UART 接口模式允编程的 FPGA 器件进行通信 PC 上通过 USB。这种方法允许 a 客户创建“通用”USB 外设谁的硬件功能可以定义在下面控制应用软件。FPGA 基于硬件可以轻松升级或完全改变了 FPGA 配置数据文件。应用笔记, 软件以及该应用领域的开发模块将从 FTDI 和其他第三方应用。

## 预分频器除以 1 修复

以前的设备有问题的时候除数的整数部分设置为 1.在第二生成设备将预分频比值设置为 1 给出为 200 万波特率, 设置为零, 波特率为 300 万。非-除数值不支持整数除法为 0 和 1。

## 更少的外部支持组件

以及消除 RCCLK 的 RC 网络, 以及对于大多数应用需要外部复位电路, 我们也消除了这个要求 EECS 上的 100K 上拉电阻选择 6MHz 操作。当 FT232BL 被使用时没有配置 EEPROM, EECS, EESK 和 EEDATA 现在可以留下  $n/c$ 。对于需要长时间的电路复位时间 (器件从外部复位) 使用复位发生器 I.C.或复位被控制由 MCU 的 IO 端口, FPGA 或 ASIC 器件) a 外部晶体管电路不再需要 USBDP 上的 1.5k 上拉电阻可以连接到 RSTOUT # 引脚而不是 3.3V。注意: RSTOUT # 以 3.3V 电平驱动, 而不是 5V VCC 电平。这是新设计的首选配置。

## 扩展 EEPROM 支持

仅支持上一代设备类型为 93C46 (64 x 16 位) 的 EEPROM。新的器件也可以使用 EEPROM 类型 93C56 (128 x 16 位) 和 93C66 (256 x 16 位)。额外的设备不使用空间, 但是它是可供其他外部 MCU /逻辑使用 FT232BL 复位。

## USB 2.0 (全速选件)

新的基于 EEPROM 的选件允许 FT232BL 返回 USB 2.0 设备而不是 USB 1.1。注意: 设备将是 USB 2.0 Full 速度设备 (12Mb/s) 而不是 USB 2.0 高速设备 (480Mb/s)。

## 无 EEPROM 的多设备支持

当没有 EEPROM (或空白或无效时) EEPROM) 连接到设备, FT232BL 不再提供序列号作为其一部分 USB 描述符。这允许多个设备同时连接到同一台 PC。但是, 我们仍然强烈建议使用 EEPROM 被使用, 没有序列号的设备可以只能通过 USB 中的哪个集线器端口识别被连接到哪个可以改变如果结束用户将设备重新插入不同的端口。

## 功能块描述

### 3.3V LDO 稳压器

3.3V LDO 稳压器产生 3.3 伏特用于驱动 USB 收发器的参考电压单元输出缓冲区。它需要一个外部的去耦电容器连接到 3V3OUT 稳压器输出引脚。它还提供 3.3V 电源 RSTOUT # 引脚。这个块的主要功能是为 USB 收发器和复位供电而不是为外部逻辑供电。然而，如果需要额定 3.3V 的外部电路在不大于 5mA 的电流下也可以，从 3V3OUT 引脚拔出电源。

### USB 收发器

USB 收发器单元提供 USB 1.1 /USB 2.0 全速物理接口到 USB 端口。输出驱动器提供 3.3 伏电平转换速率控制信号，而差分接收机的两个单端接收器提供 USB 数据在 SEO 和 USB 复位状态检测。

### USB DPPL

USB DPPL 单元锁定到进入的 NRZIUSB 数据并提供单独的恢复时钟并向 SIE 块发送数据信号。

### 6MHz 振荡器

6MHz 振荡器单元产生 6MHz 参考时钟输入到 x8 时钟倍频器外部，6MHz 晶体或陶瓷谐振器。

### x8 时钟倍增器

x8 时钟倍频器采用 6MHz 输入从振荡器单元产生 12MHz 参考时钟为 SIE，USB 协议引擎和 UART FIFO 控制器模块。它也用于 USB DPPL 的 48MHz 参考时钟波特率发生器。

### 串行接口引擎 (SIE)

串行接口引擎 (SIE) 块执行并行到串行到并行转换 USB 数据。按照 USB 2.0 规范，它执行位固定/校验和 CRC5 / CRC16 生成/检查在 USB 数据流上。

### USB 协议引擎

USB 协议引擎管理数据流从设备 USB 控制端点。它处理低级 USB 协议 (第 9 章) 由 USB 主机控制器产生的请求以及控制功能的命令 UART 的参数。

### 双端口 TX 缓冲区 (128 字节)

来自 USB 数据输出端的数据被存储在双端口 TX 缓冲区中，并从中删除缓冲器到 UART 发送寄存器的控制的 UART FIFO 控制器。

### 双端口 RX 缓冲区 (384 字节)

存储 UART 接收寄存器的数据双端口 RX 缓冲区被删除之前 SIE 上的 USB 请求来自设备的数据端点数据。

### UART FIFO 控制器

UART FIFO 控制器处理传输双端口 RX 和 TX 缓冲区之间的数据 UART 发送和接收寄存器。

### UART

UART 执行异步 7/8 位并行到串行到并行转换的数据在 RS232 (RS422 和 RS485) 接口。UART 支持的控制信号包括 RTS, CTS, DSR, DTR, DCD 和 RI。UART 提供发射机使能控制信号 (TXDEN) 来协助

连接 RS485 收发器 UART 支持 RTS /CTS, DSR /DTR 和 X-On / X-Off 握手选项。在需要时, 握手处理在硬件中确保快速响应时间。该 UART 还支持 RS232 BREAK 设置和检测条件。

## 波特率发生器

波特率发生器提供 x16 时钟从 48MHz 参考时钟输入 UART 并由一个 14 位预分频器和 3 个寄存器组成提供波特率的微调 (用于增加和减小)。这个确定 UART 的波特率可编程从 183 波特率到 300 万波特率。

## RESET 发生器

复位发生器单元提供可靠的上电复位, 器件内部电路上电一个附加的 RESET # 输入和 RSTOUT # 输出以允许其他器件重置 FT232BL 或 FT232BL 分别复位其他设备。复位期间, RSTOUT # 被驱动为低电平, 否则由芯片提供的 3.3V 驱动。RSTOUT # 可用于控制在 USBDP 上直接上拉 1.5k 控制 USB 延迟。它也可以用来复位其他设备。RSTOUT # 将保持高速 VCC 大约 5ms 后升高到 3.5V 以上, 器件振荡器是运行与复位高。应该将 RESET # 连接到 VCC, 除非需要从外部逻辑或外部复位来重置该器件。

## EEPROM 接口

虽然 FT232BL 工作无需任何 EEPROM, 但外部 93C46 (93C56 或 93C66) EEPROM 可用于定制 USB VID, PID, 序列号, 产品描述字符串和功率描述符值的 FT232BL for OEM 应用。其他参数控制由 EEPROM 包括远程唤醒, 同步传输模式, 软启动电源关闭和 USB 2.0 工作模式。EEPROM 应为 16 位宽配置如 MicroChip 93LC46B 或等效于 VCC = 的 1Mb / s 时钟速率 4.35V 至 5.25V。EEPROM 是可编程的, 如果没有连接 EEPROM (或 EEPROM) 空白, FT232BL 将使用其内置的默认 VID, PID 产品说明和功率描述值。在这种情况下, 设备不会有串口数字作为 USB 工作的一部分。

## 绝对最大额定参数

Parameter	Value	Unit
Storage Temperature	-65°C to +150°C	°C
Floor Life (Out of Bag) At Factory Ambient (30°C / 60% Relative Humidity)	192(MSL 3 Compliant) *Note 2	
Ambient Temperature (Power Applied)	0°C to +70°C	°C
Lead Temperature Range (Soldering 10 sec)	260	°C
M.T.B.F. (at 35°C)	247484≈ 28	Hours Years
VCC Supply Voltage	-0.5 to +6.00	V
DC Input Voltage – USBDP and USBDM	-0.5 to +3.8	V
DC Input Voltage – High Impedance Bidirectional	-0.5 to + (V <sub>CC</sub> +0.5)	V
DC Input Voltage – All Other Inputs	-0.5 to + (V <sub>CC</sub> +0.5)	V
DC Output Current – Outputs	24	mA
DC Output Current – Low Impedance Bidirectional	24	mA
Power Dissipation (VCC = 5.25V)	500	mW
Electrostatic Discharge Voltage (Human Body Model) (I<1uA)	±3000	V
Latch Up Current (Vi = +/- 10V maximum, for 10ms)	±200	mA

注：1. 极限参数是指无论在任何条件下都不能超过的极限值。万一超过此极限值，将有可能造成产品劣化等物理性损伤；同时在接近极限参数下，不能保证芯片可以正常工作。

2- 如果将芯片存储在超出此限制的包装之外，则应在使用前烘烤芯片。芯片应升高至 110°C 的温度，烘烤 8 至 10 小时。

## D.C.特点

直流特性 (环境温度 = 0~70℃)

工作电压和电流

Parameter	Description	Minimum	Typical	Maximum	Units	Conditions
VCC1	VCC Operating Supply Voltage	4.35	5	5.25	V	
VCC2	VCCIO Operating Supply Voltage	3.0	---	5.25	V	
Icc1	Operating Supply Current	---	25	---	mA	Normal Operation
Icc2	Operating Supply Current	---	180	200	μA	USB Suspend *Note 3

\*注 3 - 电源电流不包括由 USBDP 上的外部上拉电阻抽取的 200uA 标称值。

UART IO 引脚特性 (VCCIO = 5.0V)

Parameter	Description	Minimum	Typical	Maximum	Units	Conditions
Voh	Output Voltage High	3.2	4.1	4.9	V	I source = 2mA
Vol	Output Voltage Low	0.3	0.4	0.6	V	I sink = 2mA
Vin	Input Switching Threshold	1.3	1.6	1.9	V	*Note 4
Vhys	Input Switching Hysteresis	50	55	60	mV	

UART IO 引脚特性 (VCCIO = 3.0 - 3.6V)

Parameter	Description	Minimum	Typical	Maximum	Units	Conditions
Voh	Output Voltage High	2.2	2.7	3.2	V	I source = 1mA
Vol	Output Voltage Low	0.3	0.4	0.5	V	I sink = 2mA
Vin	Input Switching Threshold	1.0	1.2	1.5	V	**Note 4
Vhys	Input Switching Hysteresis	20	25	30	mV	

\*\*注 4 - 输入端具有内部 200K 上拉电阻到 VCCIO。

**XTIN / XTOUT 引脚特性**

Parameter	Description	Minimum	Typical	Maximum	Units	Conditions
Voh	Output Voltage High	4.0	-	5.0	V	Fosch = 6MHZ
Vol	Output Voltage Low	0.1	-	1.0	V	Fosch = 6MHZ
Vin	Input Switching Threshold	1.8	2.5	3.2	V	

**RESET#, TEST, EECS, EESK, EEDATA 引脚特性**

Parameter	Description	Minimum	Typical	Maximum	Units	Conditions
Voh	Output Voltage High	3.2	4.1	4.9	V	I source = 2mA
Vol	Output Voltage Low	0.3	0.4	0.6	V	I sink = 2mA
Vin	Input Switching Threshold	1.3	1.6	1.9	V	
Vhys	Input Switching Hysteresis	50	55	60	mV	**Note 5

\*\*注 5 - EECS, EESK 和 EEDATA 引脚具有内部的 200K 上拉电阻到 VCC

**RSTOUT 引脚特性**

Parameter	Description	Minimum	Typical	Maximum	Units	Conditions
Voh	Output Voltage High	3.0	-	3.6	V	I source = 2mA
Vol	Output Voltage Low	0.3	-	0.6	V	I sink = 2mA

**USB IO 引脚特性**

Parameter	Description	Minimum	Typical	Maximum	Units	Conditions
Uvoh	IO Pins Static Output ( High)	2.8	-	3.6	V	RI = 1.5K to 3V3Out ( D+) I = 15K to GND ( D-)
Uvol	IO Pins Static Output ( Low)	0	-	0.3	V	RI = 1.5K to 3V3Out ( D+) I = 15K to GND ( D-)
Uvse	Single Ended Rx Threshold	0.8	-	2.0	V	
Ucom	Differential Common Mode	0.8	-	2.5	V	
UVDif	Differential Input Sensitivity	0.2	-		V	
UdrvZ	Driver Output Impedance	29	-	44	Ohms	**Note 6

\*\*注 5 - 驱动器输出阻抗包括 USBDP 和 USBDM 引脚上的外部 27R 串联电阻。

## 功能解介

图 4 3引脚陶瓷谐振器配置

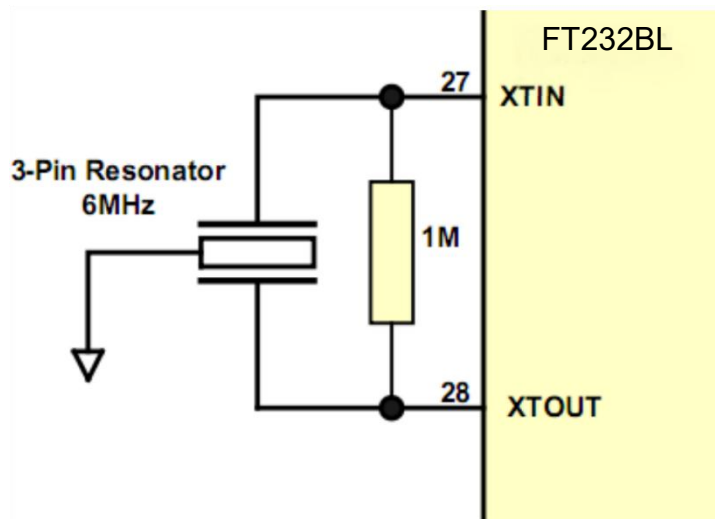


图 5 晶体或 2 引脚陶瓷谐振器配置

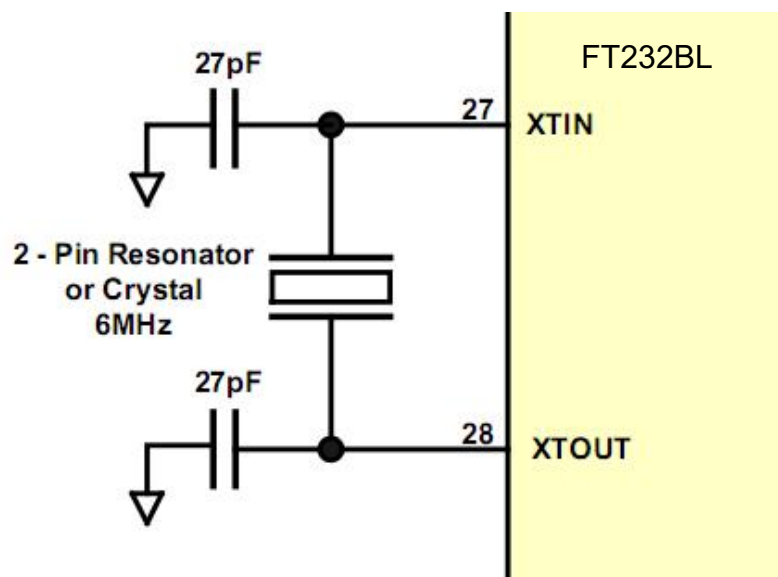


图 4 说明了如何使用带有 3 引脚陶瓷谐振器的 FT232BL。合适的部件将是村田 CERALOCK 系列的陶瓷谐振器。（村田部件号 CSTCR6M00G15）或等效物。3 引脚陶瓷谐振器将谐振器内置负载电容器，因此不需要外部负载电容器。这使得经济的配置。该 Murata 陶瓷谐振器的精度为 $\pm 0.1\%$ ，是专为 USB 全速应用而设计的。推荐使用 XTIN 和 XTOUT 上的 1MegaOhm 负载电阻，以确保此准确度。

具有较低精度的其他陶瓷谐振器（通常为 $\pm 0.5\%$ ）在技术上与 USB 规格不符，但已经计算出，使用这样的器件将在 FT232BL 设计的实践中令人满意地工作。

图 5 说明了如何使用带有 6MHz 晶体或 2-pin 陶瓷谐振器的 FT232BL。在这种情况下，这些器件不具有内置负载电容，因此必须在 XTIN, XTOUT 和 GND 之间添加，如图所示。在这个例子中，显示了 27pF 的电容，这对于许多晶体和一些谐振器是有好处的，但是尽可能选择基于制造商的建议值。如果使用水晶，请使用平行切割类型。如果使用谐振器，请参阅上一个关于频率精度的注释。

图 6 EEPROM 配置

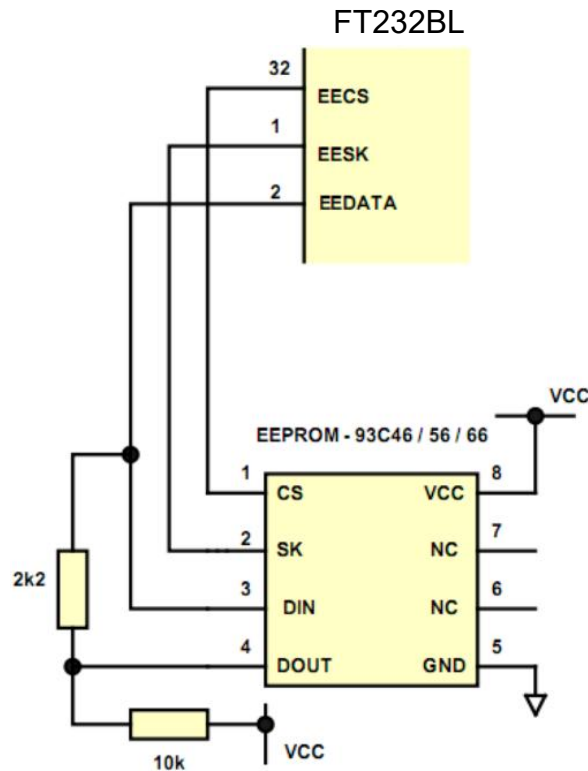


图 6 说明了如何将 FT232BL 连接到 93C46 (93C56 或 93C66) EEPROM。EECS (引脚 32) 直接连接到 EEPROM 的芯片选择 (CS) 引脚。EESK (引脚 1) 直接连接到 EEPROM 的时钟 (SK) 引脚。EEDATA (引脚 2) 直接连接到 EEPROM 的数据输入 (Din) 引脚。存在 EEPROM 的数据输出 (Dout) 可以与 FT232BL 的 EEDATA 引脚同时驱动的潜在条件。为了防止在这种情况下潜在的潜在数据冲突，EEPROM 的 Dout 通过 2.2K 电阻连接到 FT232BL 的 EEDATA。

在上电复位或 USB 复位后，FT232BL 将扫描 EEPROM 以发现 (a) 如果 EEPROM 连接到设备，并且 (b) 设备中的数据有效。如果是这两种情况，则 FT232BL 将使用 EEPROM 中的数据，否则将使用其内置的默认值。当从 FT232BL 向 EEPROM 发出有效命令时，EEPROM 将确认命令

将其 Dout 引脚拉低。为了检查这种情况，需要使用 10K 电阻将 Dout 拉高。如果命令确认不发生，则在该周期的这一部分期间，EEDATA 将被 10K 电阻拉高，并且器件将检测到无效命令或不存在 EEPROM。

这些 EEPROM 在市场上有两种，一种被配置为 16 位宽，另一种被配置为 8 位宽。这些可从许多来源获得，如 Microchip, STMicro, ISSI 等。FT232BL 要求具有 16 位宽配置的 EEPROM，如 Microchip 93LC46B 器件。EEPROM 必须能够以 4.35V 至 5.25V 的电源电压以 1Mb 时钟速率读取数据。大多数可用的部件都能够实现。

检查制造商的数据资料，了解如何连接 EEPROM 的引脚 6 和 7。一些设备将这些指定为无连接，其他设备用于选择 8/16 位模式或测试功能。其他部分的引脚排列旋转 90°，请仔细选择所需部分及其选项。

可以在 FT232BL 和 MCU 之类的外部设备之间“共享”EEPROM。但是，这只能在 FT232BL 处于复位状态时进行，因为它在此时对其 EEPROM 接口进行三态。典型的配置将使用 MCU IO 端口的四位。在启动时，将使用一位来保持 FT232BL 复位 (使用 RESET #)，其他三个将连接到 FT232BL 的 EECS, EESK 和 EEDATA 引脚，以便此时将数据读取/写入 EEPROM。一旦 MCU 读取/写入 EEPROM，就会使 RESET # 高电平使 FT232BL 自动配置并通过 USB 进行枚举。

图 7 USB 总线供电配置

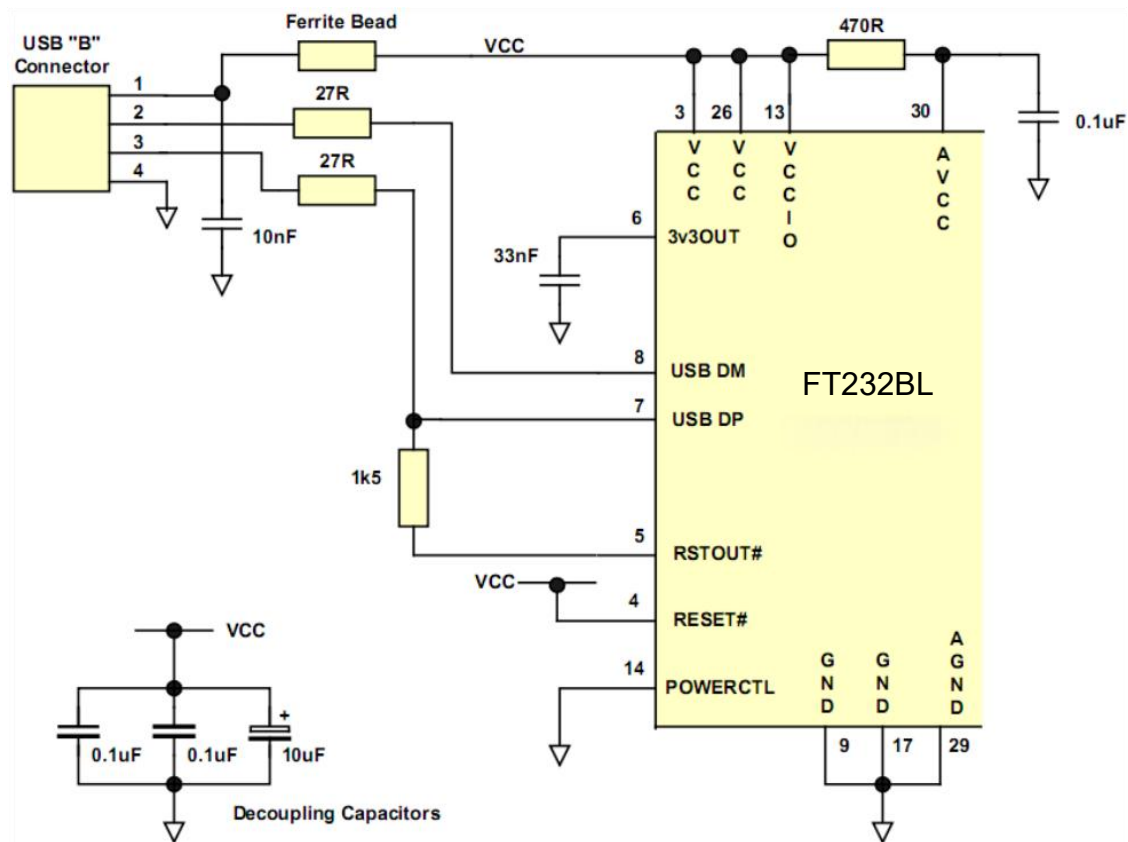


图 7 显示了典型的 USB 总线供电配置。USB 总线供电设备从 USB 总线获取电源。USB 总线电源设备的基本规则如下 -

- 在插件上，器件必须绘制不超过 100mA
- 在 USB 挂起时，设备必须绘制不超过 500uA。
- 总线供电的大功率设备（吸入超过 100mA 的电源）应使用 PWREN# 引脚将电流保持在 100mA 以上，USB 暂停时为 500uA。
- 消耗大于 100mA 的设备不能插入 USB 总线供电的集线器
- 没有设备可以从 USB 总线吸取 500mA 的电流。POWERCTL (引脚 14) 被拉低，以告知设备使用 USB 总线电源描述符。应将 EEPROM 中的功率描述符编程为与设备的当前画面相匹配。

铁氧体磁珠与 USB 电源串联连接，以防止设备产生噪音，并将相关电路 (EMI) 从 USB 电缆辐射到主机。铁氧体磁珠的价值取决于电路所需的总电流 - 适用范围的铁氧体磁珠可从 Steward ([www.steward.com](http://www.steward.com)) 获得，例如 Steward Part # MI0805K400R-00，也可作为 DigiKey Part # 240-1035 -1。

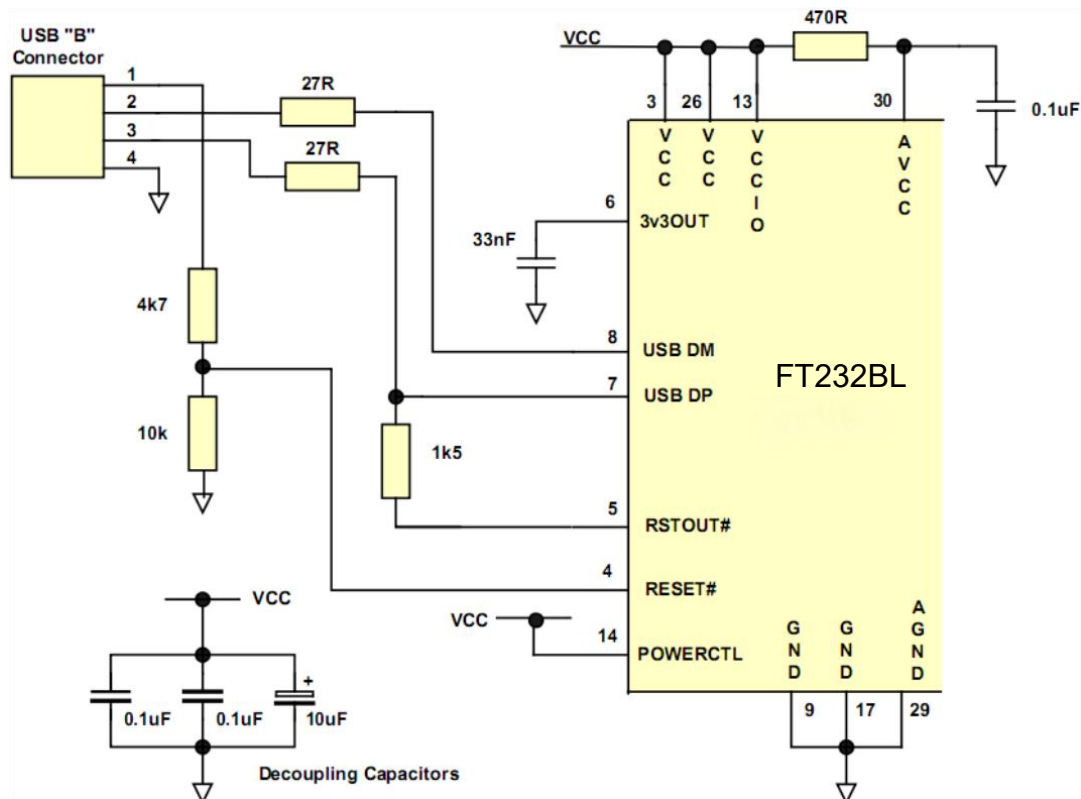
**图 8 USB 自供电配置**


图 8 说明了典型的 USB 自供电配置。USB 自供电设备从自己的电源供应电源，不会从 USB 总线吸取电流。USB 自供电设备的基本规则如下 -

- 当 USB 主机或集线器控制器掉电时，自供电设备不应该强制当前通过 USB 总线。
- 自供电设备可以在正常操作和 USB 挂起期间获得尽可能多的电流，因为它具有自己的电源。
- 自供电设备可与任何 USB 主机和总线和自供电 USB 集线器一起使用。WRCTL (引脚 14) 拉高，以使设备使用 USB 总线电源描述符。EEPROM 中的功率描述符应编程为零。EEPROM 中的 USB 电源描述符选项应编程为零 (自供电)。

满足要求 a) USB DP 上的 1.5K 上拉电阻按照总线电源电路连接到 RSTOUT#。但是，USB 总线电源用于控制 FT232BL 器件的 RESET# 引脚。当 USB 主机或集线器上电时，RSTOUT# 会将 USB DP 上的 1.5K 电阻拉至 3.3V，从而将设备识别为 USB 的全速设备。当 USB 主机或集线器电源关闭时，RESET# 将变为低电平，器件将保持复位状态。当 RESET# 为低电平时，RSTOUT# 也将为低电平，因此当主机或集线器掉电时，不会通过 1.5K 上拉电阻强制关闭 USB DP 电流。否则可能会导致一些 USB 主机或集线器控制器不正常上电。

注意：当 FT232BL 复位时，UART 接口引脚全为三态。这些引脚具有内部的 200K 上拉电阻到 VCCIO，因此除非由某些外部逻辑驱动，否则它们将轻轻拉高。

图 9 USB <=> RS232 转换器配置

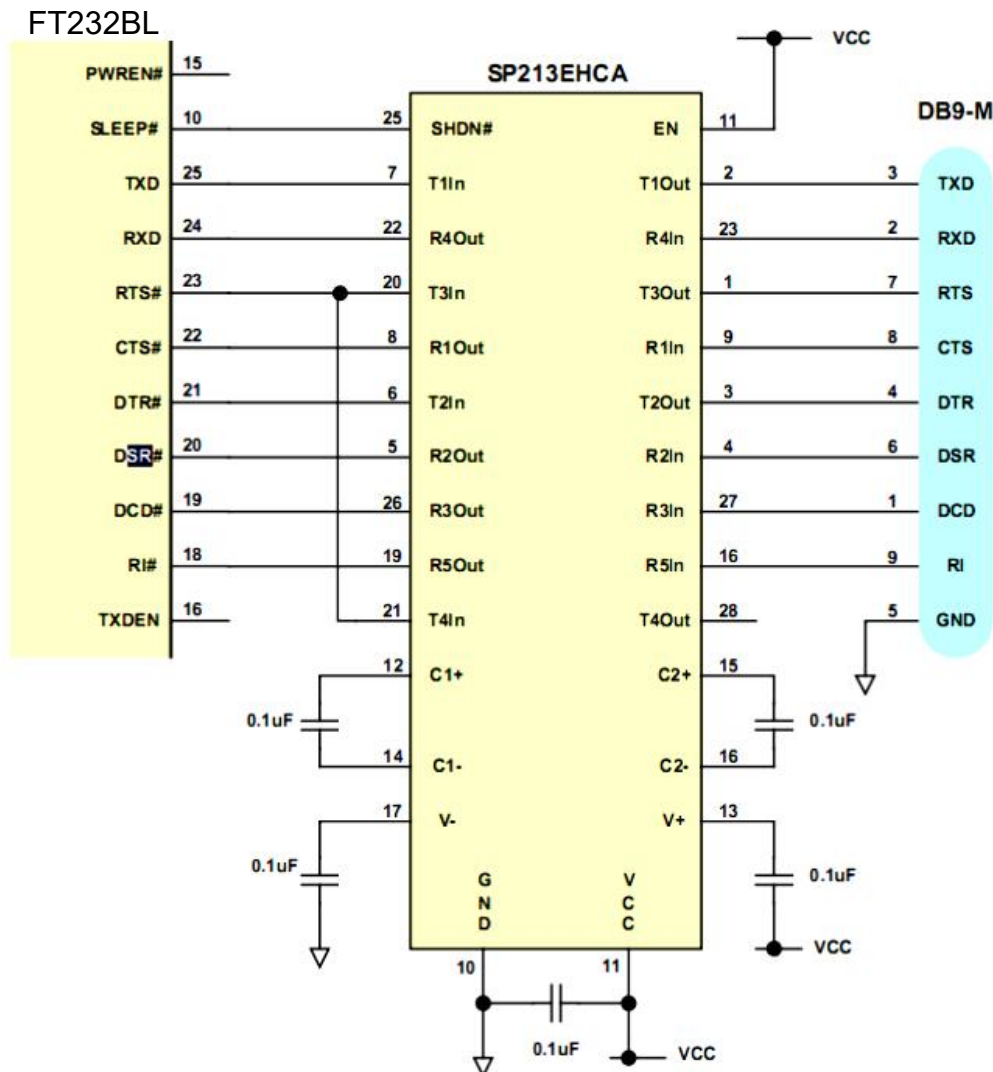


图 9 说明了如何将 FT232BL 的 UART 接口连接到 TTL-RS232 电平转换器 I.C。使用通用的“213”系列 TTL 到 RS232 电平转换器制作 USB <=> RS232 转换器。这些器件在 28 LD SSOP 封装中具有 4 个发射器和 5 个接收器，并具有内置电压转换器，可将 5v (标称) VCC 转换为 RS232 所需的 +/- 9 伏特。这些器件的一个重要特性是 SHDN# 引脚，可在 USB 暂停 模式期间将器件断电至最低静态电流

该示例中使用的设备是 Sipex SP213EHCA，可以在高达 500K 波特率的情况下进行 RS232 通信。如果较低的波特率可以接受，则可以使用多个引脚兼容的替代方案，例如 Sipex SP213ECA，Maxim MAX213CAI 和 ADI 公司 ADM213E，它们的通信速度高达 115,200 波特。如果需要更高的波特率，请使用能够以高达 1M 波特率进行 RS232 通讯的 Maxim MAX3245CAI 部件。MAX3245 与 213 系列器件不兼容，其 SHDN 引脚为高电平有效，因此将其连接到 PWREN# 而不是 SLEEP#。

图 10 USB <=> RS422 转换器配置

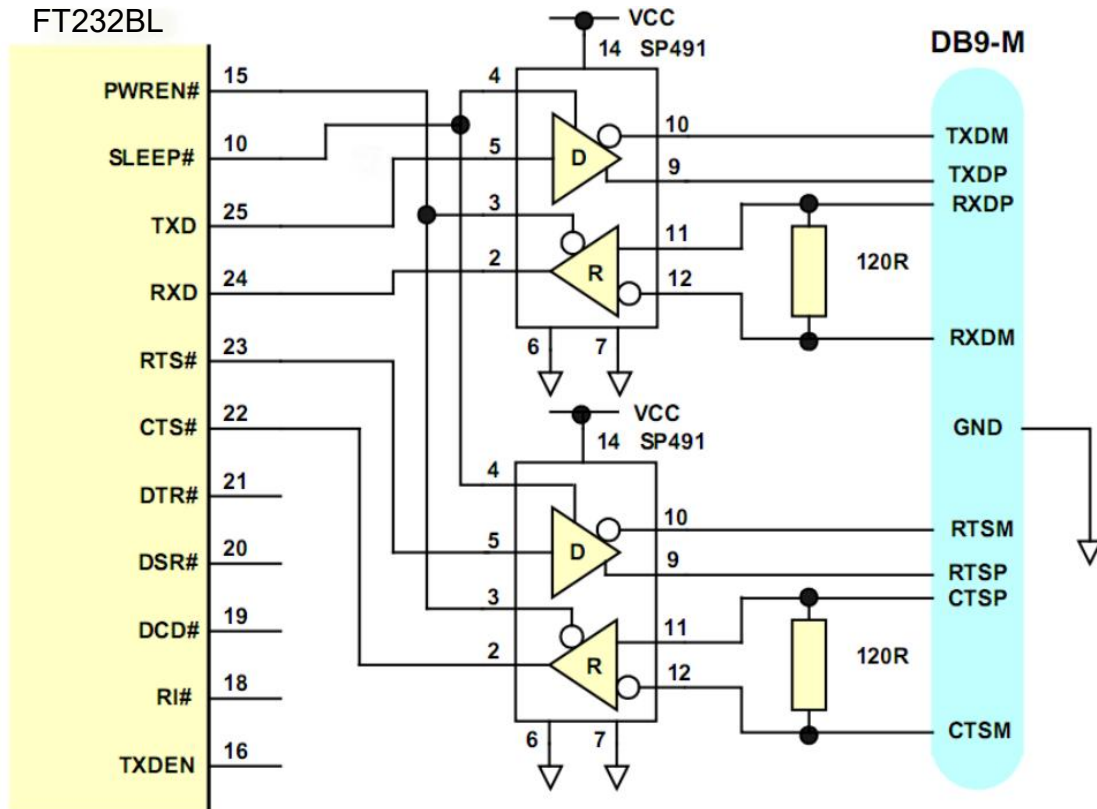


图 10 说明了如何将 FT232BL 的 UART 接口连接到 TTL -RS422 电平转换器 I.C. 制作 USB <=> RS422 转换器。有许多这样的电平转换器设备可用 - 这个例子使用了 Sipex SP491 器件，它们都可以在发送器和接收器上使能。因为发射机使能是高电平有效，它连接到 SLEEP # 引脚。接收器使能为低电平有效，并连接到 PWREN # 引脚。这确保了当设备处于活动状态时，发射器和接收器均已启用，并且在设备处于 USB 挂起模式时禁用。如果设计为 USB BUS 供电，可能需要在 SP491 器件的 VCC 线路中使用 P 沟道逻辑电平 MOSFET (由 PWREN # 控制)，以确保满足 500uA 的 USB 待机电流。

SP491 可以以高达 5M 波特的速率发送和接收数据，在这种情况下，FT232BL 的最大速率限制为 3M 波特率。

图 11 USB <=> RS485 转换器配置

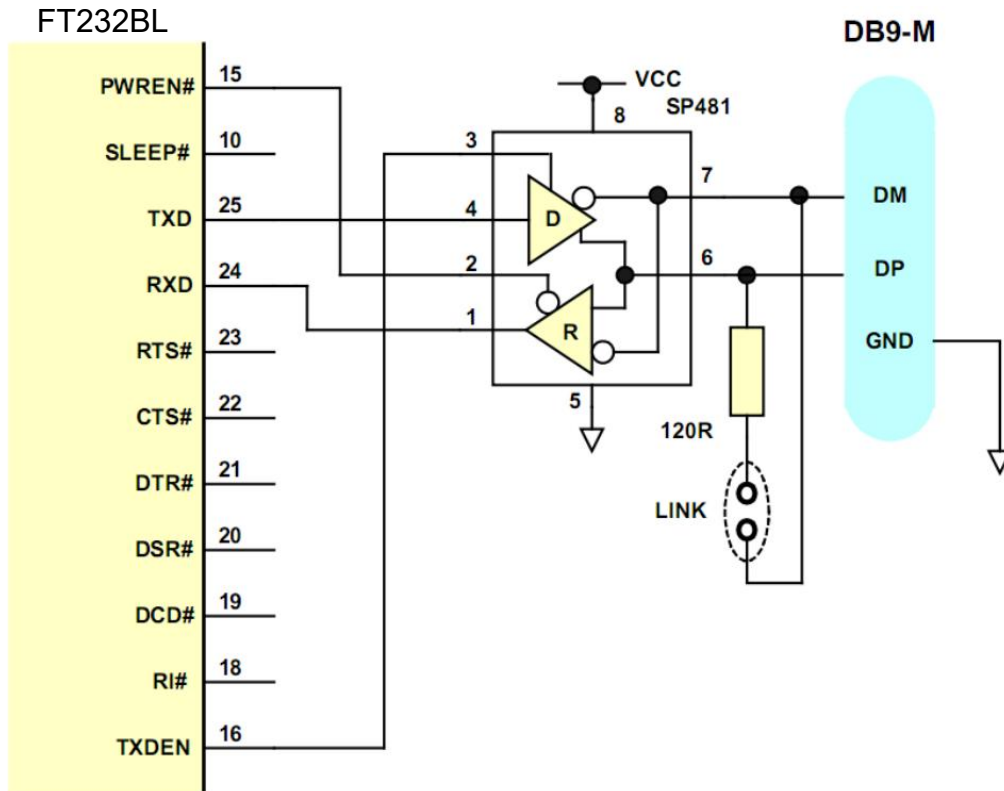


图 11 说明了如何将 FT232BL 的 UART 接口连接到 TTL-RS485 电平转换器 I.C。制作 USB => RS485 转换器。该示例使用 Sipex SP481 器件，但 Maxim 和 Analog Devices 等提供类似的部件。SP481 是一款紧凑型 8 引脚 SOP 封装的 RS485 设备。它在发射机和接收机上均有独立的使能。使用 RS485 时，发送器仅在从 UART 发送字符时使能。FT232BL 上的 TXDEN 引脚用于正确的目的，因此发送器使能连接到 TXDEN。接收器使能为低电平有效，因此在 USB 暂停模式下，连接到 PWREN# 引脚以禁用接收器。

RS485 是多点网络 - 即许多设备可以通过单根双线电缆连接相互通信。RS485 电缆需要在电缆的每一端终止。如果设备物理地定位在电缆的任一端，则提供链路以允许电缆被终止。

在这个例子中，由 FT232BL 发送的数据也被正在传输的设备接收。这是 RS485 的常见功能，需要应用软件从接收到的数据流中删除发送的数据。使用 FT232BL 可以完全以硬件方式完成此操作 - 只需修改原理图，使 FT232BL 的 RXD 与使用 HC32 或类似逻辑门的 TXDEN 的 SP481 接收器输出逻辑或。

图 12 双 LED 配置

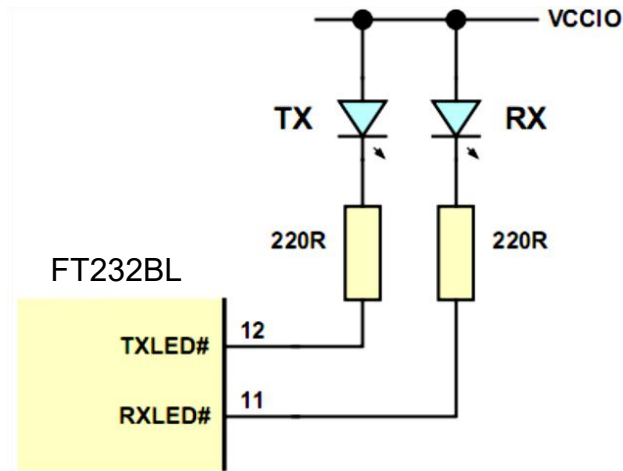
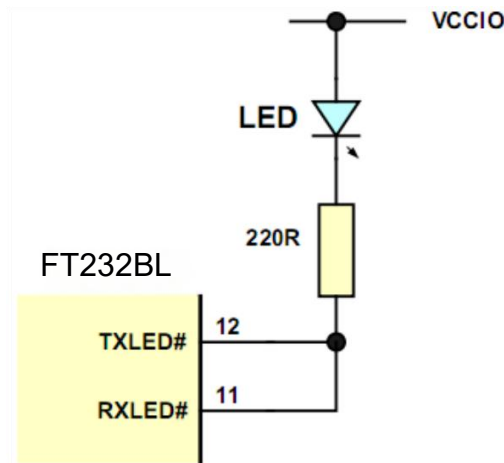


图 13 单个 LED 配置



FT232BL 具有两个专用于控制 LED 状态指示器的 IO 引脚，一个用于发送数据，另一个用于接收数据。当数据被发送/接收时，相应的引脚从三态驱动到低电平，以便提供数据传输的 LED 上的指示。使用数字一次性定时器，以便即使对最终用户也可以看到少量的数据 传输。图 12 显示了使用两个独立 LED 的配置 - 一个发送数据，另一个用于接收数据。在图 13 中，发射和接收 LED 指示灯被线对准在一起，以给出指示任何发射或接收数据活动的 单个 LED 指示器。

另一种可能性（这里未示出）是使用基于图 13 中的电路的 3 针共阳极三色 LED 来具 有单个 LED，其可以根据与接收的发射活动的比率显示各种颜色的活动 活动。注意，LED 连接到 VCCIO。

图 14 总线供电电路, 3.3V 逻辑驱动/电源电压

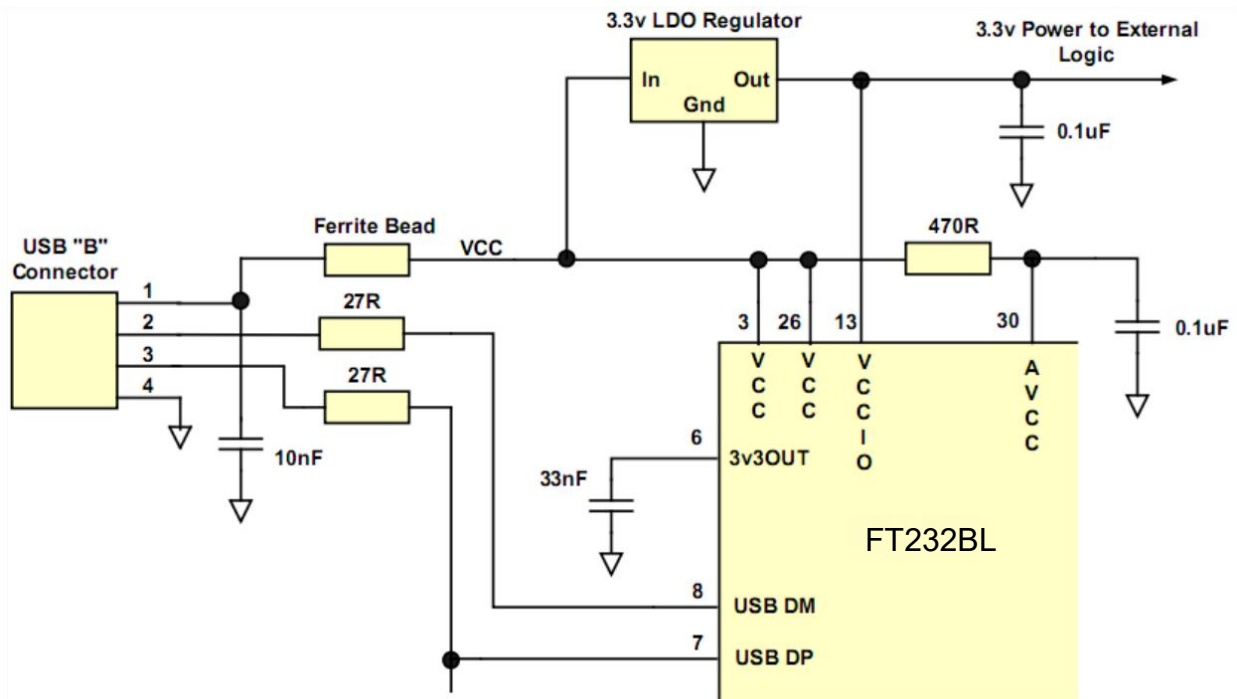


图 14 显示了如何配置 FT232BL 与 3.3V 逻辑器件的接口。在本示例中，使用离散的 3.3V 稳压器从 USB 电源提供 3.3V 逻辑。VCCIO 连接到 3.3V 稳压器的输出，这反过来将导致 UART 接口 IO 引脚以 3.3V 电平驱动。对于 USB 总线供电电路，在选择调节器时必须考虑一些注意事项 -

a) 稳压器必须能够以 4.35 伏的输入电压维持输出电压。必须选择低压降 (LDO) 调节器。

b) 调节器的静态电流必须较低，以便在 USB 暂停期间满足 USB 暂停总电流要求  $\leq 500\mu\text{A}$ 。满足这些要求的调节器系列的一个例子是 MicroChip (Telcom) TC55 系列。这些器件可以提供高达 250mA 的电流，静态电流低于 1uA。在某些情况下，只需要少量电流 ( $<5\text{mA}$ )，就可以使用 FT232BL 内建的稳压器提供 3.3v，不需要任何其他组件。在这种情况下，将 VCCIO 连接到 FT232BL 的 3v3OUT 引脚。

注意：应该强调的是：3.3V 逻辑接口总线供电设计中的 VCCIO 的 3.3V 电源应来自 USB 总线或 FT232BL 的 3V3OUT 引脚提供的 LDO，而不是任何其他来源。

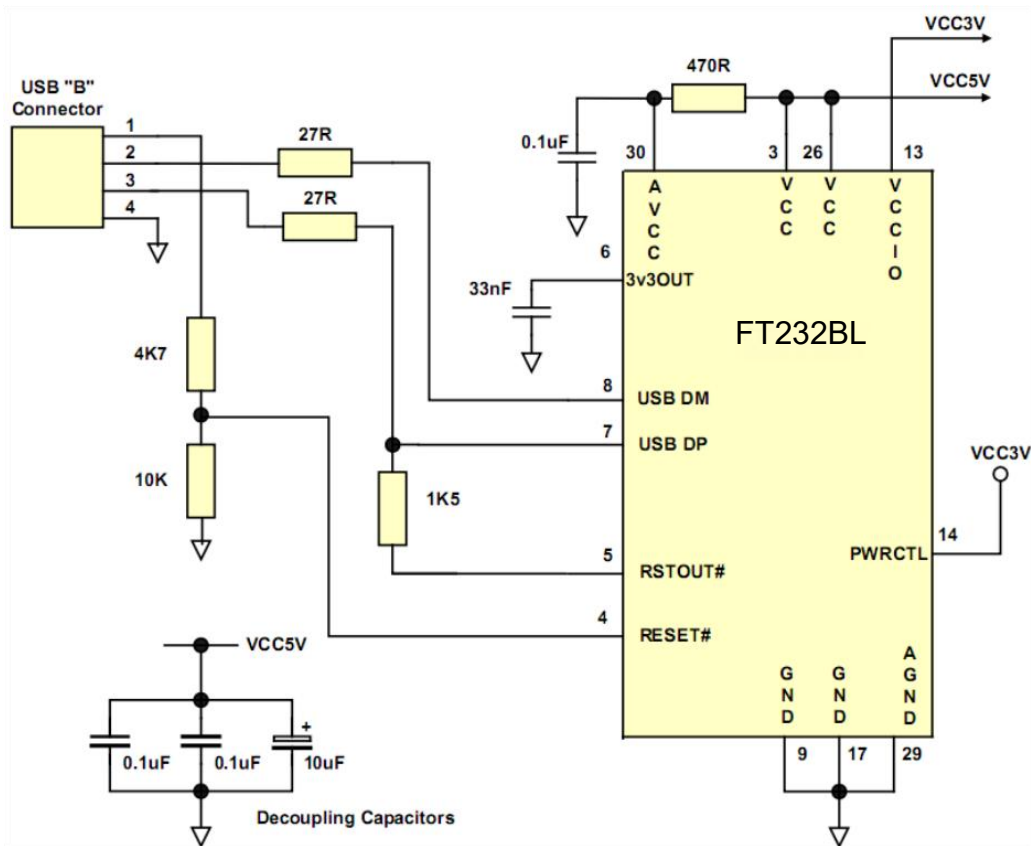
**图 15 具有 3.3V 逻辑驱动/电源电压的自供电电路**


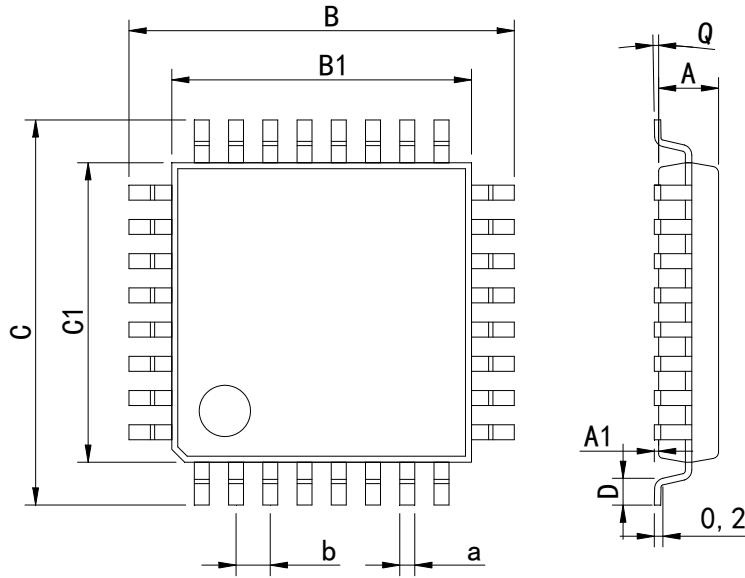
图 15 是具有 3.3V 接口的 USB 自供电设计的示例。在这种情况下，VCCIO 由外部 3.3V 电源提供，以使器件 IO 引脚以 3.3V 逻辑电平驱动，从而允许其连接到 3.3V MCU 或其他外部逻辑。USB 自供电的设计使用自己的电源，不会从 USB 总线吸取任何电源。在这种情况下，由于设备没有从 USB 端口获取电源，因此不需要特别注意满足 USB 暂停电流 (0.5 mA)。

与总线供电的 3.3V 接口设计一样，在某些情况下，只需要少量电流 (<5mA)，可以使用 FT232BL 内建的稳压器来提供 3.3V 的电压，无需任何其他组件。在这种情况下，将 VCCIO 连接到 FT232 的 3v3OUT 引脚。请注意，在这种情况下，PWRCTL 被上拉至 VCCIO，而不是 VCC。



封装外形尺寸

LQFP-32 7\*7



Dimensions In Millimeters(LQFP-32)										
Symbol:	A	A1	B	B1	C	C1	D	Q	a	b
Min:	1.30	0.05	8.80	6.90	8.80	6.90	0.45	0°	0.25	0.80
Max:	1.45	0.15	9.20	7.10	9.20	7.10	0.75	7°	0.45	BSC

## 修订历史

版本编号	日期	修改内容	页码
V1.0	2017-9	新修订	1-25
V1.1	2026-3	文档重新格式化	1-25

**重要声明：**

华冠半导体保留未经通知更改所提供的产品和服务。客户在订货前应获取最新的相关信息，并核实这些信息是否最新且完整的。华冠半导体对篡改过的文件不承担任何责任或义务。

客户在使用华冠半导体产品进行系统设计和整机制造时有责任遵守安全标准并采取安全措施。您将自行承担以下全部责任：针对您的应用选择合适的华冠半导体产品；设计、验证并测试您的应用；确保您的应用满足相应标准以及任何其他安全、安保或其他要求。以避免潜在风险可能导致人身伤害或财产损失情况的发生。

华冠半导体产品未获得生命支持、军事、航空航天等领域应用之许可，华冠产品既不预期也不保证用于此类系统或设备，任何故障或失效都可能导致人员伤亡或严重财产损失。此类应用被视为“不安全的使用”。不安全的使用包括但不限于：手术器械、原子能控制仪器、飞机或航天器仪器、车辆使用的动力、制动或安全系统的控制或操作、交通信号仪器等所有类型的安全装置，以及旨在支持或维持生命的其他应用。华冠半导体将不承担产品在这些领域“不安全的使用”造成的后果，使用方需自行评估及承担风险，因使用方超出该产品适用领域使用所产生的一切问题和责任、损失由使用方自行承担，与华冠半导体无关，使用方不得以本协议条款向华冠半导体主张任何赔偿责任，若因使用方这种“不安全的使用”行为造成第三方向华冠半导体提出索赔，使用方应赔偿由此给华冠半导体造成的损害和责任。

华冠半导体所生产半导体产品的性能提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，测试和其他质量控制技术的使用只限于华冠半导体的质量保证范围内。每个器件并非所有参数均需要检测。

华冠半导体的文档资料，授权您仅可将这些资源用于研发本资料所述的产品的应用。您无权使用任何其他华冠半导体知识产权或任何第三方知识产权。严禁对这些资源进行其他复制或展示，您应全额赔偿因在这些资源的使用中对华冠半导体及其代理造成的任何索赔、损害、成本、损失和债务，华冠半导体对此概不负责。