

1. 产品概述

1.1. 功能特点

- 内核：32 位 ARM® Cortex®-M3
 - 最高 72MHz 工作频率
 - 单周期乘法和硬件除法
- 存储器
 - 64K/128KBytes 的 Flash 存储器
 - 20KBytes 的 SRAM
- 工作环境
 - VDD 电压：2.0~3.6V
 - VDDA 电压：2.0~3.6V
 - 环境温度：-40~85/105℃
- 电源管理
 - 低功耗模式：睡眠、深度睡眠和掉电模式
 - 支持上电/掉电复位(POR/PDR)
- 时钟模块
 - 内部 8MHz RC 振荡器(HRC)
 - 内部 40kHz RC 振荡器(LRC)
 - 4~16MHz 晶体振荡器(HXT)
 - 32.768kHz 低速晶体振荡器(LXT)
 - 锁相环(PLL)，最高支持 72MHz
- 最多 80 个快速 I/O
 - 37/51/80 个 I/O 口，全部可以映射到 16 个外部中断向量；
 - 部分 I/O 能耐受 5V 电压输入
- 2 个 12 位 ADC，最高 1μs 转换时间
 - 支持 16 个外部输入通道
 - 双采样和保持功能
 - 内置温度传感器
 - 输入电压转换范围：0~VDDA
- 定时器
 - 3 个 16 位通用定时器，每个定时器有多达 4 个用于输入捕获/输出比较/PWM 或脉冲计数的通道和增量编码器输入
 - 1 个 16 位高级控制定时器，带死区控制、紧急刹车和用于电机控制的 PWM
 - 1 个独立看门狗定时器(FWDT)
 - 1 个窗看门狗定时器(WWDT)
 - 1 个系统时间定时器：24 位自减型计数器
- 7 通道 DMA 控制器
 - 支持的外设：SPIx, I2Cx, USARTx, TIMx, ADC
- 中断和事件
 - 多达 43 个可单独屏蔽的中断通道
 - 16 个优先级可选
 - 16 个外部中断线和 3 个内部中断线
- 通信接口
 - 3 个 USART
 - 2 个 I2C 接口，支持主/从模式
 - 2 个 SPI 接口，支持主/从模式
 - 1 个 CAN 接口（2.0B 主动）
 - 1 个 USB2.0 全速接口，支持设备模式
- CRC 发生/校验器
- 96 位芯片唯一识别码
- 串行调试接口(SWD)
- 封装
 - QFN48
 - LQFP48
 - LQFP64
 - LQFP100

1.2. 产品说明

CS32F103x8 和 CS32F103xB 系列 MCU 使用高性能的 ARM® Cortex®-M3 32 位的 RISC 内核，工作频率为 72MHz，嵌入 64/128KBytes flash 和 20KBytes SRAM。CS32F103x 系列包含 4 种不同封装，涵盖 48 脚到 100 脚等多款产品。芯片提供标准的通信接口（I2C、SPI、USART）、2 路 12Bit ADC、3 个 16 位通用定时器和 1 个电机控制高级定时器、1 个 USB 接口和 1 个 CAN 接口。

CS32F103x8 和 CS32F103xB 系列 MCU 产品供电电压为 2.0V 至 3.6V，-40℃至+85/105℃的工作温度范围，一系列的省电模式保证低功耗应用的要求。

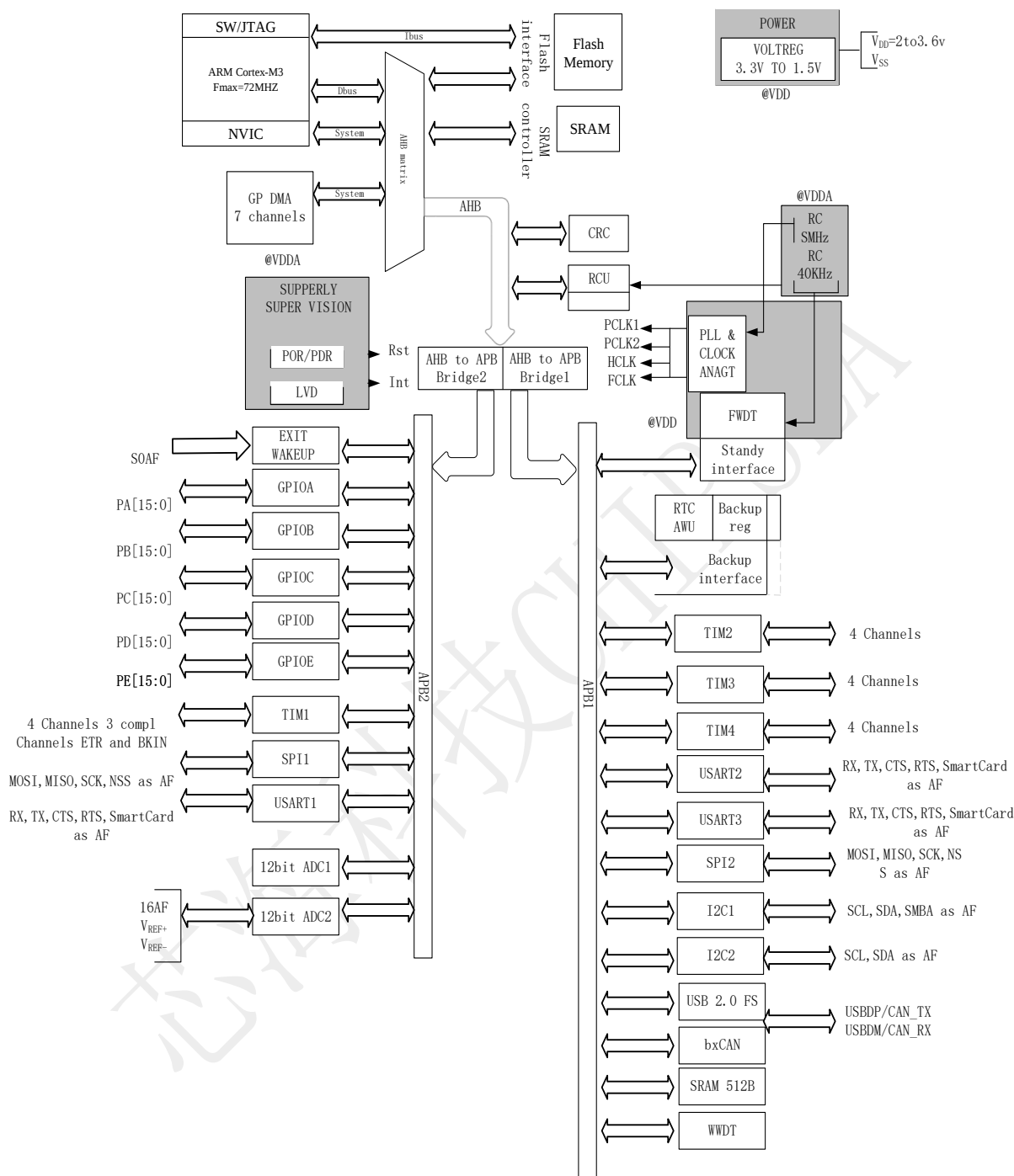
CS32F103x8 和 CS32F103xB 系列微控制器适用多种应用场景，例如电机驱动、医疗手持设备、PC 外设、GPS 平台及其它工业应用。

1.3. 器件一览

表 1 器件一览

产品型号 外围接口		CS32F103CBW6	CS32F103C8 T7	CS32F103C BT7	CS32F103RBT7	CS32F103VBT7
Flash-Kbytes		128	64	128	128	128
SRAM-KBytes		20	20		20	20
定时器	通用	3	3		3	3
	高级控制	1	1		1	1
	独立看门狗	1	1		1	1
	窗看门狗	1	1		1	1
	滴答定时器	1	1		1	1
通信接口	SPI	2	2		2	2
	I2C	2	2		2	2
	USART	3	3		3	3
	USB	1	1		1	1
	CAN	1	1		1	1
GPIO端口（通道数）		37	37		51	80
12位ADC（数量） （通道数）		2 10	2 10		2 16	2 16
内核工作频率		72MHz				
工作电压		2.0V~3.6V				
工作温度		环境温度：-40℃ ~+85℃ 结温度：-40℃ ~+105℃	环境温度：-40℃~+105℃ 结温度：-40℃~+125℃			
封装		QFN48	LQFP48		LQFP64	LQFP100

注：要获得最新的产品、封装和订购信息，请参见“订货信息”，或者访问芯海科技网站 www.chipsea.com。



目 录

1. 产品概述	1
1.1. 功能特点	1
1.2. 产品说明	1
1.3. 器件一览	2
1.4. 系统框图	3
目 录	4
版本历史	7
2. 引脚定义	8
2.1. LQFP100	8
2.2. LQFP64	9
2.3. LQFP48	9
2.4. QFN48	10
2.5. 引脚描述	10
3. 功能描述	15
3.1. ARM® CORTEX®-M3 核心	15
3.2. 内置 FLASH 存储器	15
3.3. CRC(循环冗余校验)计算单元	16
3.4. 内置 SRAM	16
3.5. 嵌套的向量式中断控制器(NVIC)	16
3.6. 外部中断/事件控制器(EXTI)	16
3.7. 时钟和启动	16
3.8. 自举模式	17
3.9. 供电方案	18
3.10. 供电监控器	18
3.11. 调压器	18
3.12. 低功耗模式	18
3.12.1. 睡眠模式	18
3.12.2. 深度睡眠模式	18
3.12.3. 掉电模式	错误!未定义书签。
3.13. DMA	18
3.14. RTC(实时时钟)和后备寄存器	19
3.15. 定时器和看门狗	19
3.15.1. 高级控制定时器(TIM1)	19
3.15.2. 通用定时器(TIMx)	19
3.15.3. 独立看门狗(FWDT)	19
3.15.4. 窗口看门狗(WWDT)	20
3.15.5. 系统时基定时器	20
3.16. I2C 总线	20
3.17. 通用同步/异步收发器(USART)	20
3.18. 串行外设接口(SPI)	21
3.19. 控制器区域网络(CAN)	21
3.20. 通用串行总线(USB)	21
3.21. 通用输入输出接口(GPIO)	21
3.22. ADC(模拟/数字转换器)	21
3.23. 温度传感器	21

3.24.串行单线 JTAG 调试口(SWJ-DP)	22
4. 电气特性	23
4.1.测试条件	23
4.1.1. 电流消耗测量	24
4.1.2. 电流消耗测量	24
4.2.绝对最大额定值	24
4.3.工作条件	26
4.3.1. 通用工作条件	26
4.3.2. 内嵌复位和电源控制模块特性	27
4.3.3. 内置的参照电压	28
4.3.4. 供电电流特性	28
4.3.5. 外部时钟源特性	31
4.3.6. 内部时钟源特性	35
4.3.7. PLL 特性	36
4.3.8. 储存器特性	36
4.3.9. 电气敏感性	36
4.3.10. I/O 端口特性	37
4.3.11. NRST 引脚特性	38
4.3.12. TIM 定时器特性	39
4.3.13. 通信接口	40
4.3.14. CAN(控制器局域网)接口	45
4.3.15. 12 位 ADC 特性	45
4.3.16. 温度传感器特性	48
5. 封装信息	50
5.1.LQFP100 (14MM*14MM*1.4MM, E=0.5MM)	50
5.2.LQFP64 (10MM*10MM*1.4MM, E=0.5MM)	51
5.3.LQFP48 (7MM*7MM*1.4MM, E=0.5MM)	52
5.4.QFN48 (5MM*5MM*0.85MM, E=0.35MM)	53
5.5.热特性	54
6. 产品命名规则	55
6.1.产品型号说明	55
6.2.产品丝印说明	56
7. 订货信息	57
8. REFLOW 参考曲线, 峰值温度	58
9. 包装说明	59
9.1.盘装产品	59
9.1.1. 包装数量	59
9.1.2. 包装规格清单	59
9.1.3. 器件方向	59
9.2.编带产品	59
9.2.1. 包装数量	59
9.2.2. 包装规格清单	59
9.2.3. 器件方向	60
9.3.标签说明	60
10. HSF 声明	62

10.1.RoHS	62
10.2.REACH.....	62
10.3.材料成分	62
10.3.1. CS32F103VBT7-LQFP100 材料成分	62
10.3.2. CS32F103RBT7-LQFP64 材料成分.....	63
10.3.3. CS32F103CBT7-LQFP48 材料成分.....	64
10.3.4. CS32F103C8T7-LQFP48 材料成分	65
11. 免责声明和版权公告	66

版本历史

历史版本	修改内容	时间
V1.0	首次发布版本	2022-06-28
V1.1	更新 4.3.11 电气敏感性指标	2022-08-25
V1.2	新增产品型号	2023-05-31

2. 引脚定义

2.1. LQFP100

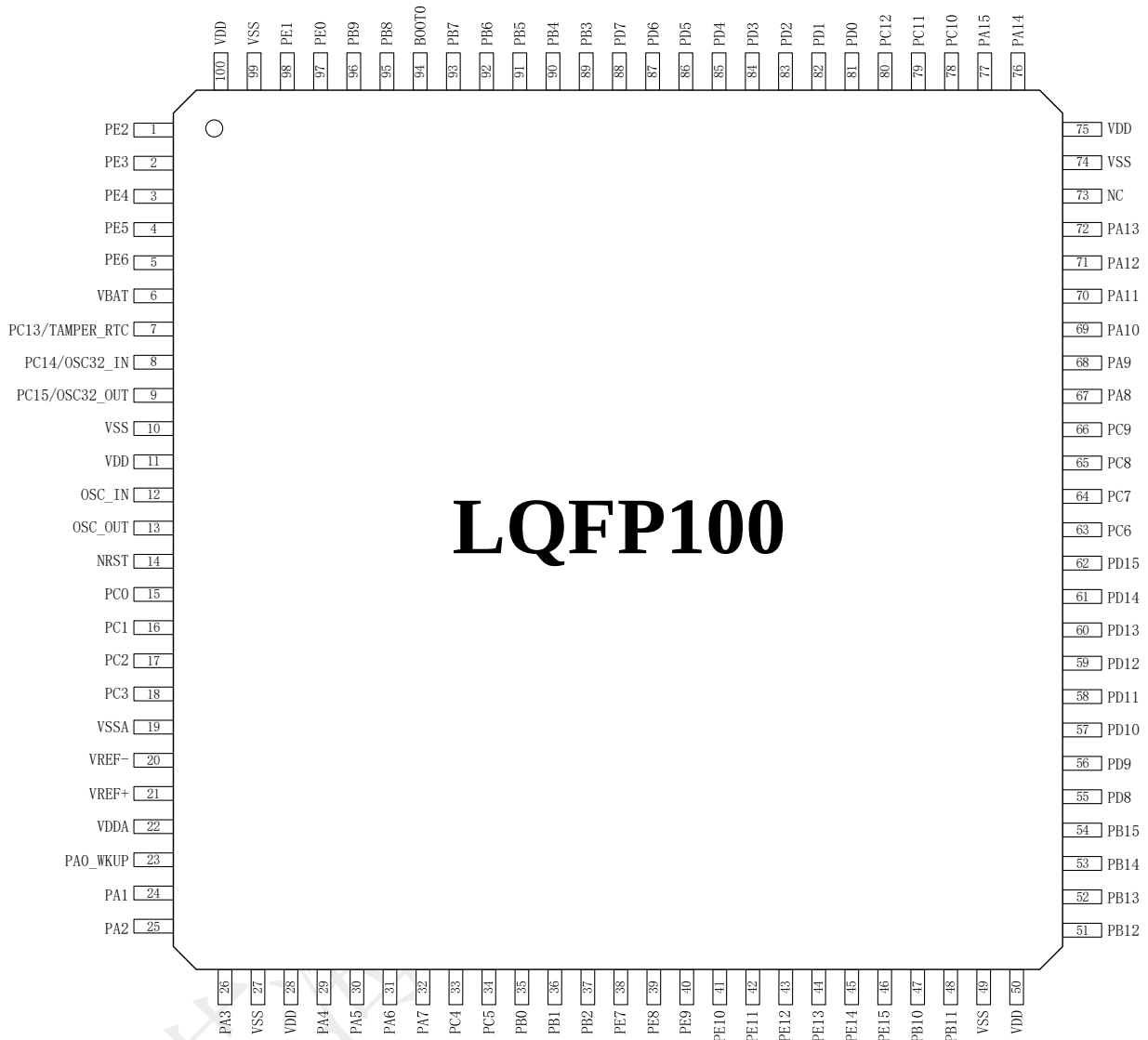


图2 LQFP100 封装引脚图（顶视图）

2.2. LQFP64

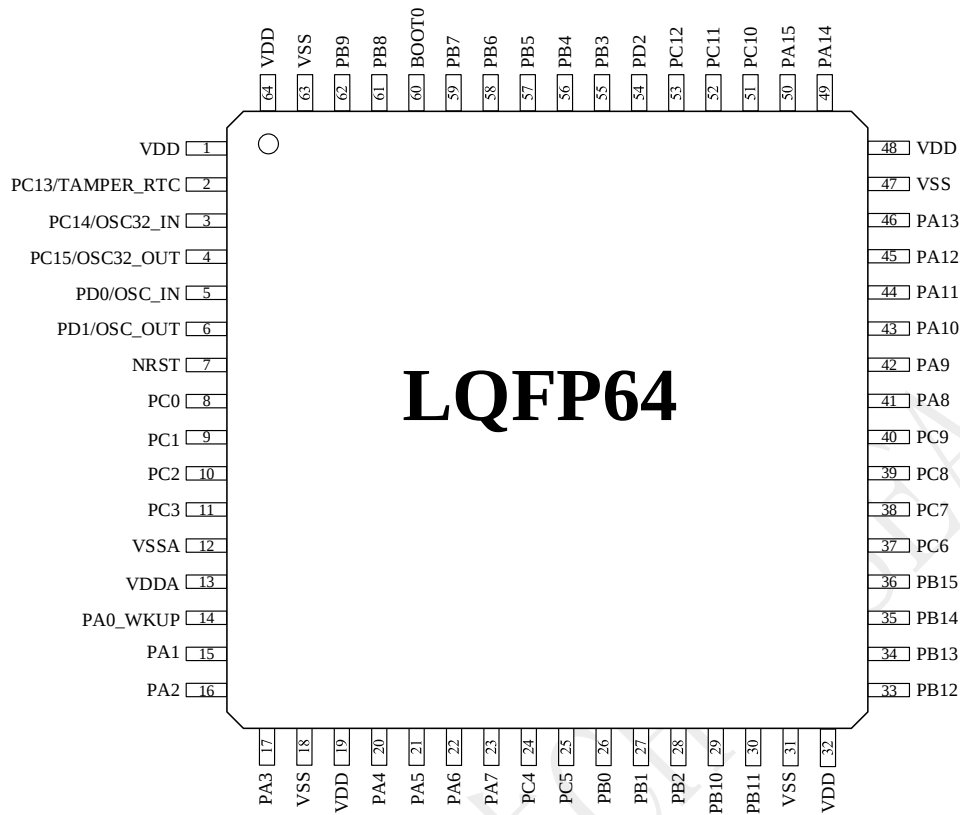


图 3 LQFP64 封装引脚图（顶视图）

2.3. LQFP48

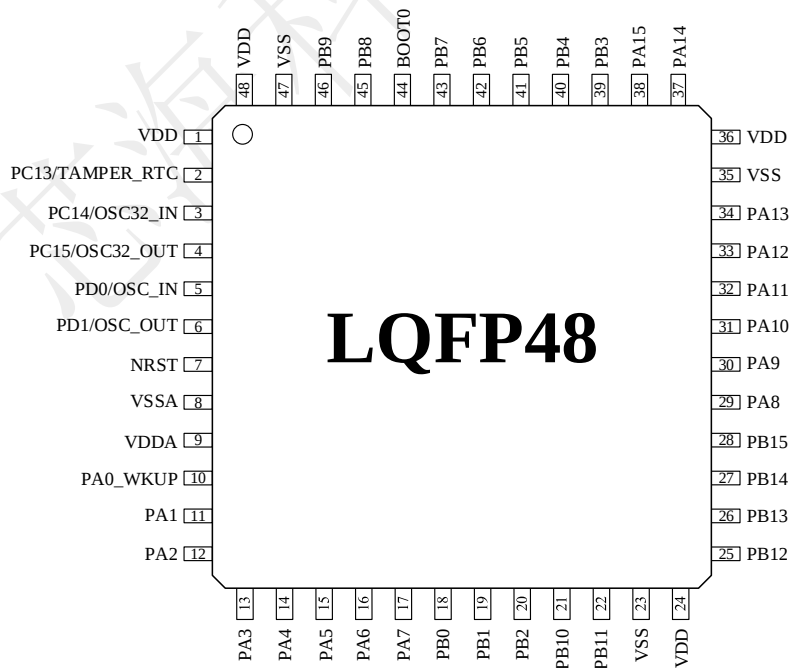


图 4 LQFP48 封装引脚图（顶视图）

2.4. QFN48

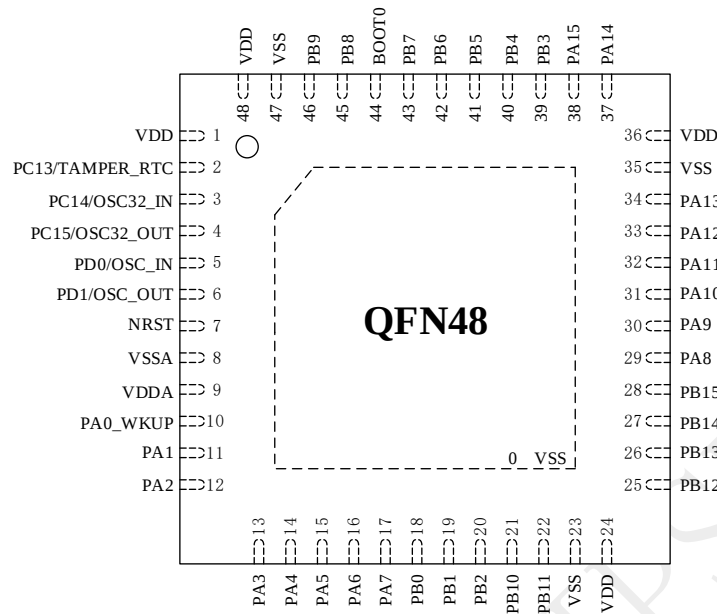


图 5 QFN48 封装引脚图（顶视图）

2.5. 引脚描述

表 2 CS32F103 引脚描述

引脚编号			引脚名称	类型	电平	复位功能	复用功能	特殊功能
QFN48	LQFP48	LQFP64						
-	-	1	PE2	I/O	FT ⁽²⁾	PE2	TRACECK	-
-	-	2	PE3	I/O	FT ⁽²⁾	PE3	TRACED0	-
-	-	3	PE4	I/O	FT ⁽²⁾	PE4	TRACED1	-
-	-	4	PE5	I/O	FT ⁽²⁾	PE5	TRACED2	-
-	-	5	PE6	I/O	FT ⁽²⁾	PE6	TRACED3	-
1	1	6	VDD	S ⁽¹⁾	-	VDD	-	-
2	2	7	PC13 ⁽³⁾ /TAMPER - RTC	I/O	-	PC13 ⁽³⁾	TAMPER-RTC	-
3	3	8	PC14 ⁽³⁾ / OSC32_IN	I/O	-	PC14 ⁽³⁾	OSC32_IN	-
4	4	9	PC15 ⁽³⁾ / OSC32_OUT	I/O	-	PC15 ⁽³⁾	OSC32_OUT	-
-	-	10	VSS	S ⁽¹⁾	-	VSS	-	-
-	-	11	VDD	S ⁽¹⁾	-	VDD	-	-
5	5	12	OSC_IN	I ⁽¹⁾	-	OSC_IN	-	PD0 ⁽⁷⁾
6	6	13	OSC_OUT	O ⁽¹⁾	-	OSC_OUT	-	PD1 ⁽⁷⁾

7	7	14	NRST	I/O	-	NRST	-	-
-	8	15	PC0	I/O	-	PC0	ADC12_IN10 ⁽⁷⁾	-
-	9	16	PC1	I/O	-	PC1	ADC12_IN11 ⁽⁷⁾	-
-	10	17	PC2	I/O	-	PC2	ADC12_IN12 ⁽⁷⁾	-
-	11	18	PC3	I/O	-	PC3	ADC12_IN13 ⁽⁷⁾	-
8	12	19	VSSA	S ⁽¹⁾	-	VSSA	-	-
	-	20	VREF-	S ⁽¹⁾	-	VREF-	-	-
9	-	21	VREF+	S ⁽¹⁾	-	VREF+	-	-
	13	22	VDDA	S ⁽¹⁾	-	VDDA	-	-
10	14	23	PA0-WKUP ⁽⁸⁾	I/O	-	PA0	WKUP/USART2_CTS/ ADC12_IN0 ⁽⁷⁾ / TIM2_CH1_ETR	-
11	15	24	PA1	I/O	-	PA1	USART2_RTS/ ADC12_IN1 ⁽⁷⁾ / TIM2_CH2	-
12	16	25	PA2	I/O	-	PA2	USART2_TX/AD C12_IN2 ⁽⁷⁾ /TIM2_CH3	-
13	17	26	PA3	I/O	-	PA3	USART2_RX/AD C12_IN3 ⁽⁷⁾ /TIM2_CH4	-
-	18	27	VSS	S ⁽¹⁾		VSS	-	-
-	19	28	VDD	S ⁽¹⁾		VDD	-	-
14	20	29	PA4	I/O		PA4	SPI1_NSS/ USART2_CK/ ADC12_IN4 ⁽⁷⁾	-
15	21	30	PA5	I/O		PA5	SPI1_SCK/ ADC12_IN5 ⁽⁷⁾	-
16	22	31	PA6	I/O		PA6	SPI1_MISO/ ADC12_IN6 ⁽⁷⁾ / TIM3_CH1	TIM1_BKIN
17	23	32	PA7	I/O		PA7	SPI1_MOSI/ ADC12_IN7 ⁽⁷⁾ / TIM3_CH2	TIM1_CHIN
-	24	33	PC4	I/O		PC4	ADC12_IN14 ⁽⁷⁾	
-	25	34	PC5	I/O		PC5	ADC12_IN15 ⁽⁷⁾	
18	26	35	PB0	I/O		PB0	ADC12_IN8 ⁽⁷⁾ / TIM3_CH3	TIM1_CH2N
19	27	36	PB1	I/O		PB1	ADC12_IN9 ⁽⁷⁾ / TIM3_CH4	TIM1_CH3N
20	28	37	PB2	I/O	FT ⁽²⁾	PB2/ BOOT1	-	-
-	-	38	PE7	I/O	FT ⁽²⁾	PE7	-	TIM1_ETR
-	-	39	PE8	I/O	FT ⁽²⁾	PE8	-	TIM1_CH1N
-	-	40	PE9	I/O	FT ⁽²⁾	PE9	-	TIM1_CH1
-	-	41	PE10	I/O	FT ⁽²⁾	PE10	-	TIM1_CH2N
-	-	42	PE11	I/O	FT ⁽²⁾	PE11	-	TIM1_CH2
-	-	43	PE12	I/O	FT ⁽²⁾	PE12	-	TIM1_CH3N
-	-	44	PE13	I/O	FT ⁽²⁾	PE13	-	TIM1_CH3
-	-	45	PE14	I/O	FT ⁽²⁾	PE14	-	TIM1_CH4

-	-	46	PE15	I/O	FT ⁽²⁾	PE15	-	TIM1_BKIN
21	29	47	PB10	I/O	FT ⁽²⁾	PB10	I2C2_SCL/ USART3_TX	TIM2_CH3
22	30	48	PB11	I/O	FT ⁽²⁾	PB11	I2C2_SDA/ USART3_RX	TIM2_CH4
23	31	49	VSS	S ⁽¹⁾		VSS	-	-
24	32	50	VDD	S ⁽¹⁾		VDD	-	-
25	33	51	PB12	I/O	FT ⁽²⁾	PB12	SPI2_NSS/ I2C2_SMBA/ USART3_CK/ TIM1_BKIN	-
26	34	52	PB13	I/O	FT ⁽²⁾	PB13	SPI2_SCK/ USART3_CTS/ TIM1_CH1N	-
27	35	53	PB14	I/O	FT ⁽²⁾	PB14	SPI2_MISO/ USART3_RTS/ TIM1_CH2N	-
28	36	54	PB15	I/O	FT ⁽²⁾	PB15	SPI2_MOSI/ TIM1_CH3N	-
-	-	55	PD8	I/O	FT ⁽²⁾	PD8	-	USART3_TX
-	-	56	PD9	I/O	FT ⁽²⁾	PD9	-	USART3_RX
-	-	57	PD10	I/O	FT ⁽²⁾	PD10	-	USART3_CK
-	-	58	PD11	I/O	FT ⁽²⁾	PD11	-	USART3_CTS
-	-	59	PD12	I/O	FT ⁽²⁾	PD12	-	TIM4_CH1/ USART3_RTS
-	-	60	PD13	I/O	FT ⁽²⁾	PD13	-	TIM4_CH2
-	-	61	PD14	I/O	FT ⁽²⁾	PD14	-	TIM4_CH3
-	-	62	PD15	I/O	FT ⁽²⁾	PD15	-	TIM4_CH4
-	37	63	PC6	I/O	FT ⁽²⁾	PC6	-	TIM3_CH1
-	38	64	PC7	I/O	FT ⁽²⁾	PC7	-	TIM3_CH2
-	39	65	PC8	I/O	FT ⁽²⁾	PC8	-	TIM3_CH3
-	40	66	PC9	I/O	FT ⁽²⁾	PC9	-	TIM3_CH4
29	41	67	PA8	I/O	FT ⁽²⁾	PA8	USART1_CK/ TIM1_CH1/MCO	-
30	42	68	PA9	I/O	FT ⁽²⁾	PA9	USART1_TX/ TIM1_CH2	-
31	43	69	PA10	I/O	FT ⁽²⁾	PA10	USART1_RX/ TIM1_CH3	-
32	44	70	PA11	I/O	FT ⁽²⁾	PA11	USART1_CTS/ USBDM/CANRX /TIM1_CH4	-
33	45	71	PA12	I/O	FT ⁽²⁾	PA12	USART1_RTS/ USBDP/CANTX/ TIM1_ETR	-
34	46	72	PA13	I/O	FT ⁽²⁾	JTMS/SWD IO		PA13
-	-	73	NC					
35	47	74	VSS	S ⁽¹⁾		VSS	-	-
36	48	75	VDD	S ⁽¹⁾		VDD	-	-
37	49	76	PA14	I/O	FT ⁽²⁾	JTCK/ SWCLK	-	PA14
38	50	77	PA15 ⁽⁸⁾	I/O	FT ⁽²⁾	JTDI	-	TIM2_CH1_ET R PA15/SPI1_NSS

-	51	78	PC10	I/O	FT ⁽²⁾	PC10	-	USART3_TX
-	52	79	PC11	I/O	FT ⁽²⁾	PC11	-	USART3_RX
-	53	80	PC12	I/O	FT ⁽²⁾	PC12	-	USART3_CK
-	-	81	PD0 ⁽⁶⁾	I/O	FT ⁽²⁾	OSC_IN ⁽⁶⁾	-	CANRX
-	-	82	PD1 ⁽⁶⁾	I/O	FT ⁽²⁾	OSC_OUT ⁽⁶⁾	-	CANTX
-	54	83	PD2	I/O	FT ⁽²⁾	PD2	TIM3_ETR	-
-	-	84	PD3	I/O	FT ⁽²⁾	PD3	-	USART2_CTS
-	-	85	PD4	I/O	FT ⁽²⁾	PD4	-	USART2_RTS
-	-	86	PD5	I/O	FT ⁽²⁾	PD5	-	USART2_TX
-	-	87	PD6	I/O	FT ⁽²⁾	PD6	-	USART2_RX
-	-	88	PD7	I/O	FT ⁽²⁾	PD7	-	USART2_CK
39	55	89	PB3	I/O	FT ⁽²⁾	JTDO	-	PB3/TRACESW O/ TIM2_CH2/ SPI1_SCK
40	56	90	PB4	I/O	FT ⁽²⁾	NJTRST	-	PB4/TIM3_CH1 / SPI1_MISO
41	57	91	PB5	I/O		PB5	I2C1_SMBA	TIM3_CH2/ SPI1_MOSI
42	58	92	PB6	I/O	FT ⁽²⁾	PB6	I2C1_SCL/ TIM4_CH1	USART1_TX
43	59	93	PB7	I/O	FT ⁽²⁾	PB7	I2C1_SDA/ TIM4_CH2	USART1_RX
44	60	94	BOOT0	I ⁽¹⁾		BOOT0		
45	61	95	PB8	I/O	FT ⁽²⁾	PB8	TIM4_CH3	I2C1_SCL/ CANRX
46	62	96	P89	I/O	FT ⁽²⁾	P89	TIM4_CH4	I2C1_SDA/ CANTX
-	-	97	PE0	I/O	FT ⁽²⁾	PE0	TIM4_ETR	-
-	-	98	PE1	I/O	FT ⁽²⁾	PE1	-	-
47	63	99	VSS	S ⁽¹⁾	-	VSS	-	-
48	64	100	VDD	S ⁽¹⁾	-	VDD	-	-

(1) I=输入, O=输出, S=电源

(2) FT: 5V 耐压

(3) PC13, PC14 和 PC15 引脚通过电源开关进行供电, 而这个电源开关只能吸收有限的电流(3mA)。因此这三个引脚作为输出引脚时有以下限制: 在同一时间只有一个引脚能作为输出, 作为输出脚时只能工作在 2MHz 模式下, 最大驱动负载为 30pF, 并且不能作为电流源(如驱动 LED)。

(4) 这些引脚在备份区域第一次上电时处于主功能状态下, 之后即使复位, 这些引脚的状态由备份区域寄存器控制(这些寄存器不会被主复位系统所复位)。关于如何控制这些 IO 口的具体信息, 请参考 CS32F103 用户手册的**不掉电区域和不掉电寄存器**的相关章节。

(5) 此类复用功能能够由软件配置到其他引脚上(如果相应的封装型号有此引脚), 详细信息请参考 CS32F103 用户手册的复用功能 I/O 章节和调试设置章节。

(6) LQFP48、QFN48 和 LQFP64 封装的引脚 5 和引脚 6, 在芯片复位后默认配置为 OSC_IN 和 OSC_OUT 功能脚。软件可以重新设置这两个引脚为 PD0 和 PD1 功能。但对于 LQFP100 封装, 由于 PD0 和 PD1

为固有的功能引脚，因此没有必要再由软件进行重映像设置。更多详细信息请参考 CS32F103 用户手册的复用功能 I/O 章节和调试设置章节。在输出模式下，PD0 和 PD1 只能配置为 50MHz 输出模式。

- (7) 表中的引脚名称标注中出现的 ADC12_INx(x 表示 0~15 之间的整数)，表示这个引脚可以是 ADC1_INx 或 ADC2_INx。例如：ADC12_IN9 表示这个引脚可以配置为 ADC1_IN9，也可以配置为 ADC2_IN9。
- (8) 表中的引脚 PA0 对应的复用功能中的 TIM2_CH1_ETR，表示可以配置该功能为 TIM2_TI1 或 TIM2_ETR。值得注意的是，PA15 默认是 JTAG 引脚，需要关闭 SWJ 功能才可以当成普通 IO 去使用。

3. 功能描述

3.1. ARM® Cortex®-M3 核心

ARM的Cortex®-M3处理器是一种ARM 32位处理器,它为实现MCU的需要提供了低成本的平台,能够有效的缩减的引脚数目和降低的系统功耗,同时提供卓越的计算性能和先进的中断系统响应。

ARM的Cortex®-M3是32位的RISC处理器,提供额外的代码效率,在通常8和16位系统的存储空间上发挥了ARM内核的高性能。

CS32F103x8和CS32F103xB标准型系列拥有内置的ARM核心,因此它与所有的ARM工具和软件兼容。图1是该系列产品的功能框图

3.2. 内置 Flash 存储器

64K或128KBytes的内置Flash存储器,用于存放程序和数据。

表 3 存储器映射表

存储器		起始地址	大小
Flash、系统存储区或 SRAM, 由启动选项配置		0x0000 0000	64K 或 128K Bytes
Flash 程序存储区		0x0800 0000	64K 或 128K Bytes
系统存储区		0x1FFF F000	2K Bytes
选项字节		0x1FFF F800	16bytes
SRAM		0x2000 0000	20K Bytes
外设模块	Reserved	0x4002 3400	
	CRC	0x4002 3000	1K Bytes
	Reserved	0x4002 2400	3K Bytes
	Flash Interface	0x4002 2000	1K Bytes
	Reserved	0x4002 1400	3K Bytes
	RCU	0x4002 1000	1K Bytes
	Reserved	0x4002 0400	3K Bytes
	DMA	0x4002 0000	1K Bytes
	Reserved	0x4001 3C00	49K Bytes
	USART1	0x4001 3800	1K Bytes
	Reserved	0x4001 3400	1K Bytes
	SPI1	0x4001 3000	1K Bytes
	TIM1	0x4001 2C00	1K Bytes
	ADC2	0x4001 2800	1K Bytes
	ADC1	0x4001 2400	1K Bytes
	Reserved	0x4001 1C00	2K Bytes
	PORTE	0x4001 1800	1K Bytes
	PORTD	0x4001 1400	1K Bytes
	PORTC	0x4001 1000	1K Bytes
	PORTB	0x4001 0C00	1K Bytes
	PORTA	0x4001 0800	1K Bytes
	EXTI	0x4001 0400	1K Bytes
	AFIO	0x4001 0000	1K Bytes
	Reserved	0x4000 7400	36K Bytes
	PMU	0x4000 7000	1K Bytes
	BKP	0x4000 6C00	1K Bytes
	Reserved	0x4000 6800	3K Bytes
	bxCAN	0x4000 6400	1K Bytes
	USB/CAN shared 512 byte SRAM	0x4000 6000	1K Bytes
	USB registers	0x4000 5C00	1K Bytes
	I2C2	0x4000 5800	1K Bytes
	I2C1	0x4000 5400	1K Bytes

Reserved	0x4000 4C00	2K Bytes
USART3	0x4000 4800	1K Bytes
USART2	0x4000 4400	1K Bytes
Reserved	0x4000 3C00	2K Bytes
SPI2	0x4000 3800	1K Bytes
Reserved	0x4000 3400	1K Bytes
FWDT	0x4000 3000	1K Bytes
WWDT	0x4000 2C00	1K Bytes
RTC	0x4000 2800	1K Bytes
Reserved	0x4000 0C00	7K Bytes
TIM4	0x4000 0800	1K Bytes
TIM3	0x4000 0400	1K Bytes
TIM2	0x4000 0000	1K Bytes

3.3. CRC(循环冗余校验)计算单元

CRC计算单元使用一个固定的多项式发生器，从一个32位的数据字产生一个CRC码。在众多的应用中，基于CRC的技术被用于验证数据传输或存储的一致性。在EN/IEC60335-1标准的范围内，它提供了一种检测Flash存储器错误的手段，CRC计算单元可以用于实时地计算软件的签名，并与在链接和生成该软件时产生的签名对比。

3.4. 内置 SRAM

20KBytes的内置SRAM，CPU能以0等待周期访问(读/写)。

3.5. 嵌套的向量式中断控制器(NVIC)

CS32F103x8和CS32F103xB产品内置嵌套的向量式中断控制器，能够处理多达43个可屏蔽中断通道(不包括16个Cortex®-M3的中断线)和16个优先级。

- 紧耦合的 NVIC 能够达到低延迟的中断响应处理
- 中断向量入口地址直接进入内核
- 紧耦合的 NVIC 接口
- 允许中断的早期处理
- 处理晚到的较高优先级中断
- 支持中断尾部链接功能
- 自动保存处理器状态
- 中断返回时自动恢复，无需额外指令开销
- 该模块以最小的中断延迟提供灵活的中断管理功能。

3.6. 外部中断/事件控制器(EXTI)

外部中断/事件控制器包含19个边沿检测器，用于产生中断/事件请求。每个中断线都可以独立地配置它的触发事件(上升沿或下降沿或双边沿)，并能够单独地被屏蔽；由一个挂起的寄存器维持所有中断请求的状态。EXTI可以检测到宽度小于内部APB2的时钟周期的脉冲。多达80个通用I/O口连接到16个外部中断线。

3.7. 时钟和启动

系统时钟的选择是在启动时进行，复位时内部8MHz的RC振荡器被选为默认的CPU时钟，随后可以选择外部且具失效监控的4~16MHz时钟；当检测到外部时钟失效时，它将被隔离，系统将自动地切换到内部的RC振荡器，如果使能中断，软件可以接收到相应的中断。同样，在需要时可以采取对PLL时钟完全的中断管理(如当一个期间使用的外部振荡器失效时)。

多个预分频器用于配置AHB的频率、高速APB(APB2)和低速APB(APB1)区域。AHB和高速APB的最高频率是72MHz，低速APB的最高频率为36MHz。参考如下图所示的芯片时钟树。

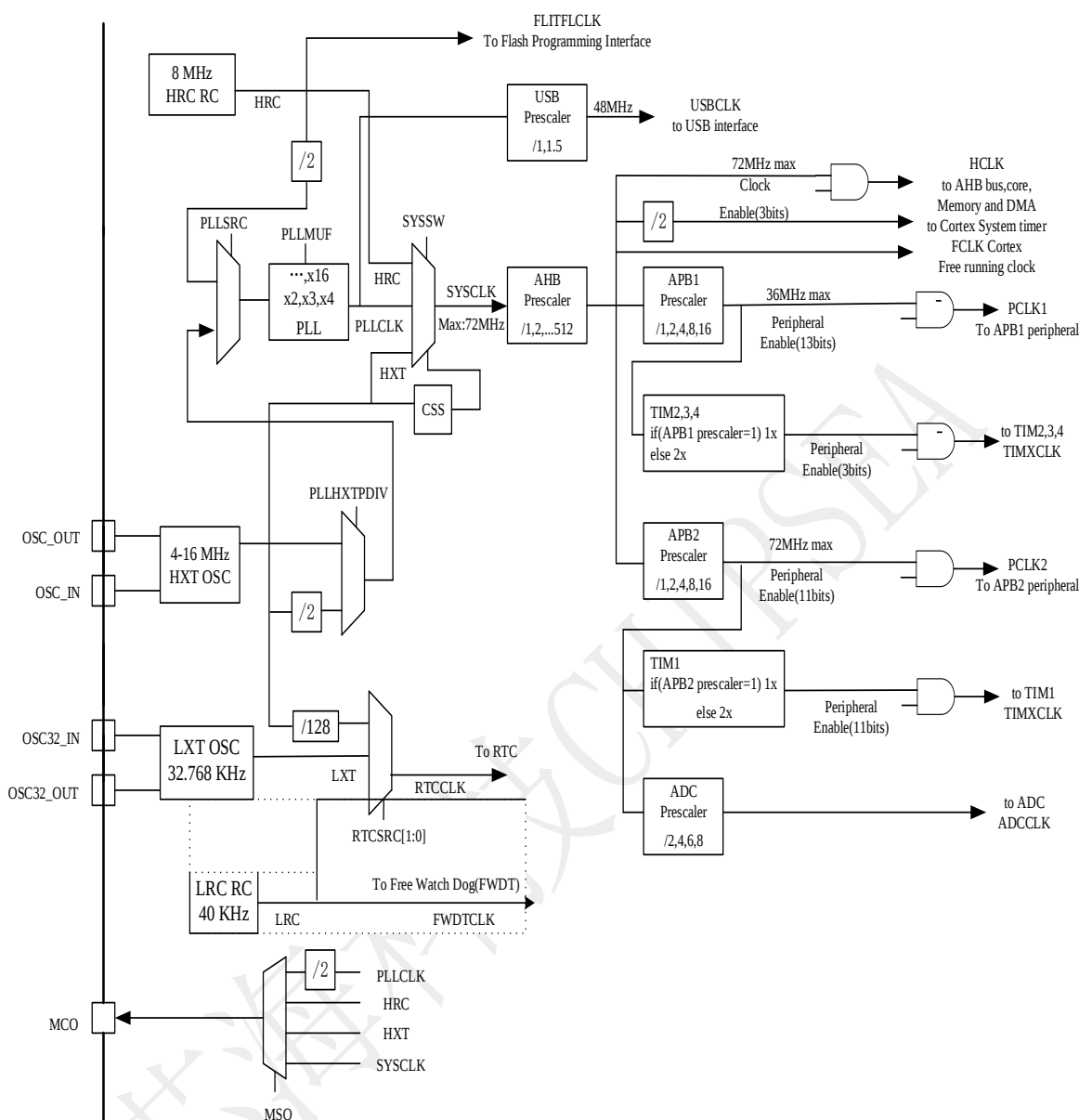


图 6 芯片时钟树

- (1) 当 HRC 作为 PLL 时钟的输入时，最高的系统时钟频率只能达到 64MHz。
- (2) 当使用 USB 功能时，必须同时使用 HXT 和 PLL，CPU 的频率必须是 48MHz 或 72MHz。
- (3) 当需要 ADC 采样时间为 1 μ s 时，APB2 必须设置在 14MHz、28MHz 或 56MHz。

3.8. 自举模式

在启动时，通过自举引脚可以选择三种自举模式中的一种：

- 从程序 Flash 存储器自举
- 从系统存储器自举
- 从内部 SRAM 自举

自举加载程序(Bootloader)存放于系统存储器中，可以通过USART1对Flash重新编程。

3.9. 供电方案

- VDD=2.0~3.6V: VDD 引脚为 I/O 引脚和内部调压器供电。
- VSSA, VDDA=2.0~3.6V: 为 ADC、复位模块、RC 振荡器和 PLL 的模拟部分提供供电。使用 ADC 时, VDDA 不得小于 2.4V。VDDA 和 VSSA 必须分别连接到 VDD 和 VSS。

关于如何连接电源引脚的详细信息, 参见图7供电方案。

3.10. 供电监控器

本产品内部集成了上电复位(POR)/掉电复位(PDR)电路, 该电路始终处于工作状态, 保证系统在供电超过2V时工作; 当VDD低于设定的阈值(VPOR/PDR)时, 置器件于复位状态, 而不必使用外部复位电路。器件中还有一个可编程电压监测器(LVD), 它监视VDD/VDDA供电并与阈值VLVD比较, 当VDD低于或高于阈值VLVD时产生中断, 中断处理程序可以发出警告信息或将微控制器转入安全模式。LVD功能需要通过程序开启。关于VPOR/PDR和VLVD的值参考表12。

3.11. 调压器

调压器有三个操作模式: 主模式(MR)、低功耗模式(LPR)和关断模式

- 主模式(MR)用于正常的运行操作
- 低功耗模式(LPR)用于 CPU 的深度睡眠模式
- 关断模式用于 CPU 的掉电模式: 调压器的输出为高阻状态, 内核电路的供电切断, 调压器处于零消耗状态(但寄存器和 SRAM 的内容将丢失)

该调压器在复位后始终处于工作状态, 在掉电模式下关闭处于高阻输出。

3.12. 低功耗模式

CS32F103x8和CS32F103xB产品支持三种低功耗模式, 可以在要求低功耗、短启动时间和多种唤醒事件之间达到最佳的平衡。

3.12.1. 睡眠模式

在睡眠模式, 只有MCU停止, 所有外设处于工作状态并可在发生中断/事件时唤醒MCU。

3.12.2. 深度睡眠模式

在保持SRAM和寄存器内容不丢失的情况下, 深度睡眠模式可以达到最低的电能消耗。在深度睡眠模式下, 停止所有内部1.5V部分的供电, PLL、HRC的RC振荡器和HXT晶体振荡器被关闭, 调压器可以被置于普通模式或低功耗模式。

可以通过任一配置成EXTI的信号把微控制器从深度睡眠模式中唤醒, EXTI信号可以是16个外部I/O口之一、LVD的输出、RTC闹钟或USB的唤醒信号。

3.12.3. 掉电模式

在掉电模式下可以达到最低的电能消耗。内部的电压调压器被关闭, 因此所有内部1.5V部分的供电被切断; PLL、HRC的RC振荡器和HXT晶体振荡器也被关闭; 进入掉电模式后, SRAM和寄存器的内容将消失, 但后备寄存器的内容仍然保留, 待机电路仍工作。

从掉电模式退出的条件是: NRST上的外部复位信号、FWDt复位、WKUP引脚上的一个上升边沿或RTC的闹钟发生时。

注: 在进入停机或掉电模式时, RTC、FWDt 及其相应的时钟不会被停止。

3.13. DMA

灵活的7路通用DMA可以管理存储器到存储器、设备到存储器和存储器到设备的数据传输; DMA控制器支持环形缓冲区的管理, 避免了控制器传输到达缓冲区结尾时所产生的中断。

每个通道都有专门的硬件DMA请求逻辑, 同时可以由软件触发每个通道; 传输的长度、传输的源地址和目标地址都可以通过软件单独设置。

DMA可以用于主要的外设: SPI、I2C、USART以及通用、高级控制定时器TIMx和ADC。

3.14. RTC(实时时钟)和后备寄存器

备寄存器保存20个字节的用户应用数据。RTC和后备寄存器不会被系统或电源复位源复位；当从掉电模式唤醒时，也不会被复位。

实时时钟具有一组连续运行的计数器，可以通过适当的软件提供日历时钟功能，还具有闹钟中断和阶段性中断功能。RTC的驱动时钟可以是一个使用外部晶体的32.768kHz的振荡器、内部低功耗RC振荡器或高速的外部时钟经128分频。内部低功耗RC振荡器的典型频率为40kHz。为补偿天然晶体的偏差，可以通过输出一个512Hz的信号对RTC的时钟进行校准。RTC具有一个32位的可编程计数器，使用比较寄存器可以进行长时间的测量。有一个20位的预分频器用于时基时钟，默认情况下时钟为32.768kHz时，它将产生一个1秒长的时间基准。

3.15. 定时器和看门狗

CS32F103x8和CS32F103xB标准型系列产品包含1个高级控制定时器、3个通用定时器，以及2个看门狗定时器和1个系统定时器。

下表比较了高级控制定时器、普通定时器和基本定时器的功能：

表 4 定时器功能比较

定时器	计数器分辨率	计数器类型	预分频系数	产生DMA请求	捕获/比较通道	互补输出
TIM1	16位	递增计数 /递减计数	1~65536之间的 任意整数	可以	4	有
TIM2 TIM3 TIM4	16位	递增计数 /递减计数	1~65536之间的 任意整数	可以	4	没有

3.15.1. 高级控制定时器(TIM1)

高级控制定时器(TIM1)可以被看成是分配到6个通道的三相PWM发生器，它具有带死区插入的互补PWM输出，还可以被当成完整的通用定时器。4个独立的通道可以用于：

- 输入捕获
- 输出比较
- 产生 PWM(边缘或中心对齐模式)
- 单脉冲输出

配置为16位标准定时器时，它与TIMx定时器具有相同的功能。配置为16位PWM发生器时，它具有全调制能力(0~100%)。

在调试模式下，计数器可以被冻结，同时PWM输出被禁止，从而切断由这些输出所控制的开关。很多功能都与标准的TIM定时器相同，内部结构也相同，因此高级控制定时器可以通过定时器链接功能与TIM定时器协同操作，提供同步或事件链接功能。

3.15.2. 通用定时器(TIMx)

CS32F103x8和CS32F103xB标准型产品中，内置了多达3个可同步运行的标准定时器(TIM2、TIM3和TIM4)。每个定时器都有一个16位的自动加载递增/递减计数器、一个16位的预分频器和4个独立的通道，每个通道都可用于输入捕获、输出比较、PWM和单脉冲模式输出，在最大的封装配置中可提供最多12个输入捕获、输出比较或PWM通道。

它们还能通过定时器链接功能与高级控制定时器共同工作，提供同步或事件链接功能。在调试模式下，计数器可以被冻结。任一标准定时器都能用于产生PWM输出。每个定时器都有独立的DMA请求机制。这些定时器还能够处理增量编码器的信号，也能处理1至3个霍尔传感器的数字输出。

3.15.3. 独立看门狗(FWDT)

独立看门狗是基于一个12位的递减计数器和一个8位的预分频器，它由一个内部独立的40kHz的RC振荡器提供时钟；因为这个RC振荡器独立于主时钟，所以它可运行于深度睡眠模式和掉电模式。它可以被当成看门狗用于在发生问题时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。在调试模式下，计数器可以被冻结。

3.15.4. 窗口看门狗(WWDI)

窗口看门狗含有一个7位的可配置为自由运行的递减计数器。当作用于看门狗时，可在发生问题时复位整个系统。它由主时钟驱动，具有早期预警中断功能；在调试模式下，计数器可以被冻结。

3.15.5. 系统时基定时器

这个定时器可专用于实时操作系统，也可当成一个标准的递减计数器。它具有下述特性：

- 24 位的递减计数器
- 自动重加载功能
- 当计数器为 0 时能产生一个可屏蔽系统中断
- 可编程时钟源

3.16. I2C 总线

多达2个I2C总线接口，能够工作于多主模式或从模式，支持标准模式和快速模式。I2C接口支持7位或10位寻址，7位从模式支持双从地址寻址。内置硬件CRC发生器/校验器。该接口可使用DMA操作并支持SMBus总线2.0版/PMBus总线。

表 5 I2Cx 功能表

I2C特性/模式	I2C1	I2C2
7位地址模式	√	√
10位地址模式	√	√
标准模式	√	√
快速模式	√	√
超快速模式	-	-
独立工作时钟	-	-
系统管理总线	-	-
唤醒深度睡眠模式1、2	-	-

3.17. 通用同步/异步收发器(USART)

USART1接口通信速率可达4.5Mb/s，其他接口的通信速率可达2.25Mb/s。USART接口具有硬件CTS和RTS信号管理、支持IrDA SIR ENDEC传输编解码、兼容ISO7816的智能卡并提供LIN主/从功能。所有USART接口都可以使用DMA操作。

表 6 USARTx 功能表

USART 特性	USART1	USART2	USART3
DMA 连续通信	√	√	√
多机通信	√	√	√
同步模式 (Master/Slave)	√	√	√
智能卡模式	√	√	√
单线半双工模式	√	√	√
IrDA SIR 编解码	√	√	√

LIN 模式	√	√	√
可从静默模式唤醒	√	√	√
错误中断	√	√	√
波特率自动检测	√	√	√
驱动使能	√	√	√
最大波特率 (Mbps)	4.5	2.25	2.25
USART 数据长度	8, 9bits		

3.18. 串行外设接口(SPI)

多达2个SPI接口，可配置为从模式或主模式，全双工和半双工的通信速率可达18Mb/s。3位预分频器可产生8种主模式频率，可配置成8位或16位的数据帧格式。硬件CRC产生/校验支持基本的SD卡和MMC模式。

所有的SPI接口都可以使用DMA操作。

3.19. 控制器区域网络(CAN)

CAN接口兼容规范2.0A和2.0B(主动)，位速率高达1Mb/s。它可以接收和发送11位标识符的标准帧，也可以接收和发送29位标识符的扩展帧。具有3个发送邮箱和2个接收FIFO，3级14个可调节的滤波器。

3.20. 通用串行总线(USB)

CS32F103x8和CS32F103xB标准型系列产品，内嵌一个兼容全速USB的设备控制器，遵循全速USB设备(12Mb/s)标准，端点可由软件配置，具有待机/唤醒功能。USB专用的48MHz时钟由内部主PLL直接产生(时钟源必须是一个HXT晶体振荡器)。

3.21. 通用输入输出接口(GPIO)

每个GPIO引脚都可以由软件配置成输出(推挽或开漏)、输入(上拉或下拉或浮空)或复用的外设功能端口。多数GPIO引脚都与数字或模拟的复用外设共用。除了具有模拟输入功能，所有的GPIO引脚都允许大电流通过。

在需要的情况下，I/O引脚的外设功能可以通过一个特定的操作锁定，以避免对I/O寄存器的意外写入操作。在APB2上的I/O脚的翻转速度可达18MHz。

3.22. ADC(模拟/数字转换器)

CS32F103x8和CS32F103xB标准型产品内嵌2个12位的模拟/数字转换器(ADC)，每个ADC共用多达16个外部通道，可以实现单次转换或扫描模式转换。在扫描模式下，可在选定的一组模拟输入引脚上自动进行转换。

ADC接口上的其它逻辑功能包括：

- 同步的采样和保持
- 交叉的采样和保持
- 单次采样

ADC可以使用DMA操作。

模拟看门狗能够非常精准地监视一路、多路或所有选中的通道，当被监视的信号超出预置的阈值时，模拟看门狗将产生中断。

由标准定时器(TIMx)和高级控制定时器(TIM1)产生的事件，可以分别内部级联到ADC的开始触发和注入触发，应用程序能使AD转换与时钟同步。

3.23. 温度传感器

温度传感器产生一个随温度线性变化的电压，转换范围在 $2V < V_{DDA} < 3.6V$ 之间。温度传感器在内部被连接到ADC1_IN16的输入通道上，用于将传感器的输出转换到数字数值。

3.24. 串行单线 JTAG 调试口(SWJ-DP)

内嵌ARM的SWJ-DP接口，这是一个结合了JTAG和串行调试接口（SWD），可以实现串行调试接口（SWD）或JTAG接口的连接。JTAG的TMS和TCK信号分别与SWDIO和SWCLK共用引脚，TMS脚上的一个特殊的信号序列用于在JTAG-DP和SW-DP间切换

4. 电气特性

4.1. 测试条件

除非特别说明，所有电压的都以 VSS 为基准。

除非特别说明，所有典型值是基于温度 $T_{\text{range}}=25^{\circ}\text{C}$ 和电压 $V_{\text{DD}}=3.3\text{V}$ 的条件下给出的。

除非特别说明，所有数据由设计保证。

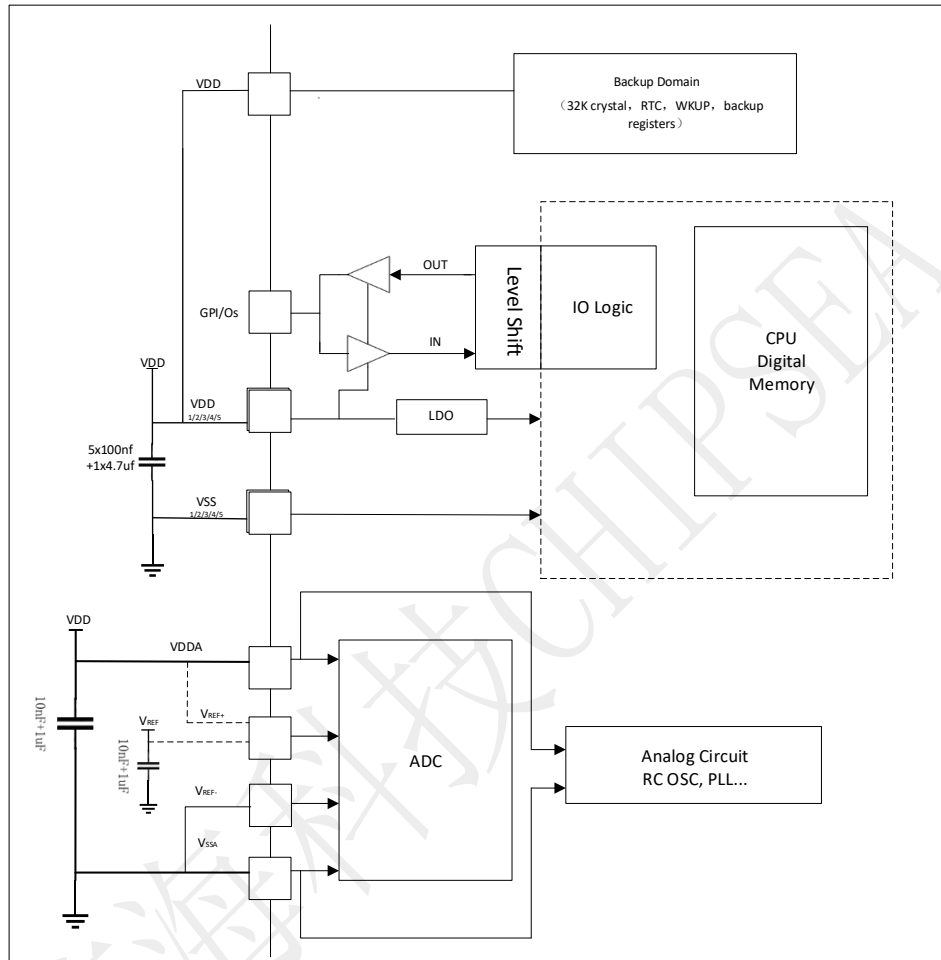


图 7 供电方案

注：上图中的。VDD 与 VSS、VDDA 与 VSSA 之间，推荐使用如上的滤波陶瓷去耦电容,4.7 μF 电容必须连接到 VDD；而且这些电容必须尽可能靠近管脚，以确保电容起到预期效果。

引脚的输入电压和负载等测试条件下图所示。

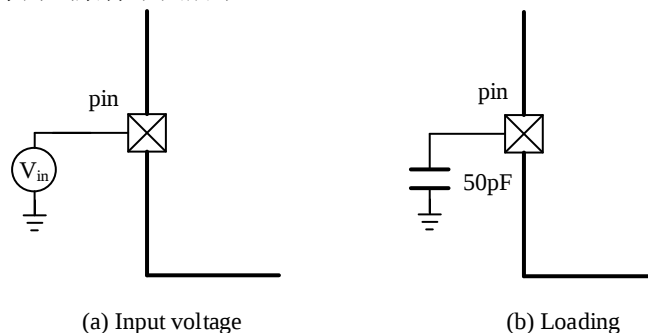


图 8 引脚的输入电压和负载条件

4.1.1. 电流消耗测量

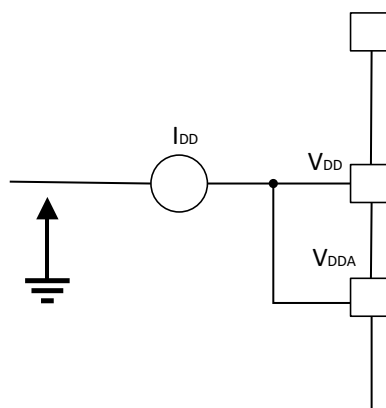


图 9 电流消耗测量方案

注：上图中的4.7uF电容必须连接到VDD。

4.1.2. 电流消耗测量

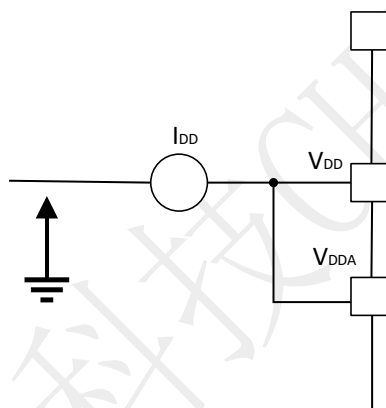


图 10 电流消耗测量方案

4.2. 绝对最大额定值

加在器件上的载荷如果超过绝对最大额定值列表(表 7, 表 8, 表 9)中给出的值,可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷,并不意味着在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 7 电压特性

符号	描述	最小值	最大值	单位
VDD – VSS	外部主供电电压(包含VDDA和VDD) ⁽¹⁾	-0.3	4.0	V
V _{IN}	在5V耐压的引脚上的输入电压 ⁽²⁾	VSS -0.3	5.5	
	在其它引脚上的输入电压 ⁽²⁾	VSS -0.3	4.0	
ΔVDD _X	不同供电引脚之间的电压差	-	50	mV
VSS _X – VSS	不同接地引脚之间的电压差	-	50	
V _{ESD} (HBM)	ESD静电放电电压(人体模型)	参见第 4.3.10 节		

- 所有的电源(VDD, VDDA)和地(VSS, VSSA)引脚必须始终连接到外部允许范围内的供电系统上。
- I_{INJ}(PIN)绝对不可以超过它的极限(见表 8), 即保证 V_{IN} 不超过其最大值。如果不能保证 V_{IN} 不超过其最大值,也要保证在外部限制 I_{INJ}(PIN)不超过其最大值。当 V_{IN}>V_{INmax} 时,有一个正向注入电流; 当 V_{IN}<VSS 时,有一个反向注入电流。

表 8 电流特性

符号	描述	最大值	单位
I_{VDD}	经过VDD/VDDA电源线的总电流(供应电流) ⁽¹⁾	150	mA
I_{VSS}	经过VSS地线的总电流(流出电流) ⁽¹⁾	150	
I_{IO}	任意I/O和控制引脚上的输出灌电流	25	
	任意I/O和控制引脚上的输出电流	-25	
$I_{INJ(PIN)}^{(2)}$	5V耐压引脚的注入电流	-5/+0	
	其他引脚的注入电流 ⁽⁴⁾	± 5	
$\sum I_{INJ(PIN)}$	所有I/O和控制引脚上的总注入电流 ⁽⁴⁾	± 25	

1. 所有的电源(VDD, VDDA)和地(VSS, VSSA)引脚必须始终连接到外部允许范围内的供电系统上。
2. $I_{INJ(PIN)}$ 绝对不可以超过它的极限,即保证 V_{IN} 不超过其最大值。如果不能保证 V_{IN} 不超过其最大值,也要保证在 外部限制 $I_{INJ(PIN)}$ 不超过其最大值。当 $V_{IN} > VDD$ 时,有一个正向注入电流;当 $V_{IN} < VSS$ 时,有一个反向注入电流。
3. 反向注入电流会干扰器件的模拟性能。参看第 4.3.16 节。
4. 当几个 I/O 口同时有注入电流时, $\sum I_{INJ(PIN)}$ 的最大值为正向注入电流与反向注入电流的即时绝对值之和。该结果基于在器件4 个I/O 端口上 $\sum I_{INJ(PIN)}$ 最大值的特性。

表 9 温度特性

符号	描述	数值	单位
T_{STG}	储存温度范围	-65~+150	°C
T_J	最大结温度	150	°C

4.3. 工作条件

4.3.1. 通用工作条件

表 10 通用工作条件

符号	参数	条件		最小值	最大值	单位
f _{HCLK}	内部AHB时钟频率	-		0	72	MHz
f _{PCLK1}	内部APB1时钟频率	-		0	36	
f _{PCLK2}	内部APB2时钟频率	-		0	72	
VDD	标准工作电压	-		2	3.6	V
VDDA(1)	模拟部分工作电压(未使用ADC)	必须与VDD相同		2	3.6	
	模拟部分工作电压(使用ADC)			2.4	3.6	
V _{IN}	I/O 输入电压	标准I/O		-0.3	VDD+0.3	
		FT I/O	2V<VDD<3.6V	-0.3	5.5	
			VDD=2V	-0.3	5.2	
		BOOT0		0	5.5	
T _A	环境温度(温度标号 6: T=85℃)	最大功率耗散		-40	85	℃
		低功率耗散(4)		-40	105	
	环境温度(温度标号 7: T=105℃)	最大功率耗散		-40	105	
		低功率耗散(4)		-40	125	
T _J	结温度范围	温度标号 6		-40	105	
		温度标号 7		-40	125	

1. 当使用ADC 时，参见表42。
2. 建议使用相同的电源为VDD 和VDDA 供电，在上电和正常操作期间，VDD 和VDDA 之间最多允许存在300mV 的差别。
3. 如果T_A 较低，只要T_J 不超过T_{Jmax}(参见5.5节)，则允许更高的P_D 数值。
4. 在较低的功率耗散的状态下，只要 T_J 不超过T_{Jmax}(参见5.5节)，T_A 可以扩展到这个范围。

4.3.2. 内嵌复位和电源控制模块特性

下表中给出的参数是依据表 10 列出的环境温度下和 VDD 供电电压下测试得出。

表 11 内嵌复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{LVD}	可编程的电压检测器的电平选择	PLS[2:0]=000 (上升沿)	2.1	2.18	2.26	V
		PLS[2:0]=000 (下降沿)	2	2.08	2.16	V
		PLS[2:0]=001 (上升沿)	2.19	2.28	2.37	V
		PLS[2:0]=001 (下降沿)	2.09	2.18	2.27	V
		PLS[2:0]=010 (上升沿)	2.28	2.38	2.48	V
		PLS[2:0]=010 (下降沿)	2.18	2.28	2.38	V
		PLS[2:0]=011 (上升沿)	2.38	2.48	2.58	V
		PLS[2:0]=011 (下降沿)	2.28	2.38	2.48	V
		PLS[2:0]=100 (上升沿)	2.47	2.58	2.69	V
		PLS[2:0]=100 (下降沿)	2.37	2.48	2.59	V
		PLS[2:0]=101 (上升沿)	2.57	2.68	2.79	V
		PLS[2:0]=101 (下降沿)	2.47	2.58	2.69	V
		PLS[2:0]=110 (上升沿)	2.66	2.78	2.90	V
		PLS[2:0]=110 (下降沿)	2.56	2.68	2.80	V
		PLS[2:0]=111 (上升沿)	2.76	2.88	3.00	V
		PLS[2:0]=111 (下降沿)	2.66	2.78	2.90	V
$V_{LVDhyst}^{(2)}$	LVD迟滞	-	-	100	-	mV
$V_{POR/PDR}$	电/掉电复位阈值	下降沿	1.8 ⁽¹⁾	1.88	1.96	V
		上升沿	1.84	1.92	2.0	V
$V_{LVDhyst}^{(2)}$	PDR迟滞	-	-	40	-	mV
TRSTTEMPO ⁽²⁾	复位持续时间	-	1	2.5	4.5	ms

1. 产品的特性由设计保证至最小的数值 $V_{POR/PDR}$ 。

2. 由设计保证，不在生产中测试。

4.3.3. 内置的参照电压

下表中给出的参数是依据表 10 列出的环境温度下和 VDD 供电电压下测试得出。

表 12 内置的参照电压

符号	参数	条件	最小值	典型值	最大值	单位
V_{REFINT}	内置参照电压	$-40^{\circ}\text{C} < T_A < +105^{\circ}\text{C}$	1.16	1.20	1.26	V
		$-40^{\circ}\text{C} < T_A < +85^{\circ}\text{C}$	1.16	1.20	1.24	V
$T_{S_vrefint}^{(1)}$	当读出内部参照电压时，ADC的采样时间	-	-	5.1	17.1 ⁽²⁾	μs

1. 产品的特性由设计保证至最小的数值 $V_{POR/PDR}$ 。

2. 由设计保证，不在生产中测试。

4.3.4. 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

电流消耗的测量方法说明，详见图 9。

本节中给出的所有运行模式下的电流消耗测量值，都是在执行一套精简的代码，能够得到Dhrystone2.1代码等效的结果。

4.3.4.1. 最大电流消耗

微控制器处于下列条件：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上——VDD 或 VSS(无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- Flash 存储器的访问时间调整到 f_{HCLK} 的频率(0~24MHz 时为 0 个等待周期，24~48MHz 时为 1 个等待周期，超过 48MHz 时为 2 个等待周期)。
- 指令预取功能开启(提示：这个参数必须在设置时钟和总线分频之前设置)。
- 当开启外设时： $f_{PCLK1} = f_{HCLK}/2$ ， $f_{PCLK2} = f_{HCLK}$ 。

表 13、表 14 和表 15 中给出的参数，是依据表 10 列出的环境温度下和 VDD 供电电压下综合分析得出。

表 13 运行模式下的最大电流消耗，数据处理代码从内部 Flash 中运行

符号	参数	条件	f_{HCLK}	最大值 ⁽¹⁾		单位
				$T_A = 85^{\circ}\text{C}$	$T_A = 105^{\circ}\text{C}$	
I_{DD}	运行模式下的 供应电流	外部时钟 ⁽²⁾ ，使能 所有外设	72MHz	21.5	22.7	mA
			48MHz	14.3	15.1	
			32MHz	10.1	11.1	
			24MHz	8.6	8.9	
			16MHz	5.5	6.1	
			8MHz	3.0	3.5	
		外部时钟 ⁽²⁾ ，关闭 所有外设	72MHz	13.4	13.9	
			48MHz	11.2	11.7	
			32MHz	6.6	6.9	
			24MHz	5.1	5.5	
			16MHz	3.4	3.6	
			8MHz	2.0	2.4	

1. 由综合评估得出，不在生产中测试。

2. 外部时钟为 8MHz，当 $f_{HCLK} > 8\text{MHz}$ 时启用 PLL。

表 14 运行模式下的最大电流消耗，数据处理代码从内部 RAM 中运行

符号	参数	条件	f_{HCLK}	最大值 ⁽¹⁾		单位
				$T_A = 85^{\circ}C$	$T_A = 105^{\circ}C$	
I_{DD}	运行模式下的供应电流	外部时钟 ⁽²⁾ ，使能所有外设	72MHz	16.9	17.2	mA
			48MHz	12.6	12.8	
			32MHz	8.0	8.4	
			24MHz	6.0	6.3	
			16MHz	4.2	4.5	
			8MHz	2.6	2.8	
		外部时钟 ⁽²⁾ ，关闭所有外设	72MHz	7.5	7.8	
			48MHz	5.9	6.3	
			32MHz	4.0	4.2	
			24MHz	3.5	3.7	
			16MHz	2.8	2.9	
			8MHz	1.7	1.8	

1. 由综合评估得出，在生产中以 VDD_{max}
2. 外部时钟为 8MHz，当 $f_{HCLK} > 8MHz$ 时启用 PLL。

表 15 睡眠模式下的最大电流消耗，代码运行在 Flash 或 RAM 中

符号	参数	条件	f_{HCLK}	最大值 ⁽¹⁾		单位
				$T_A = 85^{\circ}C$	$T_A = 105^{\circ}C$	
I_{DD}	睡眠模式下的供应电流	外部时钟 ⁽²⁾ ，使能所有外设	72MHz	17.1	17.3	mA
			48MHz	11.2	11.4	
			32MHz	8.2	8.3	
			24MHz	6.9	7.1	
			16MHz	4.2	4.3	
			8MHz	2.6	2.7	
		外部时钟 ⁽²⁾ ，关闭所有外设	72MHz	6.8	6.9	
			48MHz	3.5	3.7	
			32MHz	3.1	3.2	
			24MHz	2.7	2.8	
			16MHz	1.9	2.0	
			8MHz	1.2	1.3	

1. 由综合评估得出，在生产中以 VDD_{max} 和以 $f_{HCLK} \max$ 使能外设为条件测试。
2. 外部时钟为 8MHz，当 $f_{HCLK} > 8MHz$ 时启用 PLL。

表 16 停机和掉电模式下的典型和最大电流消耗

符号	参数	条件	典型值		最大值		单位
			VDD = 2.4V	VDD = 3.3V	T _A = 85°C	T _A = 105°C	
I _{DD}	深度睡眠模式下的供应电流	调压器处于运行模式, 低速和高速内部RC振荡器和高速振荡器处于关闭状态(没有独立看门狗)	22.7	23.4	300	370	μA
			-	120 ⁽³⁾	-	-	
		调压器处于低功耗模式, 低速和高速内部RC振荡器和高速振荡器处于关闭状态(没有独立看门狗)	9.1	10.3	260	340	
			-	120 ⁽³⁾	-	-	
	掉电模式下的供应电流	低速内部RC振荡器和独立看门狗处于开启状态	2.4	3.4	-	-	
		低速内部RC振荡器处于开启状态, 独立看门狗处于关闭状态	2.3	3.3	-	-	
		低速内部RC振荡器和独立看门狗处于关闭状态, 低速振荡器和RTC处于关闭状态	1.5	2.0	4	5	

1. 典型值是在T_A=25°C 下测试得到。
2. 由综合评估得出, 不在生产中测试。
3. 尾缀为-B05的型号, 譬如CS32F103CBT7NR-B05

4.3.4.2. 典型的电流消耗

MCU 处于下述条件下:

- 所有的 I/O 引脚都处于输入模式, 并连接到一个静态电平上——VDD 或 VSS(无负载)。
- 所有的外设都处于关闭状态, 除非特别说明。
- Flash 存储器的访问时间调整到 f_{HCLK} 的频率(0~24MHz 时为 0 个等待周期, 24~48MHz 时为 1 个等待周期, 超过 48MHz 时为 2 个等待周期)。
- 环境温度和 VDD 供电电压条件列于表 10。
- 指令预取功能开启(提示: 这个参数必须在设置时钟和总线分频之前设置)。当开启外设时:
- fPCLK1=fHCLK/4, fPCLK2=fHCLK/2, fADCCLK=fPCLK2/4。

表 17 运行模式下的典型电流消耗, 数据处理代码从内部 Flash 中运行

符号	参数	条件	f _{HCLK}	典型值 ⁽¹⁾		单位
				使能所有外设 ⁽²⁾	关闭所有外设	
I _{DD}	运行模式下的供应电流	外部时钟 ⁽³⁾	72MHz	23	12.3	mA
			48MHz	17.3	10.2	
			24MHz	9.5	5.9	
			8MHz	4.9	3.8	

1. 典型值是在T_A=25°C 、VDD=3.3V 时测试得到。
2. 每个模拟部分的ADC 要增加额外的0.8mA 电流消耗。在应用环境中, 这部分电流只有在开启 ADC(设置ADC_CTR2寄存器的ADON 位)时才会增加。
3. 外部时钟为8MHz, 当f_{HCLK}>8MHz 时启用PLL。

表 18 运行模式下的典型电流消耗，数据处理代码从内部 RAM 中运行

符号	参数	条件	f_{HCLK}	典型值 ⁽¹⁾		单位
				使能所有外设 ⁽²⁾	关闭所有外设	
I_{DD}	运行模式下的 供应电流	外部时钟 ⁽³⁾	72MHz	17.8	8.6	mA
			48MHz	13.0	7.6	
			24MHz	7.2	4.3	
			8MHz	3.4	2.4	

1. 典型值是在 $T_A=25^{\circ}\text{C}$ 、 $V_{DD}=3.3\text{V}$ 时测试得到。

2. 每个模拟部分的ADC 要增加额外的0.8mA 电流消耗。在应用环境中，这部分电流只有在开启 ADC(设置ADC_CTL2寄存器的ADON 位)时才会增加。

3. 外部时钟为8MHz，当 $f_{HCLK}>8\text{MHz}$ 时启用PLL。

表 19 睡眠模式下的典型电流消耗，数据处理代码从内部 Flash 或 RAM 中运行

符号	参数	条件	f_{HCLK}	典型值 ⁽¹⁾		单位
				使能所有外设 ⁽²⁾	关闭所有外设	
I_{DD}	睡眠模式下的 供应电流	外部时钟 ⁽³⁾	72MHz	15.1	5.4	mA

1. 典型值是在 $T_A=25^{\circ}\text{C}$ 、 $V_{DD}=3.3\text{V}$ 时测试得到。

2. 每个模拟部分的ADC 要增加额外的0.8mA 电流消耗。在应用环境中，这部分电流只有在开启 ADC(设置ADC_CTL2 寄存器的ADON 位)时才会增加。

3. 外部时钟为8MHz，当 $f_{HCLK}>8\text{MHz}$ 时启用PLL。

4.3.5. 外部时钟源特性

4.3.5.1. 来自外部振荡源产生的高速外部用户时钟

下表中给出的特性参数是使用一个高速的外部时钟源测得，环境温度和供电电压符合表 10 的条件。

表 20 高速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HXT_ext}	用户外部时钟频率 ⁽¹⁾	-	1	8	25	MHz
V_{HXTH}	OSC_IN输入引脚高电平电压		2.2	-	3.3	V
V_{HXTL}	OSC_IN输入引脚低电平电压		0	-	2.2	
$t_{w(HXT)} t_{w(HXT)}$	OSC_IN高或低的时间 ⁽¹⁾		5	-	-	ns
$t_r(HXT) t_f(HXT)$	OSC_IN上升或下降的时间 ⁽¹⁾		-	-	20	
$DuCy_{(HXT)}$	占空比	-	45	50	55	%
I_L	OSC_IN输入漏电流	$V_{SS} \leq V_{IN} \leq V_{DD}$		0.3	± 1	μA

1. 由设计保证，不在生产中测试。

4.3.5.2. 来自外部振荡源产生的低速外部用户时钟

下表中给出的特性参数是使用一个低速的外部时钟源测得，环境温度和供电电压符合表 10 的条件。

表 21 低速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
----	----	----	-----	-----	-----	----

f_{LSE_ext}	用户外部时钟频率 ⁽¹⁾		0	32.768	4000	KHz
$t_{w(LSE)} t_{w(LSE)}$	OSC32_IN高或低的时间 ⁽¹⁾		450			ns
$t_{r(LSE)}$	OSC32_IN上升或下降的时间 ⁽¹⁾				50	
$t_{f(LSE)}$						
$C_{in(LSE)}$	OSC32_IN输入容抗 ⁽¹⁾			5		pF
$DuCy_{(LSE)}$	占空比		30	50	70	%
I_L	OSC32_IN输入漏电流	$V_{SS} \leq V_{IN} \leq V_{DD}$		-0.4	± 1	μA

1. 由设计保证，不在生产中测试。

4.3.5.3. 使用一个晶体/陶瓷谐振器产生的高速外部时钟

高速外部时钟(HXT)可以使用一个 4~16MHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。

表 22 HXT 4~16MHz 振荡器特性⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{OSC_IN}	振荡器频率	-	4	8	16	MHz
R_F	反馈电阻	-	-	200	-	k Ω
$C_{L1} C_{L2}$ (3)	建议的负载电容与对应的晶体串行阻抗(R_S) ⁽⁴⁾	$R_S = 30\Omega$	-	30	-	pF
i_2	HXT 驱动电流	$V_{DD}=3.3V, V_{IN}=V_{SS}$ 30pF 负载	-	-	1	mA
g_m	振荡器的跨导	启动	25	-	-	mA/V
$t_{SU(HXT)}^{(5)}$	启动时间	VDD 稳定	-	2	-	ms

1. 谐振器的特性参数由晶体/陶瓷谐振器制造商给出。

2. 由综合评估得出，不在生产中测试。

3. 对于CL1 和CL2，建议使用高质量的、为高频应用而设计的(典型值为)5pF~25pF 之间的瓷介电容器，并挑选符合要求的晶体或谐振器。通常CL1 和CL2 具有相同参数。晶体制造商通常以CL1 和CL2 的串行组合给出负载电容的参数。在选择CL1 和CL2 时，PCB 和 MCU 引脚的容抗应该考虑在内(可以粗略地把引脚与PCB 板的电容按 10pF 估计)。

4. 相对较低的RF 电阻值，能够可以为避免在潮湿环境下使用时所产生的问题提供保护，这种环境下产生的泄漏和偏置条件都发生了变化。但是，当MCU 应用在恶劣的潮湿条件时，设计时需要把这个参数考虑进去。

5. $t_{SU(HXT)}$ 是启动时间，是从软件使能HXT 开始直至得到稳定的8MHz 振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

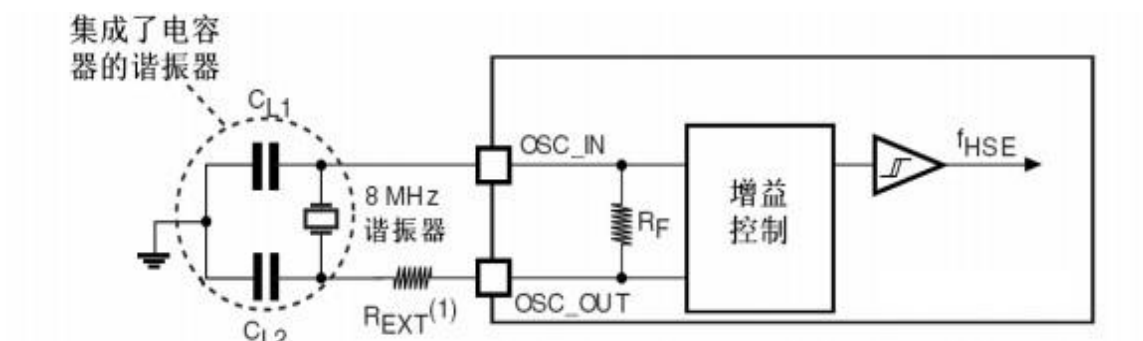


图 11 使用 8MHz 晶体的典型应用

1. R_{EXT} 数值由晶体的特性决定。典型值是 5 至 6 倍的 R_S 。

4.3.5.4. 使用一个晶体/陶瓷谐振器产生的低速外部时钟

低速外部时钟(LSE)可以使用一个 32.768kHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用表 23 中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。

注意：对于 CL1 和 CL2，建议使用高质量的 5pF~15pF 之间的瓷介电容器，并挑选符合要求的晶体或谐振器。通常 CL1 和 CL2 具有相同参数。晶体制造商通常以 CL1 和 CL2 的串行组合给出负载电容的参数。

负载电容 CL 由下式计算： $CL = CL1 \times CL2 / (CL1 + CL2) + C_{stray}$ ，其中 C_{stray} 是引脚的电容和 PCB 板或 PCB 相关的电容，它的典型值是介于 2pF 至 7pF 之间。

警告：为了避免超出 CL1 和 CL2 的最大值(15pF)，强烈建议使用负载电容 $CL \leq 7pF$ 的谐振器，不能使用负载电容为 12.5pF 的谐振器。

例如：如果选择了一个负载电容 $CL=6pF$ 的谐振器并且 $C_{stray}=2pF$ ，则 $CL1=CL2=8pF$ 。

表 23 LSE 振荡器特性($f_{LSE}=32.768kHz$)(1)

符号	参数	条件	最小值	典型值	最大值	单位
R_F	反馈电阻	-	-	5	-	$M\Omega$
$CL1, CL2^{(2)}$	建议的负载电容与对应的晶体串行阻抗(R_S) ⁽³⁾	$R_S = 30k\Omega$	-	-	15	pF
I_2	LSE 驱动电流	$VDD=3.3V, V_{IN}=VSS$	-	-	1.4	μA
g_m	振荡器的跨导	-	5	-	-	$\mu A/V$
$t_{SU(LSE)}^{(4)}$	启动时间	VDD 稳定		3	-	s

1. 由综合评估得出，不在生产中测试。

2. 参见本表格上方的注意和警告段落。

3. 选择具有较小 R_S 值的高质量振荡器(如MSIV-TIN32.768kHz)，可以优化电流消耗。

4. $t_{SU(HXT)}$ 是启动时间，是从软件使能 HXT 开始测量，直至得到稳定的 8MHz 振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

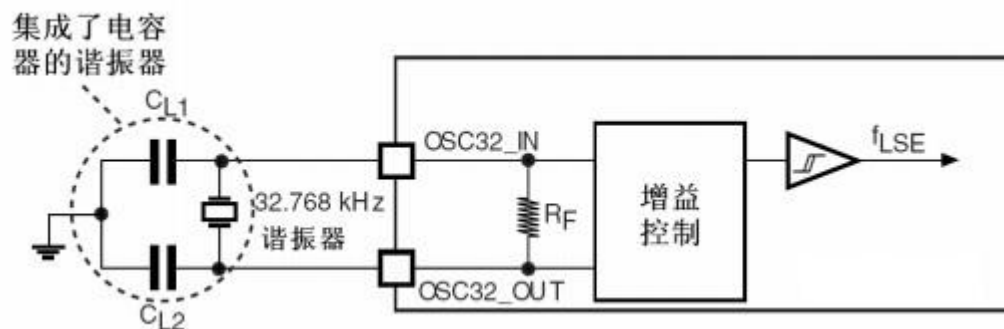


图 12 使用 32.768kHz 晶体的典型应用

4.3.6. 内部时钟源特性

下表中给出的特性参数是使用环境温度和供电电压符合表 10 的条件测量得到。

4.3.6.1. 高速内部 RC 振荡器

表 24 HRC 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HRC}	频率		-	8	-	MHz
ACC_{HRC}	HRC振荡器的精度	$T_A = -40 \sim 105^\circ\text{C}$	-2	-	2.5	%
		$T_A = -10 \sim 85^\circ\text{C}$	-1.5	-	2.2	%
		$T_A = 0 \sim 70^\circ\text{C}$	-1.3	-	2	%
		$T_A = 25^\circ\text{C}$	-1.1	-	1.8	%
$t_{SU(HRC)}$	HRC振荡器启动时间		1	-	2	μs
$I_{DD(HRC)}$	HRC振荡器功耗		-	80	100	μA

1. $V_{DD} = 3.3\text{V}$, $T_A = -40 \sim 105^\circ\text{C}$ ，除非特别说明。

2. 由设计保证，不在生产中测试。

4.3.6.2. 低速内部 RC 振荡器

表 25 LRC 振荡器特性(1)

符号	参数	最小值	典型值	最大值	单位
$f_{LRC}^{(2)}$	频率		40		kHz
$t_{SU(LRC)}^{(3)}$	LRC 振荡器启动时间			85	μs
$I_{DD(LRC)}^{(3)}$	LRC 振荡器功耗		0.65	1.2	μA

1. $V_{DD} = 3.3\text{V}$, $T_A = -40 \sim 105^\circ\text{C}$ ，除非特别说明。

2. 由综合评估得出，不在生产中测试。

3. 由设计保证，不在生产中测试。

4.3.6.3. 从低功耗模式唤醒的时间

表 26 列出的唤醒时间是在一个 8MHz 的 HRC RC 振荡器的唤醒阶段测量得到。唤醒时使用的时钟源依当前的操作模式而定：

- 停机或掉电模式：时钟源是 RC 振荡器
- 睡眠模式：时钟源是进入睡眠模式时所使用的时钟

所有的时间是使用环境温度和供电电压符合表 10 的条件测量得到。

表 26 低功耗模式的唤醒时间

符号	参数	条件	典型值	单位
$t_{WUSLEEP}^{(1)}$	从睡眠模式唤醒	使用HRC RC时钟唤醒	1.7	μs
$t_{WUDEEPSLEEP}^{(1)}$	从深度睡眠模式唤醒(调压器处于运行模式)	HRC RC时钟唤醒= $2\mu\text{s}$	2.6	
	从深度睡眠模式唤醒(调压器为低功耗模式)	HRC RC时钟唤醒= $2\mu\text{s}$ 调压器从低功耗模式唤醒时间= $5\mu\text{s}$	5.1	
$t_{WUPOWERDOWN}^{(3)}$	从掉电模式唤醒	HRC RC时钟唤醒= $2\mu\text{s}$ 调压器从关闭模式唤醒时间= $38\mu\text{s}$	52	

1. 唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令。

4.3.7. PLL 特性

表 27 列出的参数是使用环境温度和供电电压符合表 10 的条件测量得到。

表 27 PLL 特性

符号	参数	数值			单位
		最小值	典型值	最大值	
f_{PLL_IN}	PLL输入时钟 ⁽²⁾	1	8.0	25	MHz
	PLL输入时钟占空比	40	50	60	%
f_{PLL_OUT}	PLL倍频输出时钟	16		72	MHz
t_{LOCK}	PLL锁相时间		43	200	μs

1. 由综合评估得出，不在生产中测试。
2. 需要注意使用正确的倍频系数，从而根据 PLL 输入时钟频率使得 f_{PLL_OUT} 处于允许范围内。

4.3.8. 存储器特性

4.3.8.1. Flash 存储器

除非特别说明，所有特性参数是在 $T_A = -40 \sim 105^\circ C$ 得到。

表 28 Flash 存储器特性

符号	参数	条件	最小值	典型值	最大值	单位
t_{prog}	16 位的编程时间	$T_A = -40 \sim 105^\circ C$	-	-	20	μs
t_{ERASE}	页(1K 字节)擦除时间	$T_A = -40 \sim 105^\circ C$	-	-	2	ms
t_{ME}	整片擦除时间	$T_A = -40 \sim 105^\circ C$	-	-	10	
I_{DD}	供电电流	读模式, $f_{HCLK} = 72MHz$, 2 个等待周期, $V_{DD} = 3.3V$	-	-	21.6	mA
		写/擦除模式, $f_{HCLK} = 72MHz$, $V_{DD} = 3.3V$	-	-	3	
		掉电模式, $V_{DD} = 3.3 \sim 3.6V$	-	-	1	μA

1. 由设计保证，不在生产中测试。

表 29 Flash 存储器寿命和数据保存期限

符号	参数	条件	最小值	典型值	最大值	单位
N_{END}	寿命	$T_A = -40 \sim 85^\circ C$ (尾缀为 6) $T_A = -40 \sim 105^\circ C$ (尾缀为 7)	20	-	-	千次
t_{RET}	数据保存期限	$T_A = -40 \sim 85^\circ C$ 时	10	-	-	年

1. 由综合评估得出，不在生产中测试。

4.3.9. 电气敏感性

基于三个不同的测试(ESD, LU), 使用特定的测量方法, 对芯片进行强度测试以决定它的电气敏感性方面的性能。

4.3.9.1. 静电放电(ESD)

静电放电(一个正的脉冲然后间隔一秒钟后一个负的脉冲)施加到所有样品的所有引脚上, 样品的大小与芯片上供电引脚数目相关(3 片 $\times$ (n+1) 供电引脚)。这个测试符合 JESD22-A114/ C101 标准。

表 30 ESD 绝对最大值

符号	参数	条件	类型	最大值 ⁽¹⁾	单位
$V_{ESD(HBM)}$	静电放电电压(人体模型)	$T = +25^{\circ}\text{C}$, 符合 ANSI/ESDA/JEDEC JS-001-2017	3A	4000	V
$V_{ESD(CDM)}$	静电放电电压(充电设备模型)	$T = +25^{\circ}\text{C}$, 符合 ANSI/ESDA/JEDEC JS-002-2018	C3	1000	

1. 由综合评估得出, 不在生产中测试。

4.3.9.2. 静态栓锁

为了评估栓锁性能, 需要在 6 个样品上进行 2 个互补的静态栓锁测试:

- 为每个电源引脚, 提供超过极限的供电电压。
- 在每个输入、输出和可配置的 I/O 引脚上注入电流。这个测试符合 EIA/JESD 78A 集成电路栓锁标准。

表 31 电气敏感性

符号	参数	条件	类型
LU	静态栓锁类	$T = +105^{\circ}\text{C}$, 符合 JEDEC JESD78F-2022	II 类 A

4.3.10. I/O 端口特性

4.3.10.1. 通用输入/输出特性

除非特别说明, 下表列出的参数是按照表 10 的条件测量得到。所有的 I/O 端口都是兼容 CMOS 和 TTL。

表 32 I/O 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL}	低电平输入电压	标准 I/O 脚, 输入低电平电压	-	-	0.35 VDD	V
		FT I/O ⁽¹⁾ 脚, 输入低电平电压	-	-	0.35 VDD	
		所有 I/O 口, 除了 BTOOT0	-	-	0.35 VDD	
V_{IH}	高电平输入电压	标准 I/O 脚, 输入高电平电压	$0.41 \times (V_{DD} - 2V) + 1.3V$	-	-	
		FT I/O 脚 ⁽¹⁾ , 输入高电平电压	$0.42 \times (V_{DD} - 2V) + 1V$	-	-	
		所有 I/O 口, 除了 BTOOT0	0.65 VDD ⁽²⁾	-	-	
I_{lkg}	输入漏电流 ⁽⁴⁾	$V_{SS} \leq V_{IN} \leq V_{DD}$ 标准 I/O 端口	-	-	± 1	μA
		$V_{IN} = 5V$, 5V 耐压端口	-	-	3	
R_{PU}	弱上拉等效电阻 ⁽⁵⁾	$V_{IN} = V_{SS}$	-	82	-	k Ω

R_{PD}	弱下拉等效电阻 ⁽⁵⁾	$V_{IN} = VDD$, PC13除 外	-	30	-	
		$V_{IN} = VDD$, PC13		8		
C_{IO}	I/O引脚的电容	-	-	5	-	pF

1. FT = 5V 耐压。

2. 不支持施密特触发器开关电平的迟滞电压。

3. 电压至少为 100mV。

4. 如果在相邻引脚有反向电流倒灌，则漏电流可能高于最大值。

5. 上拉和下拉电阻是设计为一个真正的电阻串联一个可开关的 PMOS/NMOS 实现。这个 PMON/NMOS 开关的电阻很小(约占 10%)。

4.3.10.2. 输出驱动电流

GPIO(通用输入/输出端口)可以吸收或输出多达 $\pm 8mA$ 电流，并且吸收 $+20mA$ 电流(不严格的 V)。在用户应用中，I/O 脚的数目必须保证驱动电流不能超过 4.2 节给出的绝对最大额定值：

- 所有 I/O 端口从 VDD 上获取的电流总和，加上 MCU 在 VDD 上获取的最大运行电流，不能超过绝对最大额定值 I_{VDD} (参见表 8)。
- 所有 I/O 端口吸收并从 V 上流出的电流总和，加上 MCU 在 VDD 上流出的最大运行电流，不能超过绝对最大额定值 I_{VSS} (参见表 8)。

4.3.10.3. 输出电压

除非特别说明，表 33 列出的参数是使用环境温度和 VDD 供电电压符合表 10 的条件测量得到。所有的 I/O 端口都是兼容 CMOS 和 TTL 的。

表 33 输出电压特性

符号	参数	条件	最小值	最大值	单位
V_{OL} ⁽¹⁾	输出低电平，当 8 个引脚同时吸收电流	CMOS 端口， $I_{IO} = +8mA$ $2.7V < VDD < 3.6V$	-	0.4	V
V_{OH} ⁽²⁾	输出高电平，当 8 个引脚同时输出电流		VDD-0.4	-	
V_{OL} ⁽¹⁾	输出低电平，当 8 个引脚同时吸收电流	TTL 端口， $I_{IO} = +8mA$ $2.7V < VDD < 3.6V$	-	0.4	
V_{OH} ⁽²⁾⁽³⁾	输出高电平，当 8 个引脚同时输出电流		2.4		
V_{OL} ⁽¹⁾⁽³⁾	输出低电平，当 8 个引脚同时吸收电流	$I_{IO} = +20mA$ $2.7V < VDD < 3.6V$	-	1.3	
V_{OH} ⁽²⁾⁽³⁾	输出高电平，当 8 个引脚同时输出电流		2.4	-	
V_{OL} ⁽¹⁾⁽³⁾	输出低电平，当 8 个引脚同时吸收电流	$I_{IO} = +6mA$ $2V < VDD < 2.7V$	-	0.4	
V_{OH} ⁽²⁾⁽³⁾	输出高电平，当 8 个引脚同时输出电流		VDD-0.4	-	

1. 芯片吸收的电流 I_{IO} 必须始终遵循表 8 中给出的绝对最大额定值，同时 I_{IO} 的总和(所有 I/O 脚和控制脚)不能超过 I_{VSS} 。

2. 芯片输出的电流 I_{IO} 必须始终遵循表 8 中给出的绝对最大额定值，同时 I_{IO} 的总和(所有 I/O 脚和控制脚)不能超过 I_{VDD} 。

3. 由综合评估得出，不在生产中测试。

4.3.11. NRST 引脚特性

NRST 引脚输入驱动使用 CMOS 工艺，它连接了一个不能断开的上拉电阻，RPU(参见表 33)。除非特别说明，表 34 列出的参数是使用环境温度和 VDD 供电电压符合表 10 的条件测量得到。

表 34 NRST 引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL} (NRST) ⁽¹⁾	NRST输入低电平电压		-0.5		0.8	V
V_{IH} (NRST) ⁽¹⁾	NRST输入高电平电压		2		VDD+0.5	

R_{PU}	弱上拉等效电阻 ⁽²⁾	$V_{IN}=V_{SS}$	-	80	-	k Ω
$V_{F(NRST)}^{(1)}$	NRST输入滤波脉冲				100	ns
$V_{NF(NRST)}^{(1)}$	NRST输入非滤波脉冲		300			ns

1. 由设计保证，不在生产中测试。
2. 上拉电阻是设计为一个真正的电阻串联一个可开关的 PMOS 实现。这个 PMON/NMOS 开关的电阻很小 (约占10%)。

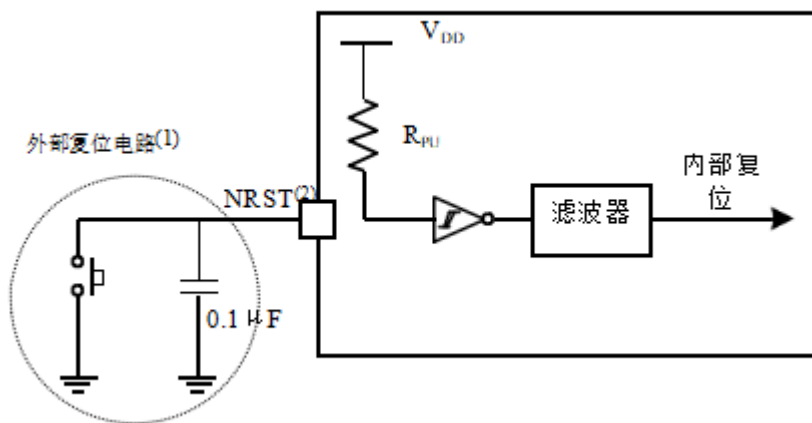


图 13 建议的 NRST 引脚保护

1. 复位网络是为了防止寄生复位。
2. 用户必须保证 NRST 引脚的电位能够低于表 34 中列出的最大 $V_{IL}(NRST)$ 以下，否则 MCU 不能得到复位。

4.3.12. TIM 定时器特性

下表列出的参数由设计保证。

有关输入输出复用功能引脚(输出比较、输入捕获、外部时钟、PWM 输出)的特性详情，参第 4.3.11 节。

表 35 TIM 定时器特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器分辨时间		1	-	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 72MHz$	13.9	-	ns
f_{EXT}			0	$f_{TIMxCLK}/2$	MHz
	CH1至CH4的定时器外部时钟频率	$f_{TIMxCLK} = 72MHz$	0	36	MHz
Res_{TIM}	定时器分辨率		-	16	bit
$t_{COUNTER}$	当选择了内部时钟时，16 位计数器时钟周期		1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 72MHz$	0.0139	910	μs
t_{MAX_COUNT}	最大可能的计数		-	65536x65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 72MHz$	-	59.6	s

1. TIMx 是一个通用的名称，代表 TIM1~TIM4。

4.3.13. 通信接口

4.3.13.1. I2C 接口特性

除非特别说明，表 36 列出的参数是使用环境温度，fPCLK1 频率和 V 供电电压符合表 10 的条件测量得到。

CS32F103x8 和 CS32F103xB 标准型产品的 I2C 接口符合标准 I2C 通信协议，但有如下限制：SDA 和 SCL 不是“真”开漏的引脚，当配置为开漏输出时，在引出脚和 VDD 之间的 PMOS 管被关闭，但仍然存在。

I2C 接口特性列于表 36，有关输入输出复用功能引脚(SDA 和 SCL)的特性详情，参见第 4.3.11 节。

表 36 I²C 接口特性

符号	参数	标准 I ² C ⁽¹⁾		快速 I ² C ⁽¹⁾⁽²⁾		单位
		最大值	最小值	最大值	最小值	
t _w (SCLL)	SCL时钟低时间	4.7	-	1.3	-	μs
t _w (SCLH)	SCL时钟高时间	4.0	-	0.6	-	
t _{su} (SDA)	SDA建立时间	250	-	100	-	ns
t _h (SDA)	SDA数据保持时间	0 ⁽³⁾	-	0 ⁽⁴⁾	900 ⁽³⁾	
t _r (SDA) t _r (SCL)	SDA和SCL上升时间	-	1000	20+0.1C _b	300	
t _f (SDA) t _f (SCL)	SDA和SCL下降时间	-	300	-	300	
t _h (STA)	开始条件保持时间	4.0	-	0.6	-	μs
t _{su} (STA)	重复的开始条件建立时间	4.7	-	0.6	-	
t _{su} (STO)	停止条件建立时间	4.0	-	0.6	-	μs
t _w (STO:STA)	停止条件至开始条件的时 间(总线空闲)	4.7	-	1.3	-	μs
C _b	每条总线的容性负载	-	400	-	400	pF

1. 由设计保证，不在生产中测试。

2. 为达到标准模式 I2C 的最大频率，f_{PCLK1} 必须大于 2MHz。为达到快速模式 I2C 的最大频率，f_{PCLK1} 必须大于4MHz

3. 如果不要求拉长 SCL 信号的低电平时间，则只需满足开始条件的最大保持时间。

4. 为了跨越 SCL 下降沿未定义的区域，在 MCU 内部必须保证 SDA 信号上至少 300ns 的保持时间。

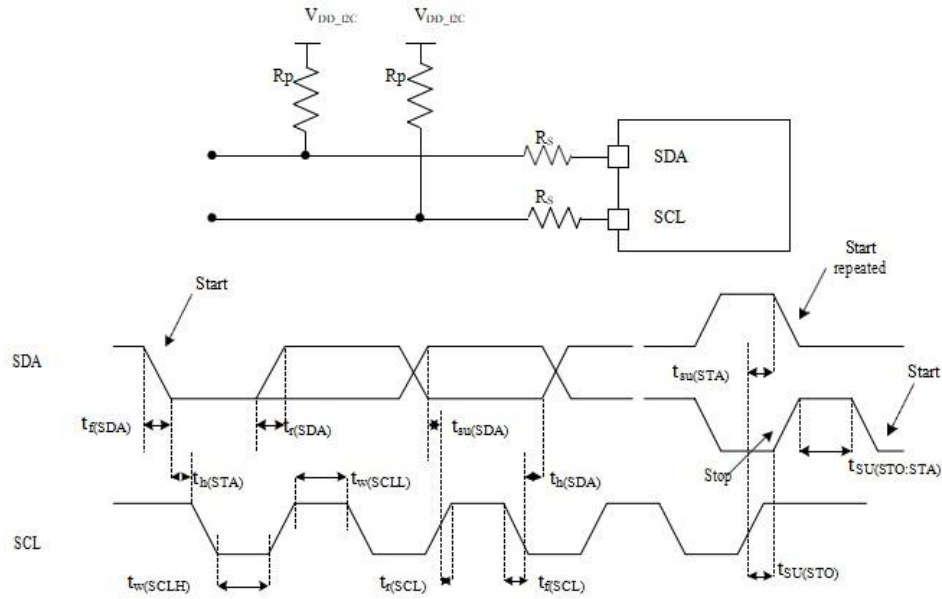


图 14 I2C 时序图

1. 测量点设置于CMOS 电平：0.3VDD 和0.7VDD。

表 37 SCL 频率($f_{PCLKI} = 36\text{MHz}$, $VDD = 3.3\text{V}$)⁽¹⁾⁽²⁾

$f_{SCL}(\text{kHz})$	I ² C_CCR 数值
	$R_P=4.7\text{ k}\Omega$
400	0x801E
300	0x8028
200	0x803C
100	0x00B4
50	0x0168
20	0x0384

1. R_P = 外部上拉电阻, f_{SCL} =I²C 速度。

2. 对于200kHz 左右的速度, 速度的误差是±5%。对于其它速度范围, 速度的误差是±2%。这些变化取决于设计中外围元器件的精度。

4.3.13.2. SPI 接口特性

除非特别说明, 表38 列出的参数是使用环境温度, f_{PCLKx} 频率和 VDD 供电电压符合表10 的条件测量得到。有关输入输出复用功能引脚(NSS、SCK、MOSI、MISO)的特性详情, 参见第 4.3.11 节。

表 38 SPI 特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
f_{SCK} $1/t_c(SCK)$	SPI时钟频率	主模式	-	18	MHz
		从模式	-	18	
$t_r(SCK)$ $t_f(SCK)$	SPI时钟上升和下降时间	负载电容: $C = 30\text{pF}$	-	8	ns

Ducy(SCK)	从机输入时钟占空比	从模式	30	70	%
⁽²⁾ $t_{su}(NSS)$	NSS建立时间	从模式	$4t_{PCLK}$	-	ns
$t_{h}(NSS)^{(2)}$	NSS保持时间	从模式	$2t_{PCLK}$	-	
$t_w(SCKH)^{(2)}$ ⁽²⁾ $t_w(SCKL)$	SCK高和低的时间	主模式, $f_{PCLK} = 36MHz$, 预分频系数=4	50	60	
⁽²⁾ $T_{su}(MI)$ $T_{su}(SI)$	数据输入建立时间, 主模式	主模式	5	-	
		从模式	5	-	
$T_{h}(MI)^{(2)}$ ⁽²⁾ $T_{h}(SI)$	数据输入保持时间, 主模式	主模式	5	-	
		从模式	4	-	
$T_a(SO)^{(2)(3)}$	数据输出访问时间	从模式, $f_{PCLK} = 20MHz$	0	$3t_{PCLK}$	
$t_{dis}(SO)^{(2)(4)}$	数据输出禁止时间	从模式	2	10	
$t_v(SO)^{(2)(1)}$	数据输出有效时间	从模式(使能边沿之后)		25	
$t_v(MO)^{(2)(1)}$	数据输出有效时间	主模式(使能边沿之后)		5	
$T_h(SO)^{(2)}$	数据输出保持时间	从模式(使能边沿之后)	15	-	
$T_h(MO)^{(2)}$		主模式(使能边沿之后)	2	-	

1. 重映射的 SPI1 特性需要进一步确定。
2. 由综合评估得出, 不在生产中测试。
3. 最小值表示驱动输出的最小时间, 最大值表示正确获得数据的最大时间。
4. 最小值表示关闭输出的最小时间, 最大值表示把数据线置于高阻态的最大时间。

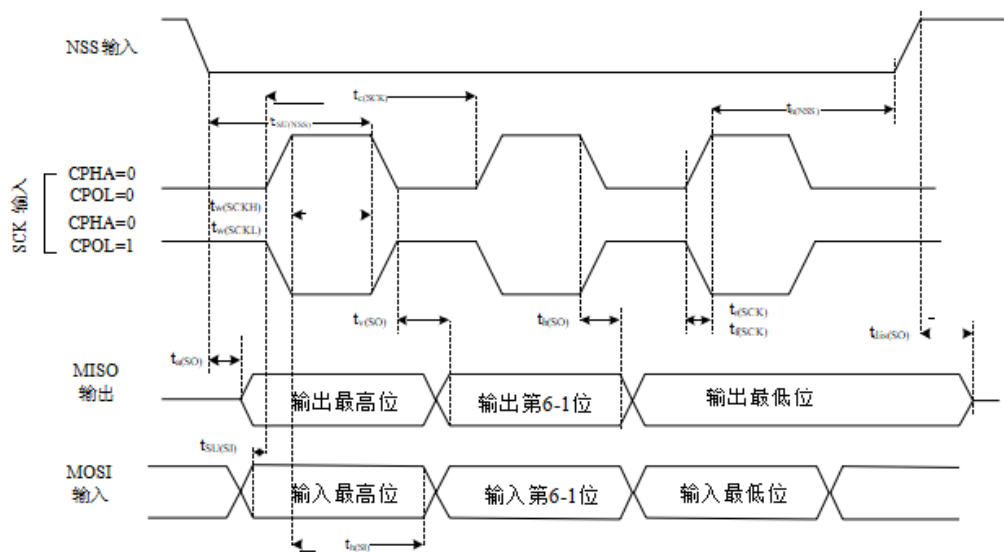


图 15 SPI 时序图-从模式和 CPHA=0

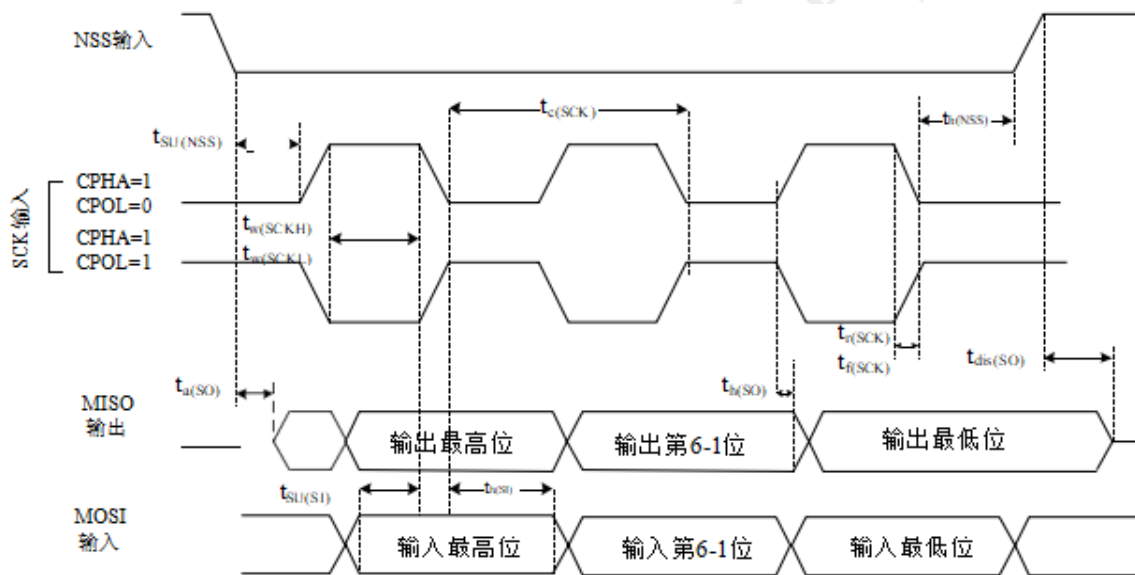


图 16 SPI 时序图- 从模式和 CPHA=1(1)

1. 测量点设置于 CMOS 电平：0.3VDD 和 0.7VDD。

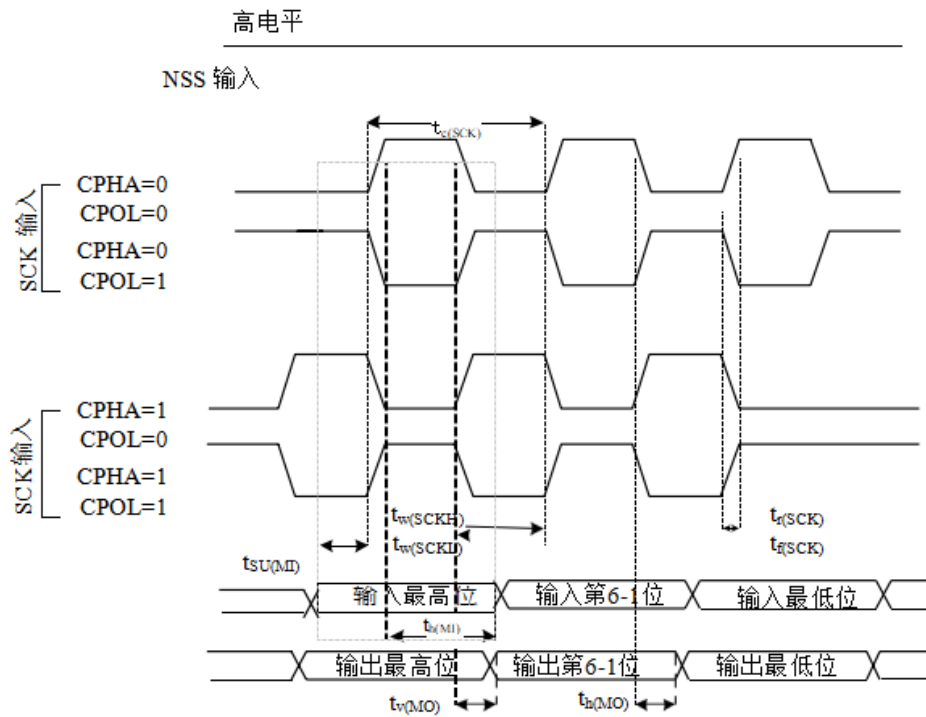


图 17 SPI 时序图-主模式(1)

1. 测量点设置于 CMOS 电平：0.3VDD 和 0.7VDD。

4.3.13.3. USB 特性

USB(全速)接口已通过USB-IF 认证。

表 39 USB 启动时间

符号	参数	最大值	单位
$t_{STARTUP}^{(1)}$	USB 收发器启动时间	1	μs

1. 由设计保证，不在生产中测试。

表 40 USB 直流特性

符号	参数	条件	最小值 ⁽¹⁾	最大值 ⁽¹⁾	单位
输入电平					
VDD	USB操作电压 ⁽²⁾		3.0 ⁽³⁾	3.6	V
⁽⁴⁾ V _{DI}	差分输入灵敏度	I(USBDP,USBDM)	0.2	-	V
V _{CM} ⁽⁴⁾	差分共模范围	包含V _{DI} 范围	0.8	2.5	
⁽⁴⁾ V _{SE}	单端接收器阈值		1.3	2.0	
输出电平					
V _{OL}	静态输出低电平	1.5kΩ 的R _L 接至 3.6V ⁽⁵⁾	-	0.3	V
V _{OH}	静态输出高电平	15kΩ 的R _L 接至 VSS ⁽⁵⁾	2.8	3.6	

1. 所有的电压测量都是以设备端地线为准。

2. 为了与USB 2.0 全速电气规范兼容，USBDP(D+)引脚必须通过一个1.5k Ω 电阻接至3.0~3.6V 电压。

3. CS32F103xx 正确的USB 功能可以在2.7V 得到保证，而不是在2.7~3.0V 电压范围下降级的电气特性。

4. 由综合评估保证，不在生产中测试。

5. RL 是连接到 USB 驱动器上的负载。

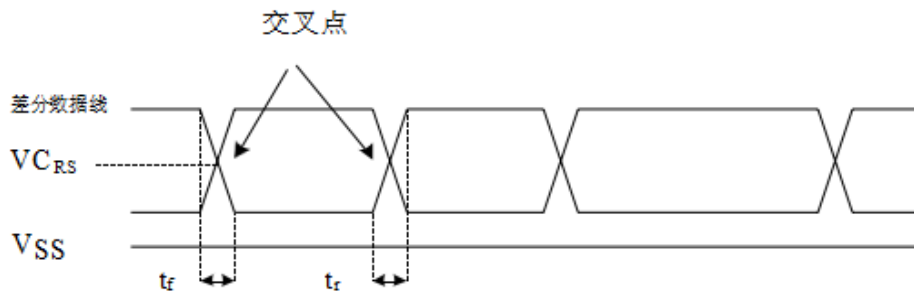


图 18 USB 时序：数据信号上升和下降时间定义

表 41 USB 全速电气特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
t_r	上升时间 ⁽²⁾	$CL \leq 50pF$	4	20	ns
t_f	下降时间 ⁽²⁾	$CL \leq 50pF$	4	20	ns
t_{rfm}	上升下降时间匹配	t_r / t_f	90	110	%
V_{CRS}	输出信号交叉电压		1.3	2.0	V

1. 由设计保证，不在生产中测试。

2. 测量数据信号从 10%至90%。

4.3.14. CAN(控制器局域网)接口

有关输入输出复用功能引脚(CAN_TX 和 CAN_RX)的特性详情，参见第 4.3.10 节。

4.3.15. 12 位 ADC 特性

除非特别说明，表 42 的参数是使用符合表 10 的条件的环境温度、fPCLK2 频率和 VDDA 供电电压测量得到。

注意：建议在每次上电时执行一次校准。

表 42 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
VDDA	供电电压	-	2.4	-	3.6	V
V _{REF+}	正参考电压	-	2.4	-	VDDA	V
I _{VREF}	在 V 输入脚上的电流	-	-	160 ⁽¹⁾	220 ⁽¹⁾	μA
f _{ADC}	ADC时钟频率	-	0.6	-	14	MHz
f _s ⁽²⁾	采样速率	-	0.05	-	1	MHz
f _{TRIG} ⁽²⁾	外部触发频率	f _{ADC} =14MHz	-	-	823	kHz
		-	-	-	17	1/f _{ADC}
V _{AIN} ⁽³⁾	转换电压范围	-	0(VSSA 或 V _{REF-} 连接到地)	-	V _{REF+}	V
R _{AIN} ⁽²⁾	外部输入阻抗		-	-	50	kΩ
⁽²⁾ R _{ADC}	采样开关电阻		-	-	1	kΩ
⁽²⁾ C _{ADC}	内部采样和保持电容		-	-	8	pF

$t_{CAL}^{(2)}$	校准时间	$f_{ADC}=14MHz$	5.9			μs
			83			$1/f_{ADC}$
$t_{lat}^{(2)}$	注入触发转换时延	$f_{ADC}=14MHz$	-	-	0.214	μs
			-	-	3 ⁽⁴⁾	$1/f_{ADC}$
$t_{latr}^{(2)}$	常规触发转换时延	$f_{ADC}=14MHz$	-	-	0.143	μs
			-	-	2 ⁽⁴⁾	$1/f_{ADC}$
$t_s^{(2)}$	采样时间	$f_{ADC}=14MHz$	0.107	-	17.1	μs
			1.5	-	239.5	$1/f_{ADC}$
$t_{STAB}^{(2)}$	上电时间		0	0	1	μs
$t_{CONV}^{(2)}$	总的转换时间 (包括采样时间)	$f_{ADC}=14MHz$	1	-	18	μs
			14~252(采样 t_s +逐步逼近 12.5)			$1/f_{ADC}$

1. 由综合评估保证，不在生产中测试。
2. 由设计保证，不在生产中测试。
3. 在LQFP48 和LQFP64 封装产品中，VREF+在内部连接到 VDDA，VREF-在内部连接到 VSSA。
4. 对于外部触发，必须在表43 列出的时延中加上一个延迟1/PCLK2。

4.3.15.1. 公式 1：最大 RAIN 公式

$$R_{AIN} < \frac{T_s}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$

上述公式(公式1)用于决定最大的外部阻抗，使得误差可以小于 1/4 LSB。其中 N=12(表示 12 位分辨率)。

表 43 $f_{ADC}=14MHz^{(1)}$ 时的最大 R_{AIN}

T_s (周期)	$t_s(\mu s)$	最大 $R_{AIN}(k\Omega)$
1.5	0.11	0.4
7.5	0.54	5.9
13.5	0.96	11.4
28.5	2.04	25.2
41.5	2.96	37.2
55.5	3.96	50
71.5	5.11	-
239.5	17.1	-

1. 由设计保证，不在生产中测试。

表 44 ADC 精度- 局限的测试条件⁽¹⁾⁽²⁾

符号	参数	测试条件	典型值	最大值 ⁽³⁾	单位
ET	综合误差	$f_{PCLK2} = 56 MHz$ $f_{ADC} = 14 MHz, R_{AIN} < 10 k\Omega, VDDA = 3.3V, T_A = 25^\circ C$ 测量是在 ADC 校准之后进行的	± 1.3	± 2	LSB
EO	偏移误差		± 1	± 1.5	
EG	增益误差		± 0.5	± 1.5	
ED	微分线性误差		± 0.7	± 1	
EL	积分线性误差		± 1.5	± 2	

1. ADC 的直流精度数值是在经过内部校准后测量的。
2. ADC 精度与反向注入电流的关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低，另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，(引脚与地之间)增加一个肖特基二极管。
3. 如果正向的注入电流，只要处于第 4.2 节中给出的 $I_{INJ(PIN)}$ 和 $\Sigma I_{INJ(PIN)}$ 范围之内，就不会影响 ADC 精度。
4. 由综合评估保证，不在生产中测试。

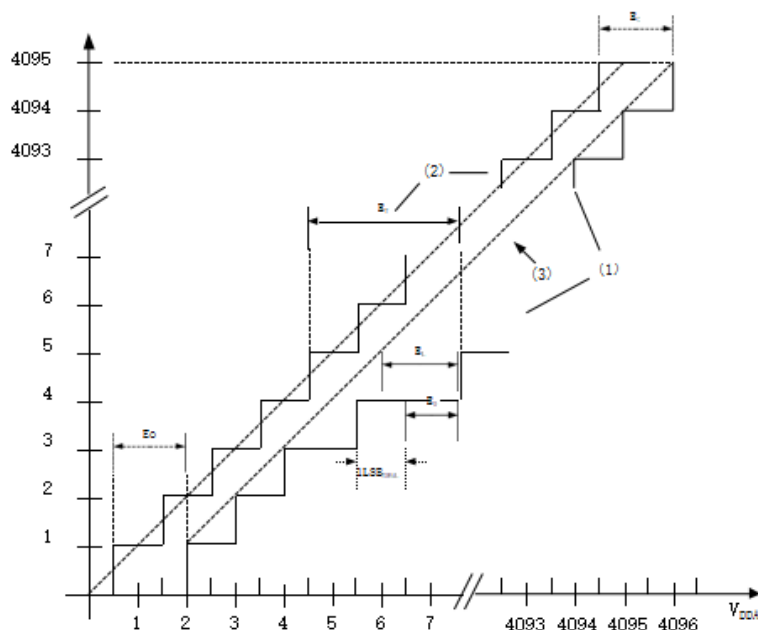


图 19 ADC 精度特性

(1) 为实际ADC 转换曲线的例子

(2) 理想转换曲线

(3) 实际转换点连线

E_T 综合误差：实际转换曲线与理想转换曲线间的最大偏离。

E_O 偏移误差：实际转换曲线上的第一次跃迁与理想转换曲线上的第一次跃迁之差。

E_G 增益误差：实际转换曲线上的最后一次跃迁与理想转换曲线上的最后一次跃迁之差。

E_D 微分线性误差：实际转换曲线上步距与理想步距(1LSB)之差。其中 $1LSB_{IDEAL} = V_{REF+}/4096$ (或 $V_{DDA}/4096$ ，由封装决定)。

E_L 积分线性误差：实际转换曲线与终点连线间的最大偏离。

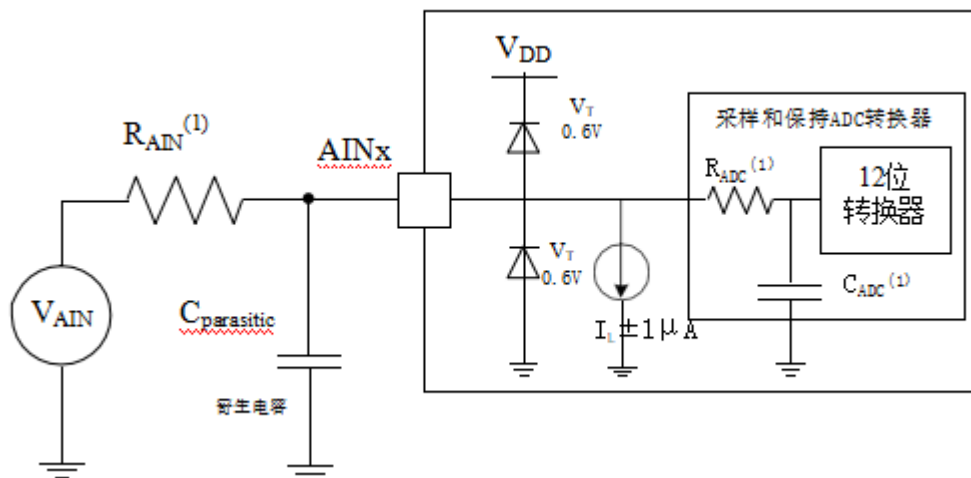


图 20 使用 ADC 典型的连接图

1. 有关 R_{AIN} 、 R_{ADC} 和 C_{ADC} 的数值，参见表 45。
2. $C_{parasitic}$ 表示 PCB(与焊接和 PCB 布局质量相关)与焊盘上的寄生电容(大约 7pF)。较大的 $C_{parasitic}$ 数值将降低转换的精度，解决的办法是减小 f_{ADC} 。

4.3.15.2. PCB 设计建议

依据 V_{REF+} 是否与 V_{DDA} 相连，电源的去耦必须按照图 20 或图 21 连接。图中的 10nF 电容必须是瓷介电容，它们应该尽可能地靠近 MCU 芯片。

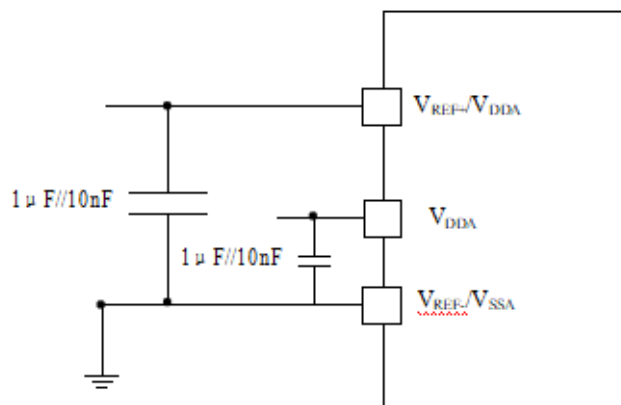


图 21 供电电源和参考电源去耦线路(V_{REF+} 未与 V_{DDA} 相连)

1. V_{REF+} 和 V_{REF-} 输入只出现在100 脚以上的产品。

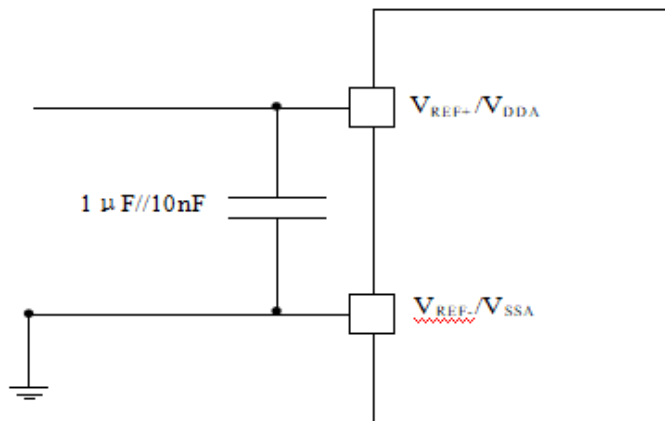


图 22 供电电源和参考电源去耦线路(V_{REF+} 与 V_{DDA} 相连)

4.3.16. 温度传感器特性

表 45 温度传感器特性

符号	参数	最小值	典型值	最大值	单位
⁽¹⁾ T_L	V_{SENSE} 相对于温度的线性度	-	± 1		$^{\circ}\text{C}$
$\text{Avg_Slope}^{(1)}$	平均斜率		4.3		$\text{mV}/^{\circ}\text{C}$
⁽¹⁾ V_{25}	在 25°C 时的电压		1.62		V
⁽²⁾ t_{START}	建立时间	4	-	10	μs
⁽²⁾⁽³⁾ $T_{\text{S_temp}}$	当读取温度时，ADC 采样时间	-	-	17.1	μs

- 1.由综合评估保证，不在生产中测试。
 - 2.由设计保证，不在生产中测试。
- 最短的采样时间可以由应用程序通过多次循环决定。

5. 封装信息

5.1. LQFP100 (14mm*14mm*1.4mm, e=0.5mm)

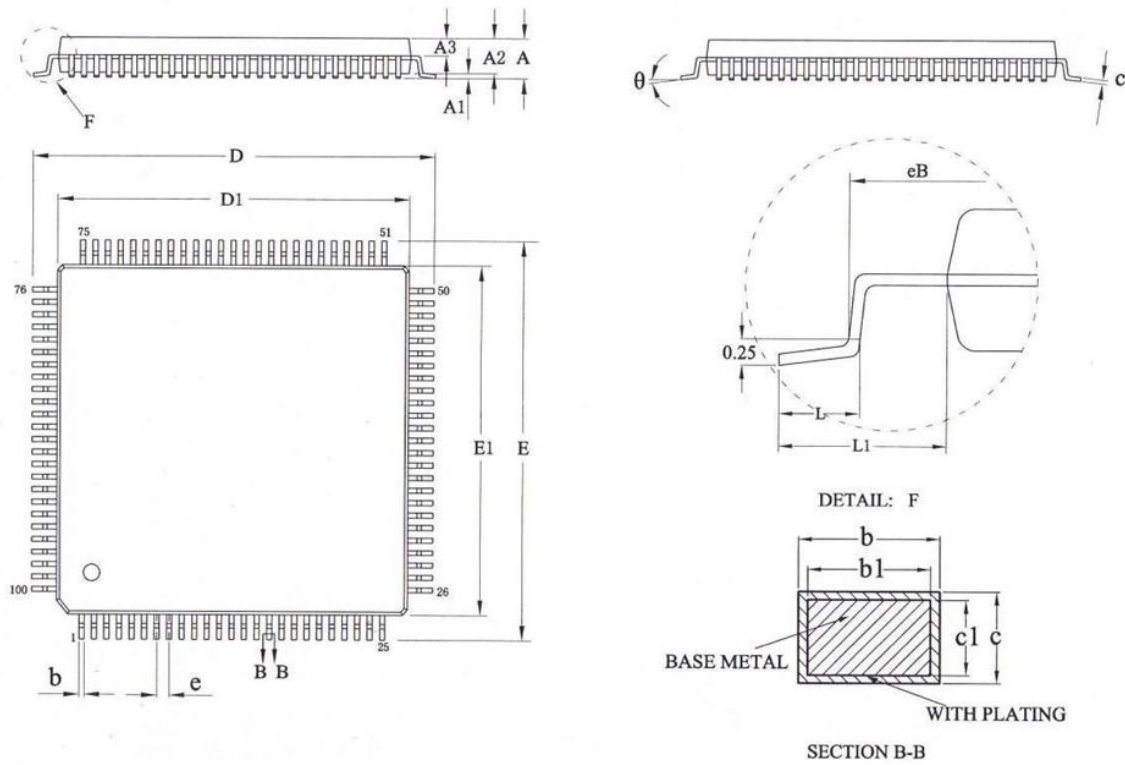


图 23 LQFP100 封装框图

表 46 LQFP100 封装尺寸

标号	毫米		
	最小值	典型值	最大值
A			1.60
A1	0.05	-	0.20
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.19	-	0.27
b1	0.18	0.20	0.23
c	0.13	-	0.18
c1	0.12	0.13	0.14
D	15.80	16.00	16.20
D1	13.90	14.00	14.10
E	15.80	16.00	16.20
E1	13.90	14.00	14.10
eB	15.05	-	15.35
e	0.50BSC		
L	0.45	-	0.75
L1	1.00BSC		
θ	0	-	7°

5.2. LQFP64 (10mm*10mm*1.4mm, e=0.5mm)

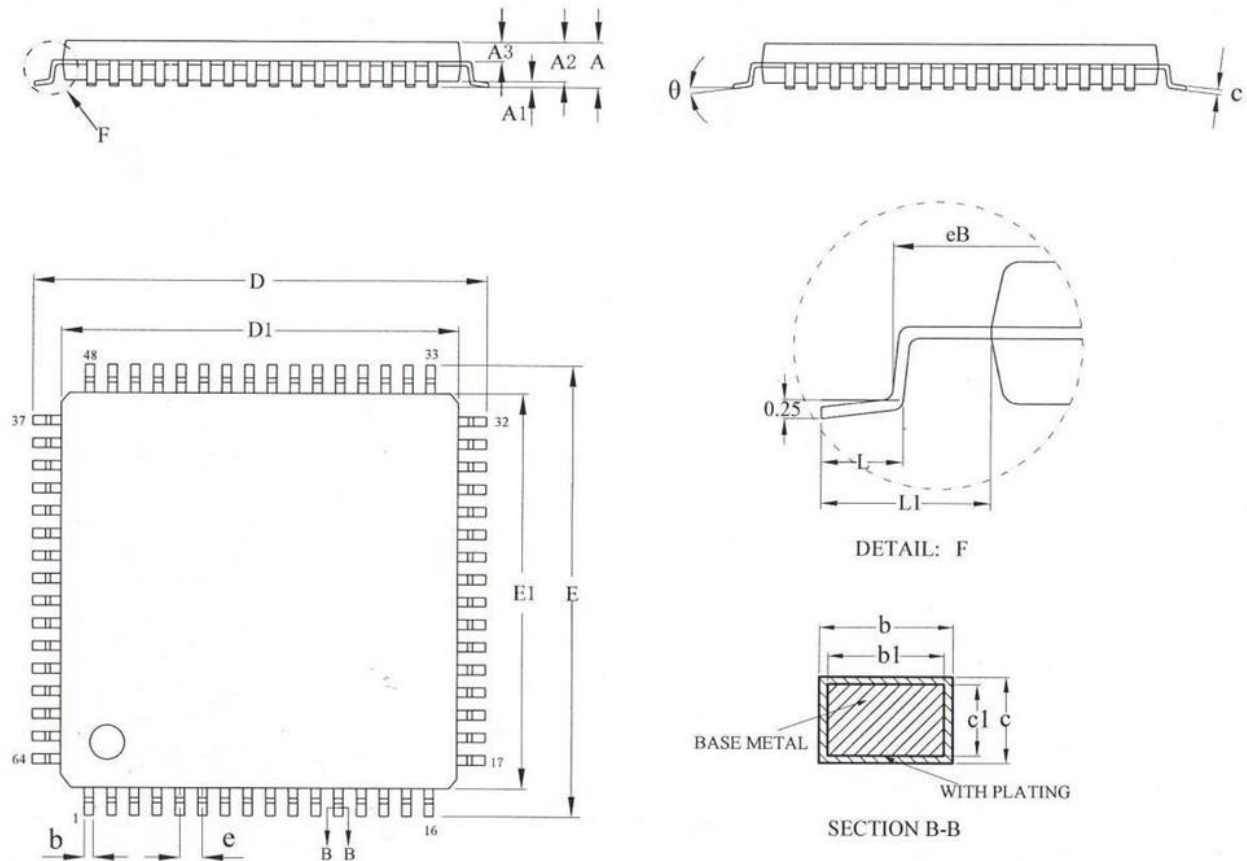


图 24 LQFP64 封装框图

表 47 LQFP64 封装尺寸

标号	毫米		
	最小值	典型值	最大值
A	-	-	1.60
A1	0.05	-	0.20
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.19	-	0.27
b1	0.18	0.20	0.23
c	0.13	-	0.18
c1	0.12	0.13	0.14
D	11.80	12.00	12.20
D1	9.90	10.00	10.10
E	11.80	12.00	12.20
E1	9.90	10.00	10.10
eB	11.25	-	11.45
E1	9.90	10.00	10.10
e	0.50BSC		
theta	0°	-	7°
L	0.45	-	0.75
L1	1.00BSC		

5.3. LQFP48 (7mm*7mm*1.4mm, e=0.5mm)

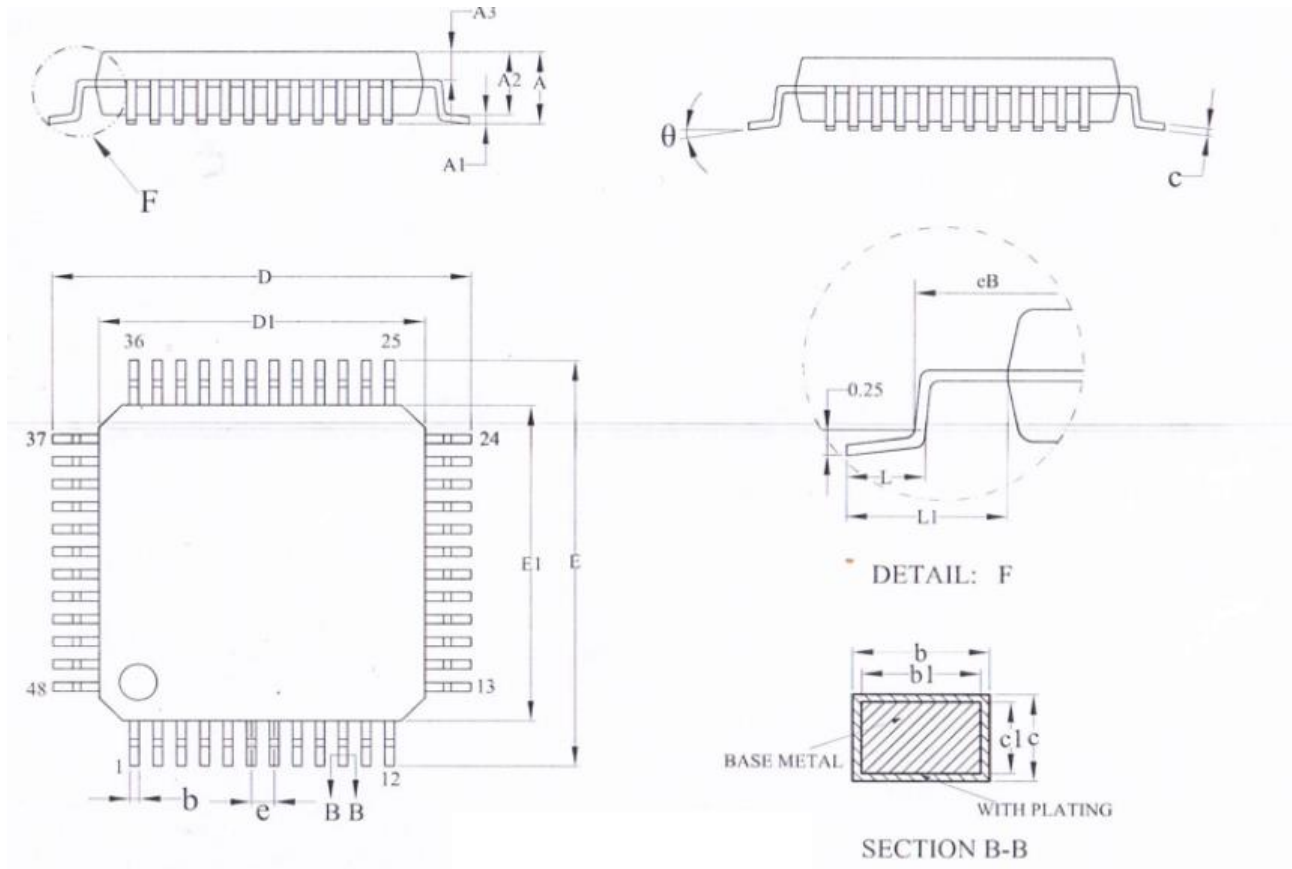


图 25 LQFP48 封装框图

表 48 LQFP48 封装尺寸

标号	毫米		
	最小值	典型值	最大值
A	-	-	1.60
A1	0.05	-	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	-	0.26
b1	0.17	0.20	0.23
c	0.13	-	0.17
c1	0.12	0.13	0.14
D	8.80	9.00	9.20
D1	6.90	7.00	7.10
E	8.80	9.00	9.20
E1	6.90	7.00	7.10
eB	8.10	-	8.25
e	0.50BSC		
L	0.40	-	0.75
L1	1.00BSC		
k	0	-	7°

5.4. QFN48 (5mm*5mm*0.85mm, e=0.35mm)

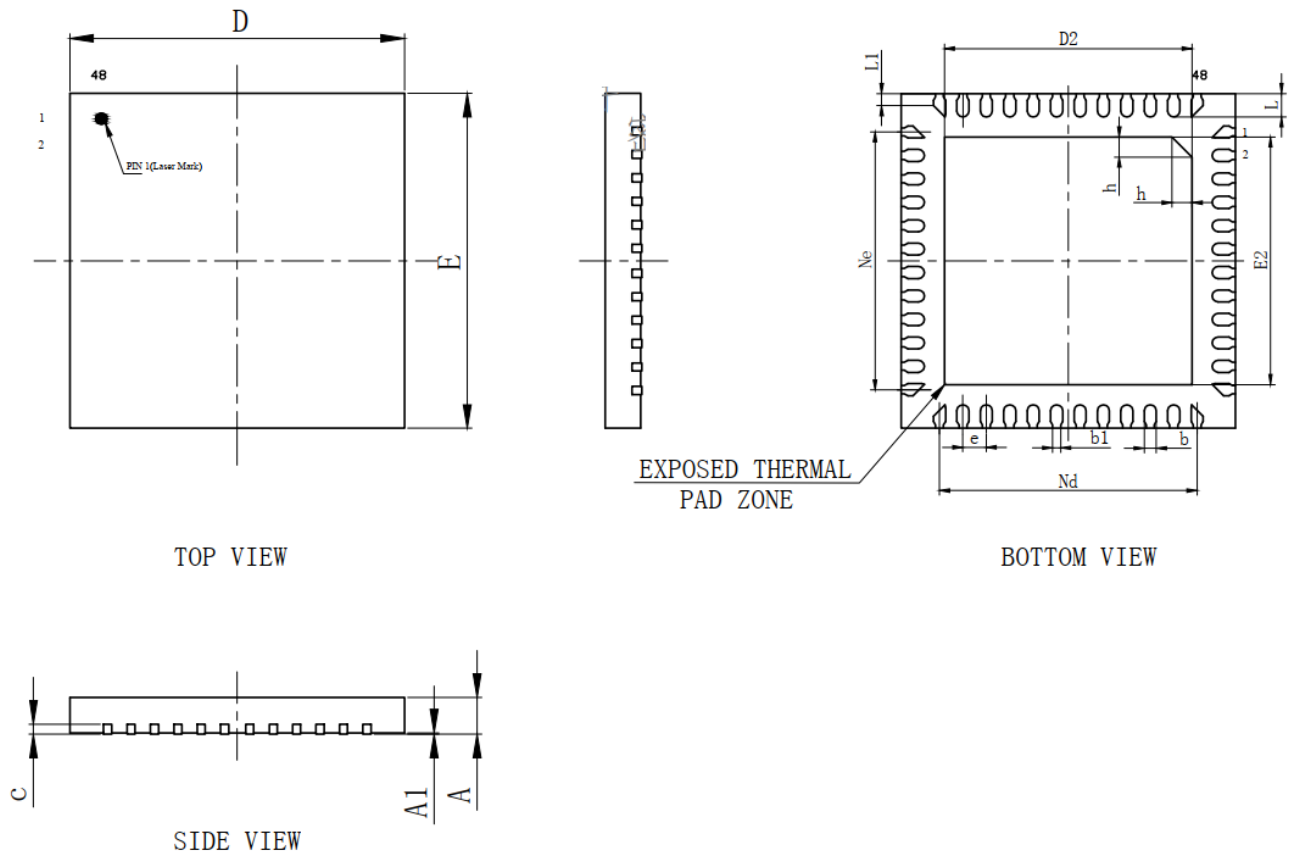


图 26 QFN48 封装框图

表 49 QFN48 封装尺寸

标号	毫米		
	最小值	典型值	最大值
A	0.80	0.85	0.90
A1	0	0.02	0.05
b	0.13	0.18	0.23
b1	0.12REF		
c	0.10	0.15	0.20
D	4.90	5.00	5.10
D2	3.60	3.70	3.80
e	0.35BSC		
Ne	3.85BSC		
Nd	3.85BSC		
E	4.90	5.00	5.10
E2	3.60	3.70	3.80
L	0.30	0.35	0.40
L1	0.13	0.18	0.23
h	0.25	0.30	0.35

5.5. 热特性

芯片最大结温 T_{junction} 不能超过章节 4.2 绝对最大额定值给定的结温。

芯片最大结温 T_{junction} 可以用如下公式进行计算

$$T_{\text{junction}} = T_{\text{A max}} + (P_{\text{D max}} \times \Theta_{\text{JA}})$$

其中

- $T_{\text{A max}}$ 是最大环境温度，单位℃
- Θ_{JA} 是封装结到环境的热阻，单位℃/W
- $P_{\text{D max}}$ 是 $P_{\text{INT max}}$ 和 $P_{\text{I/O max}}$ 的和 ($P_{\text{D max}} = P_{\text{INT max}} + P_{\text{I/O max}}$)
- $P_{\text{INT max}}$ 是 I_{VDD} 和 V_{VDD} 的乘积，单位是 W。这个芯片最大的内部功耗
- $P_{\text{I/O max}}$ 是输出脚的最大功耗，其中

$$P_{\text{I/O max}} = \sum (V_{\text{OL}} \times I_{\text{OL}}) + \sum ((V_{\text{VDD}} - V_{\text{OH}}) \times I_{\text{OH}})$$

需要考虑应用中 IO 处于低电平和高电平时 $V_{\text{OL}}/I_{\text{OL}}$ 和 $V_{\text{OH}}/I_{\text{OH}}$ 的准确值。

符号	参数	数值	单位
Θ_{JA}	结到环境热阻 LQFP100-14×14mm	44.0	℃/W
	结到环境热阻 LQFP64-10×10mm	58.8	
	结到环境热阻 LQFP48-7×7mm	52.4	
Θ_{JC}	结到表面热阻 LQFP100-14×14mm	12.6	
	结到表面热阻 LQFP64-10×10mm	19.0	
	结到表面热阻 LQFP48-7×7mm	16.8	

6. 产品命名规则

6.1. 产品型号说明

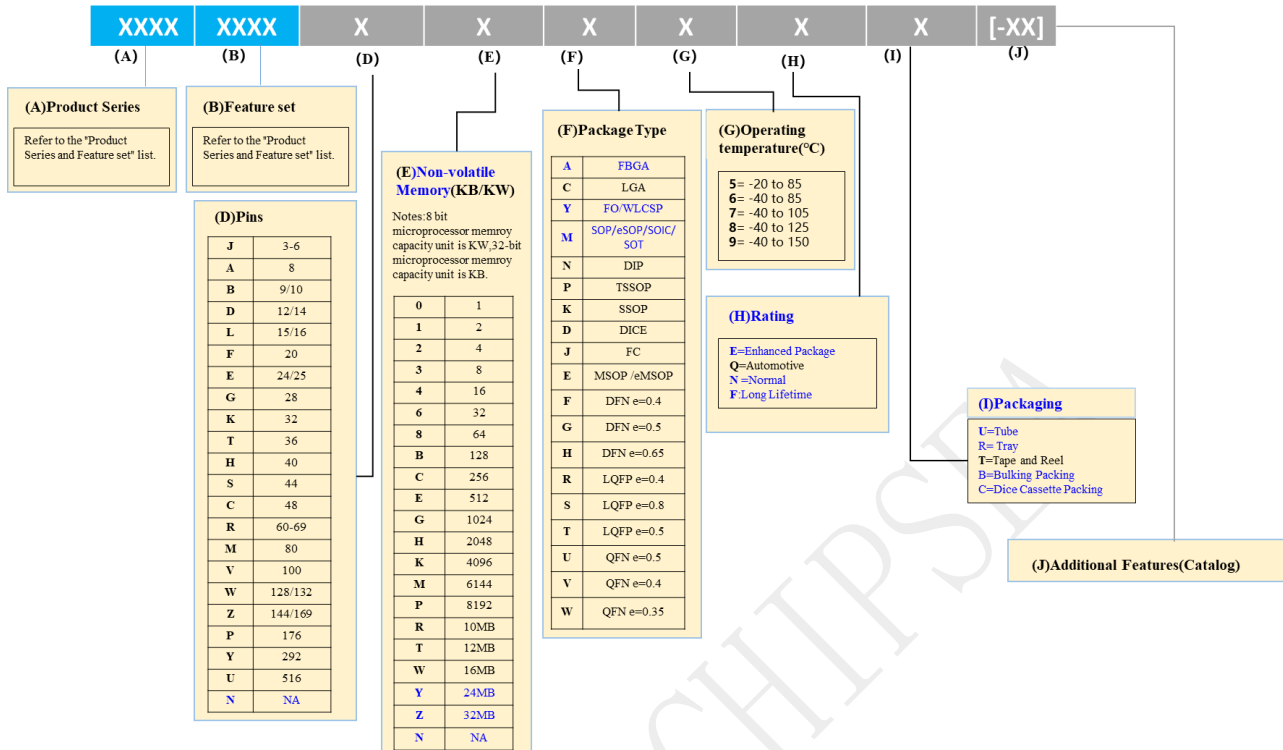


图 27 产品型号说明

表 50 产品型号说明

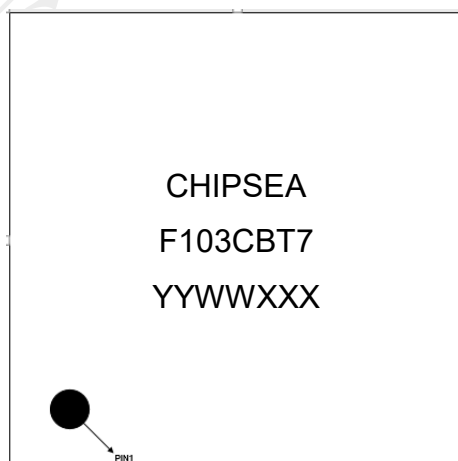
Part No.	示例: CS32F103CBT7	说明
(A) Product Series	CS32	32 位 MCU
(B) Feature Set	F103	F1 系列, M3 内核
(D) Pins	C/R/V	Pins=48/64/100
(E) Memory(KB)	8/B	64/128KB
(F) Package Type	T	LQFP=0.5
	W	QFN e=0.35
(G) Operating temperature(°C)	7	7=-40 to 105
	6	6=-40 to 85
(H) Rating	No mark or N	Normal
(I) Packaging	No mark or R	Tray
	T	Tape and Reel
(J) Additional Features(Catalog)	No mark	Low power products
	-B05	Normal power products

6.2. 产品丝印说明



丝印打标说明：	
1	正面引脚 Pin1 标记；
2	正面第一行（CHIPSEA）；
3	正面第二行（产品型号）；
4	正面第三行（YYWWXXX）为主批号： 左端两位 YY 取自公历年号后两位； 中间两位 WW 取自本年度日历周数，不足两位时左端补 0； 右端两位 XXX 为可变量以订单指定为准；
5	字体为“Arial”；
6	打印方式为激光正印

例如，CS32F103CBT7 的丝印如下：



7. 订货信息

表 51 订货信息

产品型号	引脚	存储空间 (KB)	封装类型	包装	包装 数量	工作温度 (°C)	MSL	丝印
CS32F103VBT7	100	128	LQFP100 (14×14×1.4-e=0.50)	Tray	900	-40~105	3	F103VBT7
CS32F103RBT7	64	128	LQFP64 (10×10×1.4-e=0.50)	Tray	1600	-40~105	3	F103RBT7
CS32F103CBT7	48	128	LQFP48 (7×7×1.4-e=0.50)	Tray	2500	-40~105	3	F103CBT7
CS32F103C8T7	48	64	LQFP48 (7×7×1.4-e=0.50)	Tray	2500	-40~105	3	F103C8T7
CS32F103CBW6	48	128	QFN48 (5×5×0.85-e=0.35)	Tray	4900	-40~85	3	F103CBW6
CS32F103VBT7 NR-B05	100	128	LQFP100 (14×14×1.4-e=0.50)	Tray	900	-40~105	3	F103VBT7
CS32F103RBT7 NR-B05	64	128	LQFP64 (10×10×1.4-e=0.50)	Tray	1600	-40~105	3	F103RBT7
CS32F103CBT7 NR-B05	48	128	LQFP48 (7×7×1.4-e=0.50)	Tray	2500	-40~105	3	F103CBT7
CS32F103C8T7 NR-B05	48	64	LQFP48 (7×7×1.4-e=0.50)	Tray	2500	-40~105	3	F103C8T7
CS32F103CBW6 NR-B05	48	128	QFN48 (5×5×0.85-e=0.35)	Tray	4900	-40~85	3	F103CBW6

8. Reflow 参考曲线，峰值温度

表 52 无铅工艺 封装分类 Reflow 温度

封装厚度	Volume mm3 <350	Volume mm3 350-2000	Volume mm3 >2000
<1.6 mm	260 +0 °C *	260 +0 °C *	260 +0 °C *
1.6 mm - 2.5 mm	260 +0 °C *	250 +0 °C *	245 +0 °C *
≥2.5 mm	250 +0 °C *	245 +0 °C *	245 +0 °C *

*误差：设备制造商/供应商应确保工艺兼容性达到并包括所述分级温度（这意味着峰值 Reflow 温度+0°C。例如，260 °C+0°C）在额定 MSL 水平。

表 53 分级 Reflow 曲线

曲线特征	无铅组件
平均爬坡率（ $T_{s_{max}}$ to T_p ）	3° C/秒最大值
预热 - 最低温度（ $T_{s_{min}}$ ） - 最高温度（ $T_{s_{max}}$ ） - 时间（ $t_{s_{min}}$ 到 $t_{s_{max}}$ ）	150 °C 200 °C 60-180 秒
以上保持时间： - 温度（ T_L ） - 时间（ t_L ）	217 °C 60-150 秒
峰值/分级温度（ T_p ）	详见表 60
实际峰值温度（ t_p ）5 °C 以内的时间	20-40 秒
坡度下降率	6 °C/秒最大值
25°C 至峰值温度的时间	8 分钟最大值

注：所有的温度都是指封装的顶部温度，在封装本体表面测量。

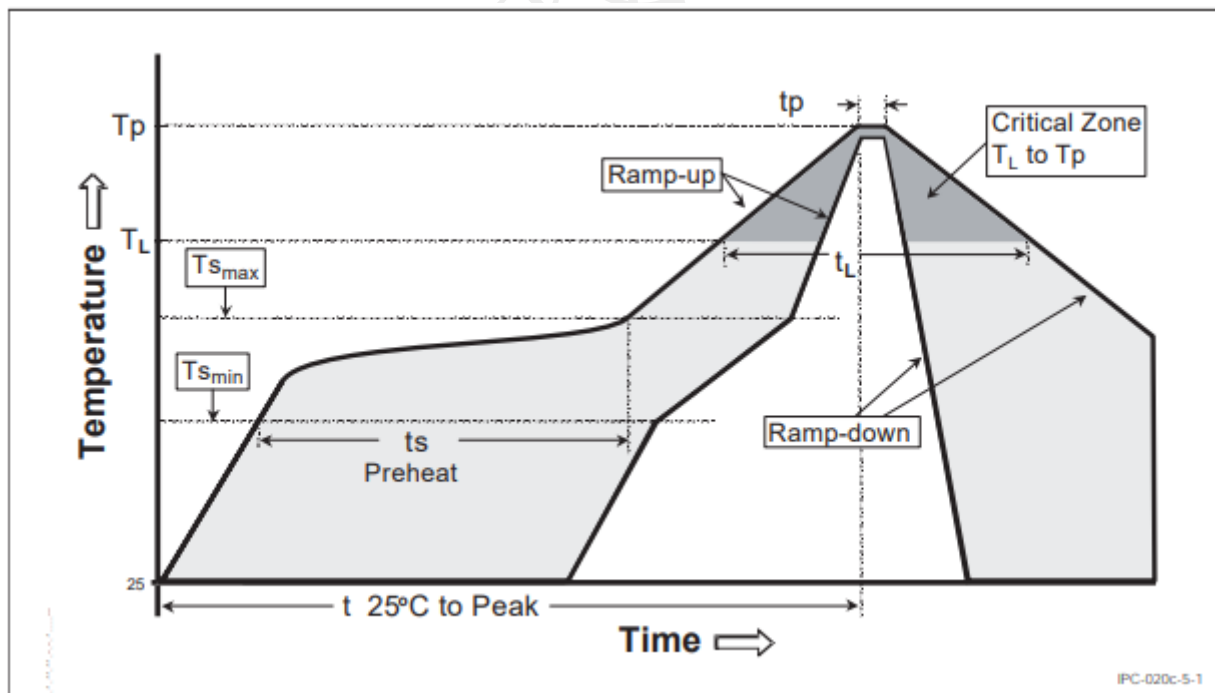


图 28 分级 Reflow 曲线

9. 包装说明

9.1. 盘装产品

9.1.1. 包装数量

封装形式	尺寸	适用封装 (尺寸, 单位 mm)	颗/盘	盘/盒	颗/盒	颗/箱
QFN	5mm×5mm	QFN32(5*5*0.75, e=0.5) QFN48(5*5*0.85, e=0.35)	490	10+1(空盘)	4900	29400
LQFP	7mm×7mm	LQFP32(7*7*1.4, e=0.8) LQFP48(7*7*1.4, e=0.5) LQFP64(7*7*1.4, e=0.4)	250	10+1(空盘)	2500	15000
LQFP	10mm×10mm	LQFP64(10*10*1.4, e=0.5)	160	10+1(空盘)	1600	16000
LQFP	14mm×14mm	LQFP100(14*14*1.4, e=0.5)	90	10+1(空盘)	900	9000

9.1.2. 包装规格清单

内包材	Tray 盘、扎带、干燥剂、湿度标识卡、铝箔袋、气泡袋、内盒标签、内盒。						
外包材	纸箱、胶带、外箱标签。						
纸箱要求	外纸箱：双层瓦楞纸板（厚度≤6mm），耐破强度≥14kg/cm ² ，内盒与纸箱缝隙≥1cm 必须使用气泡垫或海绵垫填充。						
尾数箱	同一订单每批次只允许一个尾数箱。						
内盒(mm)	轧带	干燥剂	湿度卡	铝箔袋(mm)	气泡袋(mm)	外箱(mm)	备注
370*150*88	>6mm	10g 以上	6 点式	495*240	440*240	385*320*275 或 395*320*285	

9.1.3. 器件方向

IC 正面朝上放置于托盘，PIN1 脚方向统一朝向且与托盘斜角方向保持一致。

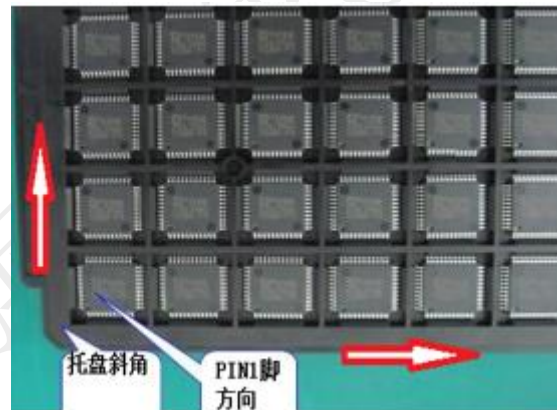


图 29 PIN1 位置示意

9.2. 编带产品

9.2.1. 包装数量

封装形式	封装尺寸	适用封装 (尺寸, 单位 mm)	卷盘规格	颗/卷	卷/盒	盒/箱	颗/箱
QFN	5mm×5mm	QFN32(5*5*0.75, e=0.5) QFN48(5*5*0.85, e=0.35)	13 寸	3000	1	6	18000

9.2.2. 包装规格清单

内包材	编带、干燥剂、湿度标识卡、铝箔袋、内盒标签、内盒。						
外包材	纸箱、胶带、外箱标签。						
纸箱要求	外纸箱：双层瓦楞纸板（厚度≤6mm），耐破强度≥14kg/cm ² ，内盒与纸箱缝隙≥1cm 必须使用气泡垫或海绵垫填充。						
尾数箱	同一订单每批次只允许一个尾数箱。						

尺寸	内盒(mm)	干燥剂	湿度卡	铝箔袋(mm)	外箱(mm)	备注
13 寸	355*340*50	10g 以上	6 点式	450*410	355*375*365	正常包装

9.2.3. 器件方向

芯片正面朝上，第一 PIN 脚与编带圆孔方向一致，载带孔朝向卷盘背面（如下图）。

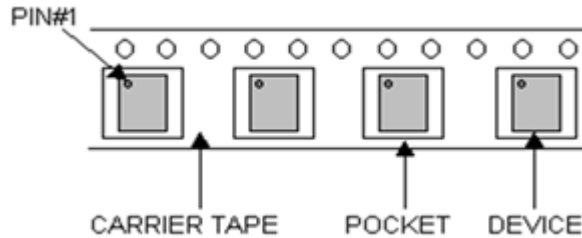


图 30 PIN1 位置示意



图 31 13 寸编带拉出方向

9.3. 标签说明

标签样式示例	
样式一	样式二
样式三	
名称	说明
客户型号	“客户型号” 栏位内容。如无，填写 NA。
芯海(产品)型号	产品型号

数量	产品数量，单位 PCS
批号	产品批号
封装类型	“封装形式+管脚数量”， 例如 QFN32
包装形式	包装形式的英文简写
湿敏等级	产品封装湿敏等级
校验码	烧录程序或固件程序，“Checksum” 栏位内容；如无， 填写 NA。
二维码	以“ ” 分隔开， 条码内容： 由“供应商编码（6 位） 存货编码 客户型号 芯海型号 数量 晶圆批号 批号（芯片产品填委外订单上的测试批号； WLCSP 产品填委外订单上的封装批号） 产品类型（如果是芯片， 填封装类型。 如果是模组， 填 Module） 包装形式 湿敏等级 校验码 生产日期 产地 硬件版本 软件版本 BootLoader 号 Bulk ID（仅针对 WLCSP 封装）， 组成。 注： 1.条码显示顺序不能颠倒， 2.没有的项目填 NA。

10. HSF 声明

10.1. RoHS

符合欧盟《电子电气设备中限制使用特定有害物质的指令》 EU RoHS2.0 (2011/65/EU & Amendment(EU) 2015/863);

10.2. REACH

REACH SVHC 223 和 Annex XVII 附录 17, 欧盟 ECHA 颁布的有关限制使用的有害物质的指令 ECHA (EU Regulation (EC) No.1907/2006) 控制要求。

10.3. 材料成分

10.3.1. CS32F103VBT7-LQFP100 材料成分

Material	Supplier	Type	Weight(mg)	Composition	CAS No.	% of weight	Composition Weight(mg)
Die	/	/	21.00	Silicon	7440-21-3	100.000%	21.0000
Lead Frame	AAM	C7025	155.00	Cu	7440-50-8	95.500%	148.0250
				Si	7440-21-3	0.750%	1.1625
				Ni	7440-02-0	3.000%	4.6500
				Mg	7439-95-4	0.150%	0.2325
				Ag	7440-22-4	0.600%	0.9300
Epoxy	Henkel	8303A	2.00	Silver	7440-22-4	80.400%	1.6080
				Acrylate Monomer	proprietary	13.400%	0.2680
				BMI Resin	proprietary	6.000%	0.1200
				2-(3,4-	3388-04-3	0.200%	0.0040
Wire	MKE	Au PdCu	16.00	Copper	7440-50-8	98.80%	15.8080
				Palladium	7440-05-3	1.000%	0.1600
				Gold	7440-57-5	0.200%	0.0320
Mold Compound	SD	CEL-9220HF	502.00	Epoxy Resin 1	Trade secret	2.5000%	12.5500
				Epoxy Resin 2	Trade secret	2.5000%	12.5500
				Epoxy Resin 3	Trade secret	2.5000%	12.5500
				Hardener	Trade secret	5.0000%	25.1000
				Catalyst	Trade secret	0.5000%	2.5100
				Carbon black	1333-86-4	0.2000%	1.0040
				Amorphous silica1	60676-86-0	78.8000%	395.5760
				Amorphous silica2	7631-86-9	8.0000%	40.1600
Plating	Aisen	Tin	20.00	Sn	7440-31-5	99.990%	19.9980
				Others	/	0.010%	0.0020

10.3.2. CS32F103RBT7-LQFP64 材料成分

Material	Supplier	Type	Weight(mg)	Composition	CAS No.	% of weight	Composition Weight(mg)
Die	/	/	17.50	Silicon	7440-21-3	100.000%	17.5000
Lead Frame	HTBJ	C7025	71.00	Cu	7440-50-8	95.490%	67.7979
				Si	7440-21-3	0.750%	0.5325
				Ni	7440-02-0	3.000%	2.1300
				Mg	7439-95-4	0.150%	0.1065
				Ag	7440-22-4	0.600%	0.4260
				Pb	7439-92-1	0.010%	0.0071
Epoxy	Henkel	8303A	2.00	Silver	7440-22-4	80.400%	1.6080
				Acrylate Monomer	proprietary	13.400%	0.2680
				BMI Resin	proprietary	6.000%	0.1200
				2-(3,4-Epoxy cyclohexyl)ethyltrimethoxysilane	3388-04-3	0.200%	0.0040
Wire	MKE	Au PdCu	10.00	Copper	7440-50-8	98.80%	9.8800
				Palladium	7440-05-3	1.000%	0.1000
				Gold	7440-57-5	0.200%	0.0200
Mold Compound	SD	CEL-9220HF	247.00	Epoxy Resin 1	Trade secret	2.5000%	6.1750
				Epoxy Resin 2	Trade secret	2.5000%	6.1750
				Epoxy Resin 3	Trade secret	2.5000%	6.1750
				Hardener	Trade secret	5.0000%	12.3500
				Catalyst	Trade secret	0.5000%	1.2350
				Carbon black	1333-86-4	0.2000%	0.4940
				Amorphous silica1	60676-86-0	78.8000%	194.6360
				Amorphous silica2	7631-86-9	8.0000%	19.7600
Plating	Aisen	Tin	13.00	Sn	7440-31-5	99.990%	12.9987
				Others	/	0.010%	0.0013

10.3.3. CS32F103CBT7-LQFP48 材料成分

Material	Supplier	Type	Weight(mg)	Composition	CAS No.	% of weight	Composition Weight(mg)
Die	HHG	Die	8.00	Silicon	7440-21-3	100.000%	8.0000
Lead Frame	FS	C7025	53.00	Cu	7440-50-8	95.095%	50.4004
				Si	7440-21-3	0.750%	0.3975
				Ni	7440-02-0	2.500%	1.3250
				Mg	7439-95-4	0.150%	0.0795
				Ag	7440-22-4	1.500%	0.7950
				Pb	7439-92-1	0.005%	0.0027
Epoxy	Henkel	8303A	2.00	Silver	7440-22-4	80.400%	1.6080
				Acrylate Monomer	proprietary	13.400%	0.2680
				BMI Resin	proprietary	6.000%	0.1200
				2-(3,4-	3388-04-3	0.200%	0.0040
Wire	MKE	Au PdCu	7.00	Copper	7440-50-8	98.80%	6.9160
				Palladium	7440-05-3	1.000%	0.0700
				Gold	7440-57-5	0.200%	0.0140
Mold Compound	SD	CEL-9220HF	108.00	Epoxy Resin 1	Trade secret	2.5000%	2.7000
				Epoxy Resin 2	Trade secret	2.5000%	2.7000
				Epoxy Resin 3	Trade secret	2.5000%	2.7000
				Hardener	Trade secret	5.0000%	5.4000
				Catalyst	Trade secret	0.5000%	0.5400
				Carbon black	1333-86-4	0.2000%	0.2160
				Amorphous silica1	60676-86-0	78.8000%	85.1040
				Amorphous silica2	7631-86-9	8.0000%	8.6400
Plating	Aisen	Tin	10.00	Sn	7440-31-5	99.990%	9.9990
				Others	/	0.010%	0.0010

10.3.4. CS32F103C8T7-LQFP48 材料成分

Material	Supplier	Type	Weight(mg)	Composition	CAS No.	% of weight	Composition Weight(mg)
Die	HHG	Die	8.00	Silicon	7440-21-3	100.000%	8.0000
Lead Frame	FS	C7025	53.00	Cu	7440-50-8	95.095%	50.4004
				Si	7440-21-3	0.750%	0.3975
				Ni	7440-02-0	2.500%	1.3250
				Mg	7439-95-4	0.150%	0.0795
				Ag	7440-22-4	1.500%	0.7950
				Pb	7439-92-1	0.005%	0.0027
Epoxy	Henkel	8303A	2.00	Silver	7440-22-4	80.400%	1.6080
				Acrylate Monomer	proprietary	13.400%	0.2680
				BMI Resin	proprietary	6.000%	0.1200
				2-(3,4-	3388-04-3	0.200%	0.0040
Wire	MKE	Au PdCu	7.00	Copper	7440-50-8	98.80%	6.9160
				Palladium	7440-05-3	1.000%	0.0700
				Gold	7440-57-5	0.200%	0.0140
Mold Compound	SD	CEL-9220HF	108.00	Epoxy Resin 1	Trade secret	2.5000%	2.7000
				Epoxy Resin 2	Trade secret	2.5000%	2.7000
				Epoxy Resin 3	Trade secret	2.5000%	2.7000
				Hardener	Trade secret	5.0000%	5.4000
				Catalyst	Trade secret	0.5000%	0.5400
				Carbon black	1333-86-4	0.2000%	0.2160
				Amorphous silica1	60676-86-0	78.8000%	85.1040
				Amorphous silica2	7631-86-9	8.0000%	8.6400
Plating	Aisen	Tin	10.00	Sn	7440-31-5	99.990%	9.9990
				Others	/	0.010%	0.0010

11. 免责声明和版权公告



芯海科技
CHIPSEA

股票代码:688595

免责声明和版权公告

本文档中的信息，包括供参考的 URL 地址，如有变更，恕不另行通知。

本文档可能引用了第三方的信息，所有引用的信息均为“按现状”提供，芯海科技不对信息的准确性、真实性做任何保证。

芯海科技不对本文档的内容做任何保证，包括内容的适销性、是否适用于特定用途，也不提供任何其他芯海科技提案、规格书或样品在他处提到的任何保证。

芯海科技不对本文档是否侵犯第三方权利做任何保证，也不对使用本文档内信息导致的任何侵犯知识产权的行为负责。本文档在此未以禁止反言或其他方式授予任何知识产权许可，不管是明示许可还是暗示许可。

Wi-Fi 联盟成员标志归 Wi-Fi 联盟所有。蓝牙标志是 Bluetooth SIG 的注册商标。

文档中提到的所有商标名称、商标和注册商标均属其各自所有者的财产，特此声明。

版权归 © 2023 芯海科技（深圳）股份有限公司。保留所有权利。