本ドキュメントは Cypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、「MB」から始まるシリーズ名，品名およびオーダ型格が記載されておりますが、これらはすべて「CY」から始まるシリーズ名，品名およびオーダ型格として、新規および既存のお客様に引き続き提供してまいります。

オーダ型格の調べ方について

1. www.cypress.com/pcnにアクセスしてください。
2. SEARCH PCNS フィールドに、オーダ型格などのキーワードを入力し、「Apply」をクリックしてください。
3. 該当するタイトル(Title)をクリックしてください。
4. 「Affected Parts List」ファイルを開いてください。
   当該ファイルに記載されている各種変更情報をご利用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレスは、世界で最も革新的な車載や産業機器、スマート家電、民生機器および医療機器製品向けに、最先端の組み込みシステム ソリューションを提供するリーディング カンパニーです。サイプレスのマイクロコントローラーや、アナログ IC、ワイヤレスおよび USB ベースのコネクティビティ ソリューション、高い信頼性と高性能を提供するメモリ製品は、各種機器メーカーの差異化製品の開発と早期市場参入を支援します。サイプレスは、ベストクラスのサポートと開発リソースをグローバルに提供することで、彼らが従来市場を破壊しまったく新しい製品カテゴリを歴史的なスピードで市場投入できるよう支援します。詳細はサイプレスのウェブサイト (japan.cypress.com) をご覧ください。

MB9B310R シリーズ

32ビット ARM® Cortex®-M3 FM3 マイクロコントローラ

MB9B310R シリーズは、高速処理と低コストを求める組込み制御用途向けに設計された、高集積 32 ビットマイクロコントローラです。本シリーズは、CPU に ARM Cortex-M3 プロセッサを搭載し、フラッシュメモリおよび SRAM のオンチップメモリとともに、周辺機能として、モータ制御用タイマ, A/D コンバータ, 各種通信インタフェース(USB, UART, CSIO, I²C, LIN)により構成されます。『FM3 ファミリ ペリフェラルマニュアル』において、このデータシートに記載されている製品は、TYPE4 製品に分類されます。

特長

32 ビット ARM Cortex-M3 コア

■プロセッサ版数: r2p1

■最大動作周波数: 144 MHz

■メモリ保護ユニット(MPU): 組込みシステムの信頼性を向上させます。

■ネスト型ベクタ割込みコントローラ(NVIC): 1 チャネルの NMI(ノンマスカブル割込み)と

■48 チャネルの周辺割込みに対応。16 の割込み優先度レベルを設定できます。

■24 ビットシステムタイマ(Sys Tick): OS タスク管理用のシステムタイマです。

オンチップメモリ

■フラッシュメモリ
本シリーズは、2 つの独立したフラッシュメモリを搭載します。

− メインフラッシュ
- 最大 512 K バイト
- 16 K バイトのトレースバッファメモリを使用した Flash アクセラレータ機能を内蔵
- フラッシュメモリへのリードアクセスは、動作周波数 72 MHz までは 0 wait-cycle です。
  72 MHz より大きい場合でも、Flash アクセラレータ機能により、0 wait-cycle と同等なアクセスを行えます
- コード保護用セキュリティ機能

− ワークフラッシュ
- 32K バイト
- リードサイクル: 4 wait-cycle 動作周波数が 72 MHz を超える場合
- 2 wait-cycle 動作周波数が 40 MHz を超え、72 MHz 以下の場合
- 0 wait-cycle 動作周波数が 40 MHz 以下の場合
- セキュリティ機能はコード保護用セキュリティ機能と共有

■SRAM
本シリーズのオンチップ SRAM は、2 つの独立した SRAM (SRAM0, SRAM1) により構成されています。SRAM0 は、Cortex-M3 コアの I-Code バス, D-Code バスに接続します。SRAM1 は、Cortex-M3 コアの System バスに接続します。
- SRAM0: 最大 32 K バイト
- SRAM1: 最大 32 K バイト

外部バスインタフェース

■SRAM, NOR と NAND フラッシュデバイスに対応

■最大 8 チップセレクト

■8/16 ビットデータ幅

■最大 25 ビットのアドレスビット

■最大アクセスサイズ: 256 M バイト

■アドレス/データマルチプレクスをサポート

■外部 RDY 機能をサポート

USB インタフェース

USB インタフェースはデバイスとホストで構成されます。
USB 用 PLL を搭載し、メインクロックを逓倍し USB クロックを生成できます。

USB デバイス

■USB2.0 Full-Speed 対応

■最大 6 本のエンドポイントをサポートします。
- エンドポイント 0 はコントロール転送
- エンドポイント 1, 2 はバルク転送, インタラプト転送, アイソクロナス転送を選択可能
- エンドポイント 3 ~ 5 はバルク転送, インタラプト転送を選択可能
- エンドポイント 1 ~ 5 はダブルバッファ構成
- 各エンドポイントのサイズは下記のとおり
  - エンドポイント 0, 2〜5: 64 バイト
  - エンドポイント 1: 256 バイト

USB ホスト

■USB2.0 Full-Speed / Low-Speed 対応

■バルク転送, インタラプト転送, アイソクロナス転送をサポート

■USB デバイスの接続/切断の自動検出

■IN/OUT トークン時のハンドシェークパケットの自動処理

■最大パケット長 256 バイトをサポート

■ウェイクアップ機能をサポート

マルチファンクションシリアルインタフェース(最大 8 チャネル)

■16 段 × 9 ビット FIFO あり 4 チャネル(ch.4 ~ ch.7), FIFO なし 4 チャネル(ch.0 ~ ch.3)

■チャネルごとに動作モードを次の中から選択できます。
- □ UART
- □ CSIO
- □ LIN
- □ I^2C

■UART
- □ 全二重ダブルバッファ
- □ パリティあり/なし選択可能
- □ 専用ボーレートジェネレータ内蔵
- □ 外部クロックをシリアルクロックとして使用可能
- □ ハードウェアフロー・コントロール : CTS/RTS による送受信自動制御(ch.4 のみ)
- □ 豊富なエラー検出機能(パリティエラー, フレーミングエラー, オーバランエラー)

■CSIO
- □ 全二重ダブルバッファ
- □ 専用ボーレートジェネレータ内蔵
- □ オーバランエラー検出機能

■LIN
- □ LIN プロトコル Rev.2.1 対応
- □ 全二重ダブルバッファ
- □ マスタ/スレーブモード対応
- □ LIN break field 生成(13 ~ 16 ビット長に変更可能)
- □ LIN break デリミタ生成(1 ~ 4 ビット長に変更可能)
- □ 豊富なエラー検出機能(パリティエラー, フレーミングエラー, オーバランエラー)

■I^2C
Standard-mode(最大 100 kbps)/Fast-mode(最大 400 kbps)に対応

DMA コントローラ(8 チャネル)

DMA コントローラは、CPU とは独立した DMA 専用バスを持ち、CPU と並列動作できます。

■8 つを独自に構成かつ動作可能なチャネル

■ソフトウェア要求または内蔵周辺機能要求による転送開始可能

■転送アドレス空間: 32 ビット(4 G バイト)

■転送モード: ブロック転送/ バースト転送/ デマンド転送

■転送データタイプ: バイト/ ハーフワード/ ワード

■転送ブロック数: 1 ~ 16

■転送回数: 1 ~ 65536

A/D コンバータ(最大 16 チャネル)

■逐次比較型

■3 ユニット搭載

■変換時間: 1.0 μs @ 5 V

■優先変換可能(2 レベルの優先度)

■スキャン変換モード

■変換データ格納用 FIFO 搭載(スキャン変換用: 16 段, 優先変換用: 4 段)

ベースタイマ(最大 8 チャネル)

チャネルごとに動作モードを次の中から選択できます。

■16 ビット PWM タイマ

■16 ビット PPG タイマ

■16/32 ビットリロードタイマ

■16/32 ビット PWC タイマ

汎用 I/O ポート

本シリーズは、端子が外部バスまたは周辺機能に使用されていない場合、汎用 I/O ポートとして使用できます。また、どの I/O ポートに周辺機能を割り当てるかを設定できるポートリロケート機能を搭載しています。

■端子ごとにプルアップ制御可能

■端子レベルを直接読出し可能

■ポートリロケート機能

■最大 103 本の高速汎用 I/O ポート@ 120 pin Package

■一部のポートは、5 V トレラントに対応

■該当する端子については「4.端子機能一覧」を参照してください。

多機能タイマ(最大 3 ユニット)
多機能タイマは、次のブロックで構成されます。

■16 ビットフリーランタイマ×3 チャネル / ユニット

■インプットキャプチャ×4 チャネル / ユニット

■アウトプットコンペア×6 チャネル / ユニット

■A/D 起動コンペア×3 チャネル / ユニット

■波形ジェネレータ×3 チャネル / ユニット

■16 ビット PPG タイマ×3 チャネル / ユニット

モータ制御を実現するために次の機能を用意しています。

■PWM 信号出力機能

■DC チョッパ波形出力機能

■デッドタイマ機能

■インプットキャプチャ機能

■A/D コンバータ起動機能

■DTIF(モータ緊急停止)割込み機能

リアルタイムクロック(RTC : Real Time Clock)
00 年 ~ 99 年までの年/月/日/時/分/秒/曜日のカウントを行います。

■日時指定(年/月/日/時/分)での割込み機能、年/月/日/時/分だけの個別設定も可能

■設定時間後/設定時間ごとのタイマ割込み機能

■カウントを継続して時刻書き換え可能

■うるう年の自動カウント

クアッドカウンタ(QPRC : Quadrature Position/Revolution Counter)(最大 3 チャネル)
クアッドカウンタ(QPRC)は、ポジションエンコーダの位置を測定するために使います。また、設定によりアップダウンカウンタとしても使用できます。

■3 つの外部イベント入力端子 AIN, BIN, ZIN の検出エッジを設定可能

■16 ビット位置カウンタ

■16 ビット回転カウンタ

■2 つの 16 ビットコンペアレジスタ

デュアルタイマ(32/16 ビットダウンカウンタ)
デュアルタイマは、2 つのプログラム可能な 32/16 ビットダウンカウンタで構成されます。

各タイマチャネルの動作モードを次の中から選択できます。

■フリーランモード

■周期モード(=リロードモード)

■ワンショットモード

時計カウンタ
時計カウンタは低消費電力モードからのウェイクアップに使用します。

インターバルタイマ: 最大 64 s @サブクロック使用時(32.768 kHz)

外部割込み制御ユニット

■外部割込み入力端子: 最大 16 本

■ノンマスカブル割込み(NMI)入力端子: 1 本

ウォッチドッグタイマ(2 チャネル)
ウォッチドッグタイマは、タイムアウト値に達すると割込みまたはリセットを発生します。

本シリーズには、"ハードウェア"ウォッチドッグと"ソフトウェア"ウォッチドッグの 2 つの異なるウォッチドッグがあります。

"ハードウェア"ウォッチドッグタイマは内蔵低速 CR 発振で動作するため、ストップモード以外のすべての低消費電力モードで動作します。

CRC(Cyclic Redundancy Check)アクセラレータ
CRC アクセラレータは、ソフト処理負荷の高い CRC 計算を行い、受信データおよびストレージの整合性確認処理負荷の軽減を実現します。

CCITT CRC16 と IEEE-802.3 CRC32 をサポートします。

■CCITT CRC16 Generator Polynomial: 0x1021

■IEEE-802.3 CRC32 Generator Polynomial: 0x04C11DB7

クロック/リセット

■クロック

5 種類のクロックソース(2 種類の外部発振, 2 種類の内蔵 CR 発振, メイン PLL)から選択できます。

- □ メインクロック: 4 MHz ~ 48 MHz
- □ サブクロック: 32.768 kHz
- □ 内蔵高速 CR クロック: 4 MHz
- □ 内蔵低速 CR クロック: 100 kHz
- □ メイン PLL クロック

■リセット

- □ INITX 端子からのリセット要求
- □ 電源投入リセット
- □ ソフトウェアリセット
- □ ウォッチドッグタイマリセット
- □ 低電圧検出リセット
- □ クロックスーパバイザリセット

クロック監視機能(CSV : Clock Super Visor)

内蔵 CR 発振による生成クロックを用いて外部クロックの異常を監視します。

■外部クロック異常(クロック停止)が検出されると、リセットがアサートされます。

■外部周波数異常が検出されると、割込みまたはリセットがアサートされます。

低電圧検出機能(LVD : Low-Voltage Detect)

本シリーズは、2 段階で VCC の電圧を監視します。設定した電圧より VCC 端子の電圧が下がった場合、低電圧検出機能により割込みまたはリセットが発生します。

■LVD1: 割込みによりエラーを報告

■LVD2: オートリセット動作

低消費電力モード

3 種類の低消費電力モードに対応します。

■スリープ

■タイマ

■ストップ

デバッグ

■シリアル・ワイヤ JTAG デバッグ・ポート (SWJ-DP)

■エンベデッド・トレース・マクロセル(ETM)

電源

■2 種類の電源

- □ ワイドレンジ電圧対応: VCC = 2.7 V ~ 5.5 V
- □ USB I/O 用電源: USBVCC
  = 3.0 V ~ 3.6 V (USB 使用時)
  = 2.7 V ~ 5.5 V (GPIO 使用時)

Table of Contents

特長 **1**
1. 品種構成 **7**
2. パッケージと品種対応 **9**
3. 端子配列図 **10**
4. 端子機能一覧 **14**
5. 入出力回路形式 **45**
6. 取扱上のご注意 **50**
6.1 設計上の注意事項 50
6.2 パッケージ実装上の注意事項 51
6.3 使用環境に関する注意事項 53
7. デバイス使用上の注意 **54**
8. ブロックダイヤグラム **56**
9. メモリサイズ **57**
10. メモリマップ **58**
11. 各 CPU ステートにおける端子状態 **62**
12. 電気的特性 **66**
12.1 絶対最大定格 66
12.2 推奨動作条件 68
12.3 直流規格 69
12.3.1 電流規格 69
12.3.2 端子特性 72
12.4 交流規格 74
12.4.1 メインクロック入力規格 74
12.4.2 サブクロック入力規格 75
12.4.3 内蔵 CR 発振規格 75
12.4.4 メイン PLL・USB 用 PLL の使用条件（PLL の入力クロックにメインクロックを使用） 76
12.4.5 メイン PLL の使用条件（メイン PLL の入力クロックに内蔵高速 CR クロックを使用） 77
12.4.6 リセット入力規格 78
12.4.7 パワーオンリセットタイミング 78
12.4.8 外バスタイミング 79
12.4.9 ベースタイマ入力タイミング 88
12.4.10 CSIO/UART タイミング 89
12.4.11 外部入力タイミング 97
12.4.12 クアッドカウンタ タイミング 98
12.4.13 I^2C タイミング 100
12.4.14 ETM タイミング 101
12.4.15 JTAG タイミング 102
12.5 12 ビット A/D コンバータ 103
12.6 USB 特性 106
12.7 低電圧検出特性 110
12.7.1 低電圧検出リセット 110
12.7.2 低電圧検出割込み 110
12.8 メインフラッシュメモリ書込み/消去特性 111
12.8.1 書込み/消去時間 111
12.8.2 書込みサイクルとデータ保持時間 111
12.9 ワークフラッシュメモリ書込み/消去特性 111

12.9.1 書込み/消去時間 111
12.9.2 書込みサイクルとデータ保持時間 111
12.10 スタンバイ復帰時間 112
12.10.1 復帰要因 ：割込み 112
12.10.2 復帰要因 ：リセット 114
13. オーダ型格 116
14. パッケージ・外形寸法図 117
15. 主な変更内容 121
改訂履歴 123
セールス，ソリューションおよび法律情報 124

1. 品種構成

メモリサイズ

品種名		MB9BF312N/R	MB9BF314N/R	MB9BF315N/R	MB9BF316N/R
メインフラッシュ		128 Kbyte	256 Kbyte	384 Kbyte	512 Kbyte
ワークフラッシュ		32 Kbyte	32 Kbyte	32 Kbyte	32 Kbyte
オンチップ SRAM		16 Kbyte	32 Kbyte	48 Kbyte	64 Kbyte
	SRAM0	8 Kbyte	16 Kbyte	24 Kbyte	32 Kbyte
	SRAM1	8 Kbyte	16 Kbyte	24 Kbyte	32 Kbyte

ファンクション

品種名			MB9BF312N MB9BF314N MB9BF315N MB9BF316N	MB9BF312R MB9BF314R MB9BF315R MB9BF316R
端子数			100/112	120
CPU			Cortex-M3	
	周波数		144 MHz	
電源電圧範囲			2.7 V ~ 5.5 V (USBVCC: 3.0 V ~ 3.6 V)	
USB2.0 (Device/Host)			1 ch.	
DMAC			8 ch.	
外部バスインタフェース			Addr:25-bit (最大) R/Wdata: 8-/16-bit (最大) CS:8 (最大) SRAM, NOR フラッシュ	Addr:25-bit (最大) R/Wdata: 8-/16-bit (最大) CS:8 (最大) SRAM, NOR フラッシュ, NAND フラッシュ
マルチファンクションシリアル (UART/CSIO/LIN/I2C)			8 ch. (最大) FIFO (16 段 × 9 ビット)あり:ch.4 ~ ch.7 FIFO なし: ch.0 ~ ch.3	
ベースタイマ (PWC/リロードタイマ/PWM/PPG)			8 ch. (最大)	
多機能タイマ	A/D 起動コンペア	3 ch.	3 units (最大)	
	インプットキャプチャ	4 ch.		
	フリーランタイマ	3 ch.		
	アウトプットコンペア	6 ch.		
	波形ジェネレータ	3 ch.		
	PPG	3 ch.		
クアッドカウンタ			3 ch. (最大)	
デュアルタイマ			1 unit	
リアルタイムクロック			1 unit	
時計カウンタ			1 unit	
CRC アクセラレータ			Yes	
ウォッチドッグタイマ			1 ch. (SW) + 1 ch. (HW)	
外部割込み			16 pins (最大)+ NMI × 1	
汎用 I/O ポート			83 pins (最大)	103 pins (最大)
12 ビット A/D コンバータ			16ch. (3 units)	
クロック異常検出機能(CSV)			Yes	
低電圧検出機能(LVD)			2 ch.	
内蔵 CR	高速		4 MHz	
	低速		100 kHz	
デバッグ機能			SWJ-DP/ETM	

＜注意事項＞

- *各製品に搭載される周辺機能の信号は、パッケージの端子数制限により、すべて割り当てることはできません。ご使用される機能に応じて、I/O ポートのポートリロケート機能を用いて、端子割当てを行う必要があります。*
- *内蔵 CR のクロック周波数精度については、『12.4.3.内蔵 CR 発振規格』を参照してください。*

2. パッケージと品種対応

パッケージ ＼ 品種名	MB9BF312N MB9BF314N MB9BF315N MB9BF316N	MB9BF312R MB9BF314R MB9BF315R MB9BF316R
QFP: PQH100 (0.65 mm pitch)	❍	-
LQFP: LQI100 (0.5 mm pitch)	❍	-
LQFP: LQM120 (0.5 mm pitch)	-	❍
FBGA: LBC112 (0.8 mm pitch)	❍	-

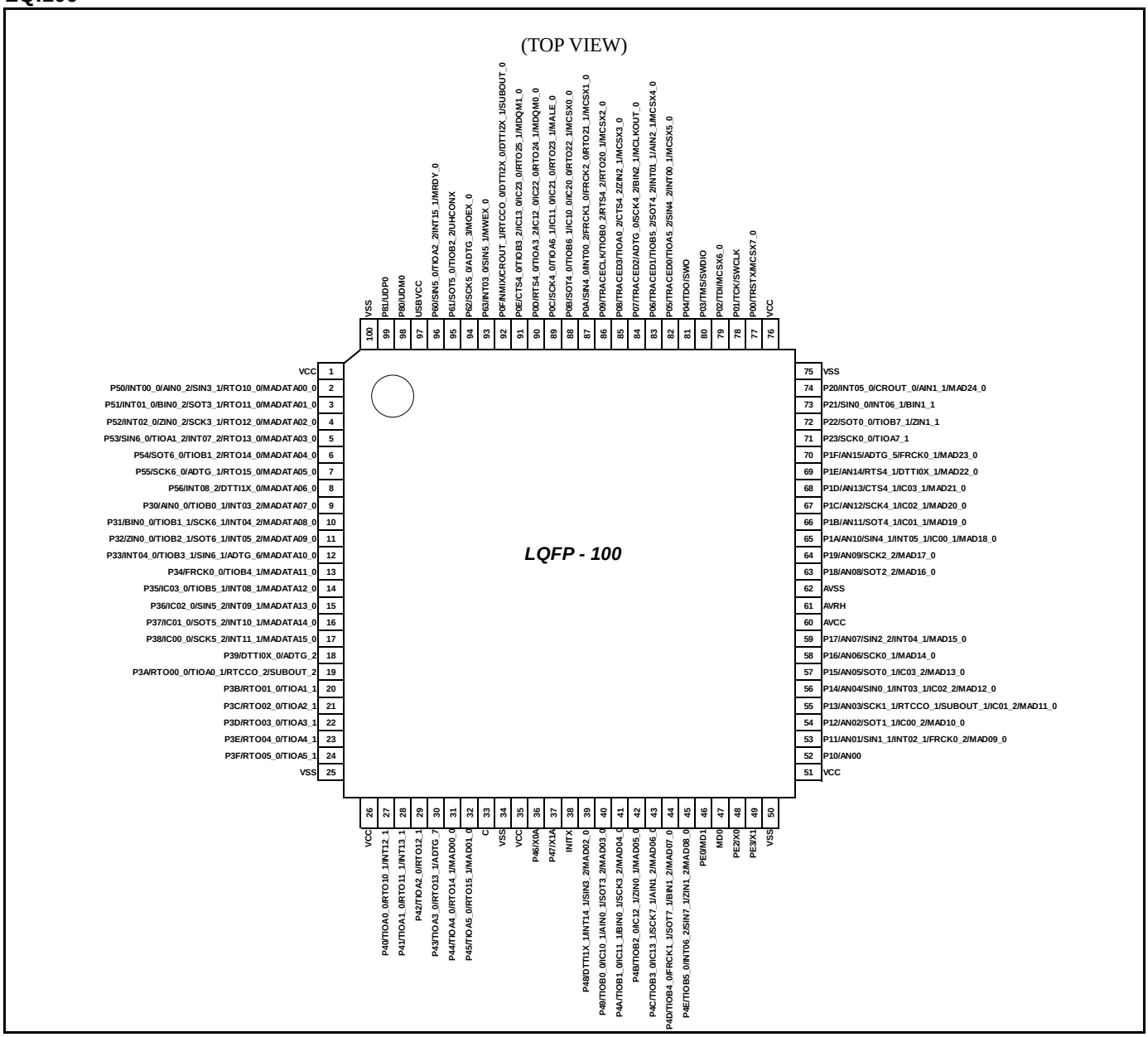
❍: 対応

＜注意事項＞

- *各パッケージの詳細は「14.パッケージ・外形寸法図」を参照してください。*

3. 端子配列図

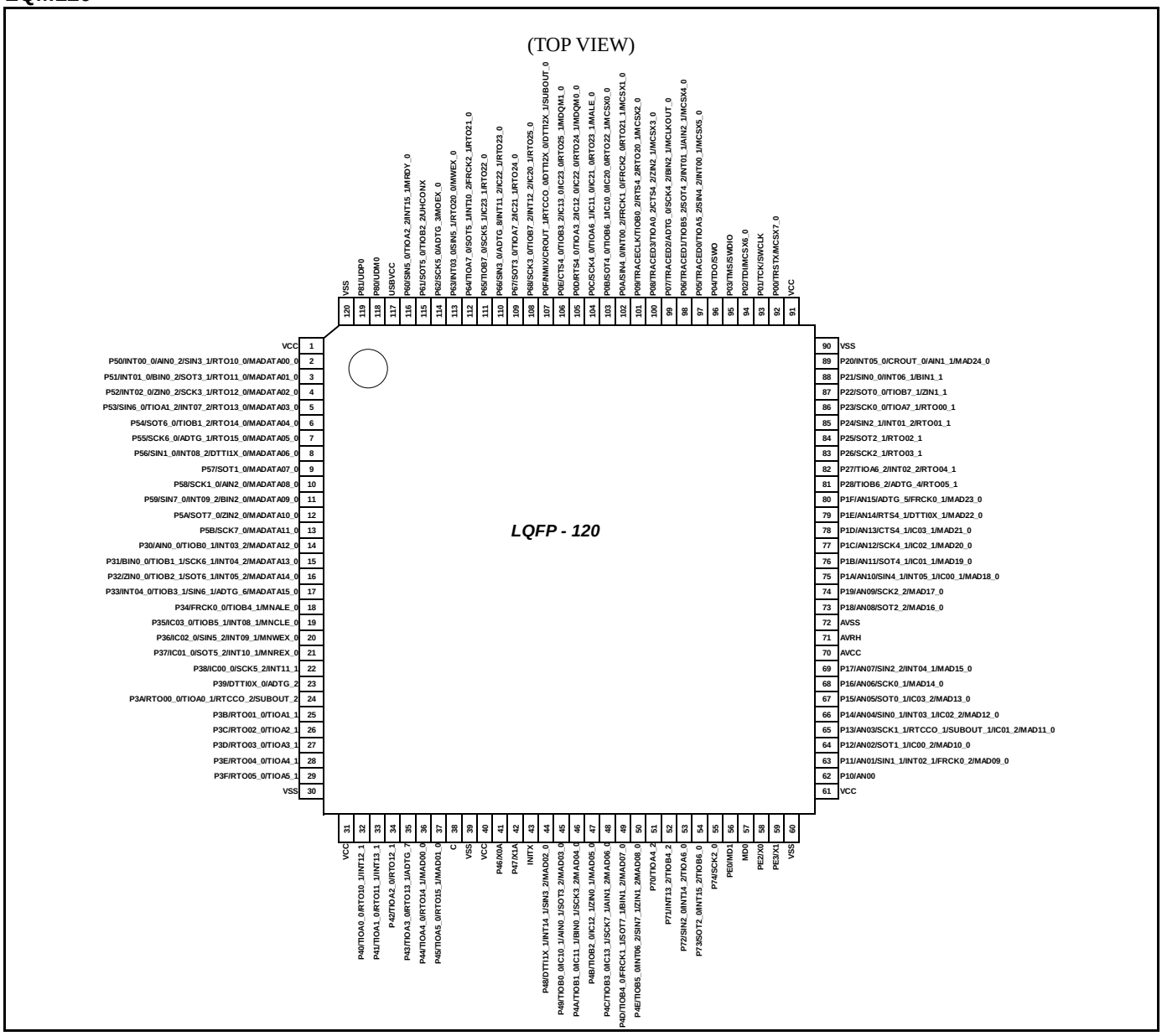
LQI100



<注意事項>

- *XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。これらの端子は1 つのチャネルに複数の同一機能の端子が用意されていますので、拡張ポート機能レジスタ(EPFR) で使用する端子を選択してください。*

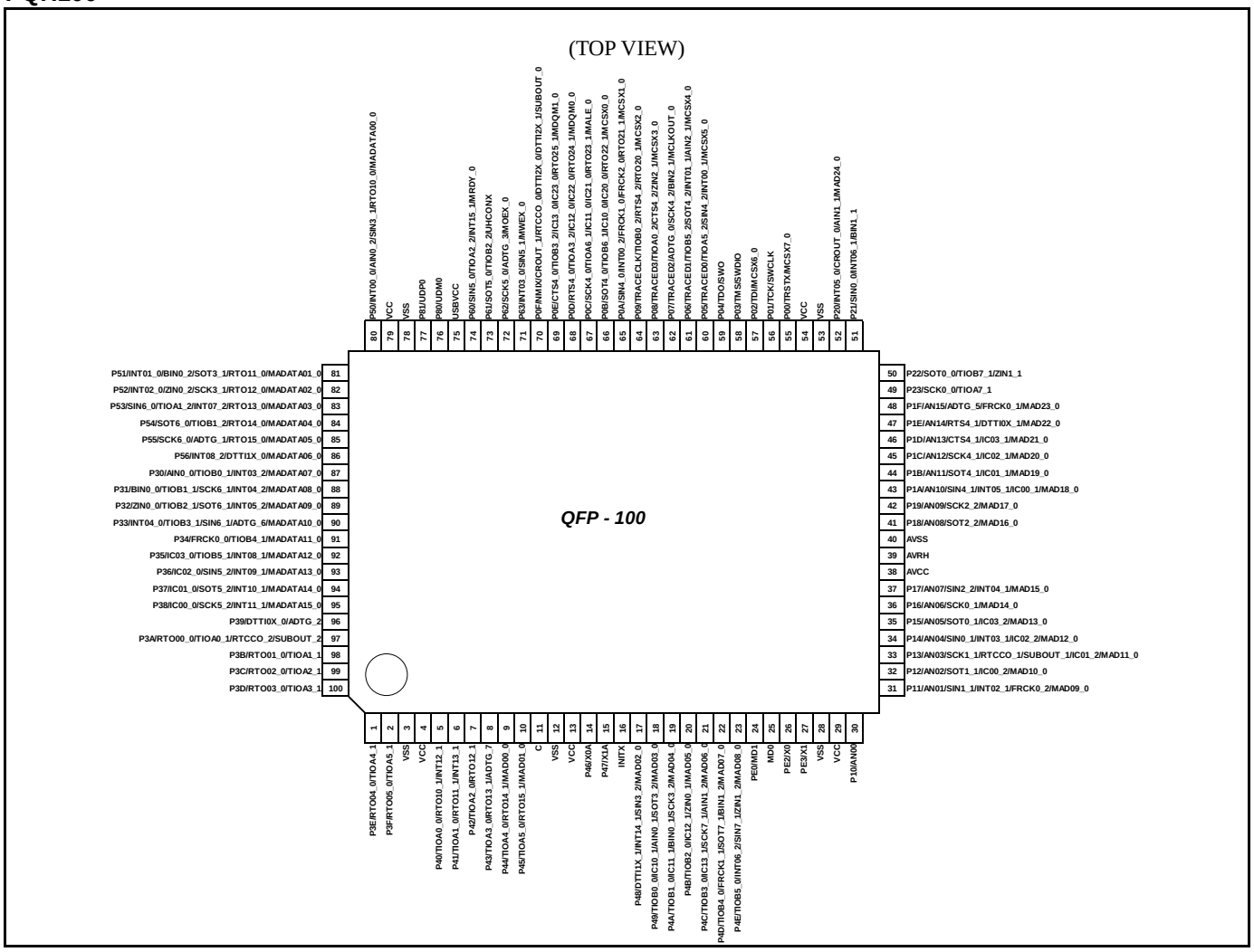
LQM120



<注意事項>

- *XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。これらの端子は1 つのチャネルに複数の同一機能の端子が用意されていますので、拡張ポート機能レジスタ(EPFR) で使用する端子を選択してください。*

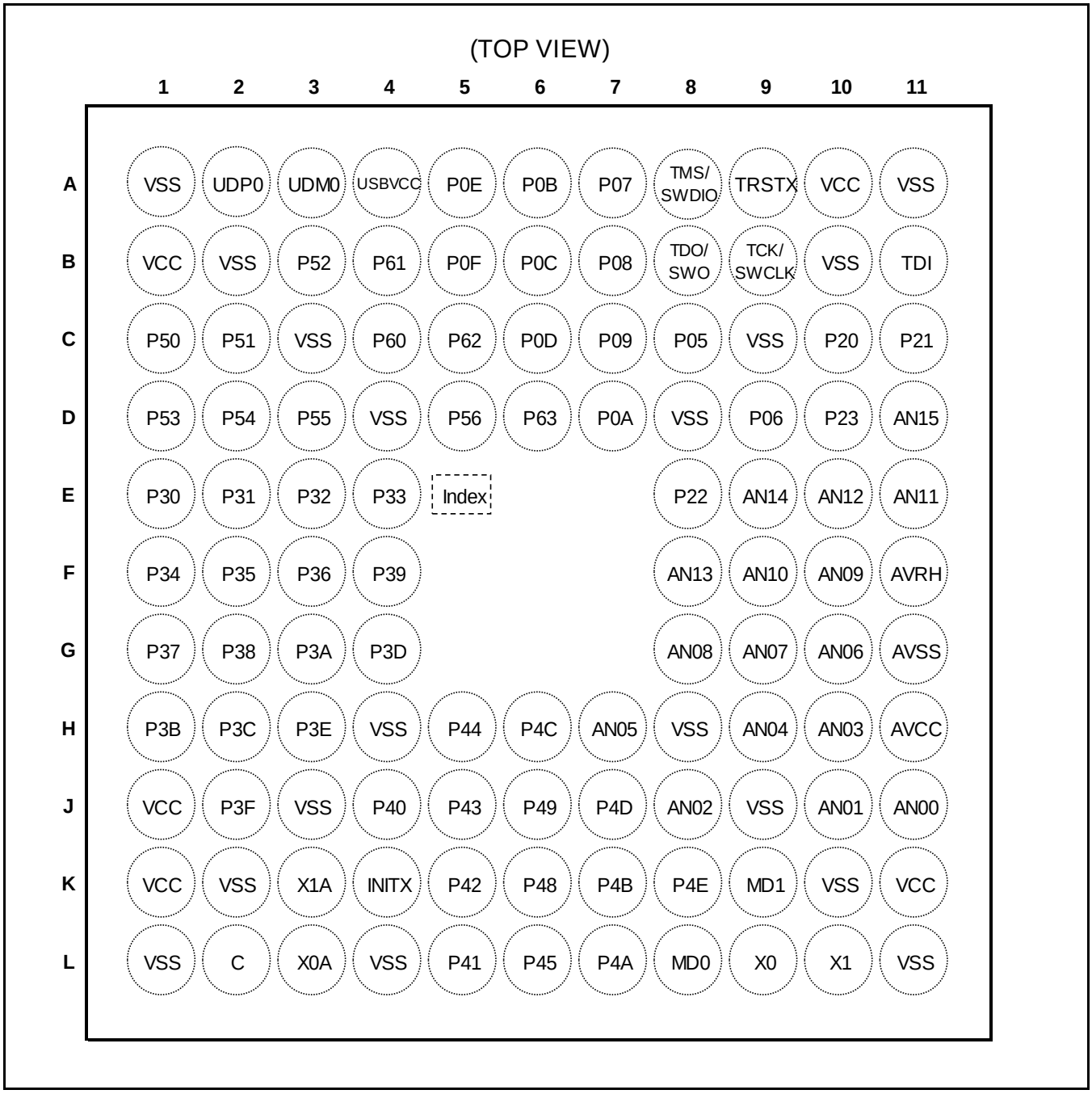
PQH100



<注意事項>

- *XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。これらの端子は 1 つのチャネルに複数の同一機能の端子が用意されていますので、拡張ポート機能レジスタ(EPFR) で使用する端子を選択してください。*

LBC112



<注意事項>

- *XXX_1, XXX_2 のように「_ (アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。これらの端子は 1 つのチャネルに複数の同一機能の端子が用意されていますので、拡張ポート機能レジスタ(EPFR) で使用する端子を選択してください。*

4. 端子機能一覧

端子番号別

XXX_1, XXX_2 のように、「_(アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。

これらの端子は 1 つのチャネルに複数の機能があり、それぞれの機能ごとに端子名があります。

拡張ポート機能レジスタ(EPFR)で使用する端子名を選択してください。

端子番号				端子名	入出力回路形式	端子状態形式
LQFP-100	FBGA-112	LQFP-120	QFP-100			
1	B1	1	79	VCC	-	
2	C1	2	80	P50 INT00_0 AIN0_2 SIN3_1 RTO10_0 (PPG10_0) MADATA00_0	E	H
3	C2	3	81	P51 INT01_0 BIN0_2 SOT3_1 (SDA3_1) RTO11_0 (PPG10_0) MADATA01_0	E	H
4	B3	4	82	P52 INT02_0 ZIN0_2 SCK3_1 (SCL3_1) RTO12_0 (PPG12_0) MADATA02_0	E	H
5	D1	5	83	P53 SIN6_0 TIOA1_2 INT07_2 RTO13_0 (PPG12_0) MADATA03_0	E	H
6	D2	6	84	P54 SOT6_0 (SDA6_0) TIOB1_2 RTO14_0 (PPG14_0) MADATA04_0	E	I

端子番号				端子名	入出力回路形式	端子状態形式
LQFP-100	FBGA-112	LQFP-120	QFP-100			
7	D3	7	85	P55 SCK6_0 (SCL6_0) ADTG_1 RTO15_0 (PPG14_0) MADATA05_0	E	I
8	D5	8	86	P56 INT08_2 DTTI1X_0 MADATA06_0	E	H
-	-		-	SIN1_0 (120pin only)		
-	-	9	-	P57 SOT1_0 (SDA1_0) MADATA07_0	E	I
-	-	10	-	P58 SCK1_0 (SCL1_0) AIN2_0 MADATA08_0	E	I
-	-	11	-	P59 SIN7_0 INT09_2 BIN2_0 MADATA09_0	E	H
-	-	12	-	P5A SOT7_0 (SDA7_0) ZIN2_0 MADATA10_0	E	I
-	-	13	-	P5B SCK7_0 (SCL7_0) MADATA11_0	E	I

端子番号				端子名	入出力回路形式	端子状態形式
LQFP-100	FBGA-112	LQFP-120	QFP-100			
9	E1	14	87	P30	E	H
				AIN0_0		
				TIOB0_1		
				INT03_2		
		-		MADATA07_0 (100pin only)		
-	-	14	-	MADATA12_0 (120pin only)		
10	E2	15	88	P31	E	H
				BIN0_0		
				TIOB1_1		
				SCK6_1 (SCL6_1)		
				INT04_2		
		-		MADATA08_0 (100pin only)		
-	-	15	-	MADATA13_0 (120pin only)		
11	E3	16	89	P32	E	H
				ZIN0_0		
				TIOB2_1		
				SOT6_1 (SDA6_1)		
				INT05_2		
		-		MADATA09_0 (100pin only)		
-	-	16	-	MADATA14_0 (120pin only)		
12	E4	17	90	P33	E	H
				INT04_0		
				TIOB3_1		
				SIN6_1		
				ADTG_6		
		-		MADATA10_0 (100pin only)		
-	-	17	-	MADATA15_0 (120pin only)		
13	F1	18	91	P34	E	I
				FRCK0_0		
				TIOB4_1		
		-		MADATA11_0 (100pin only)		
-	-	18	-	MNALE_0 (120pin only)		

端子番号				端子名	入出力回路形式	端子状態形式
LQFP-100	FBGA-112	LQFP-120	QFP-100			
14	F2	19	92	P35 IC03_0 TIOB5_1 INT08_1	E	H
		-		MADATA12_0 (100pin only)		
-	-	19	-	MNCLE_0 (120pin only)		
15	F3	20	93	P36 IC02_0 SIN5_2 INT09_1	E	H
		-		MADATA13_0 (100pin only)		
-	-	20	-	MNWEX_0 (120pin only)		
16	G1	21	94	P37 IC01_0 SOT5_2 (SDA5_2) INT10_1	E	H
		-		MADATA14_0 (100pin only)		
-	-	21	-	MNREX_0 (120pin only)		
17	G2	22	95	P38 IC00_0 SCK5_2 (SCL5_2) INT11_1	E	H
		-		MADATA15_0 (100pin only)		
18	F4	23	96	P39 DTTI0X_0 ADTG_2	E	I
19	G3	24	97	P3A RTO00_0 (PPG00_0) TIOA0_1 RTCCO_2 SUBOUT_2	G	I
-	B2	-	-	VSS	-	
20	H1	25	98	P3B RTO01_0 (PPG00_0) TIOA1_1	G	I

端子番号				端子名	入出力回路形式	端子状態形式
LQFP-100	FBGA-112	LQFP-120	QFP-100			
21	H2	26	99	P3C RTO02_0 (PPG02_0) TIOA2_1	G	I
22	G4	27	100	P3D RTO03_0 (PPG02_0) TIOA3_1	G	I
23	H3	28	1	P3E RTO04_0 (PPG04_0) TIOA4_1	G	I
24	J2	29	2	P3F RTO05_0 (PPG04_0) TIOA5_1	G	I
25	L1	30	3	VSS	-	
26	J1	31	4	VCC	-	
27	J4	32	5	P40 TIOA0_0 RTO10_1 (PPG10_1) INT12_1	G	H
28	L5	33	6	P41 TIOA1_0 RTO11_1 (PPG10_1) INT13_1	G	H
29	K5	34	7	P42 TIOA2_0 RTO12_1 (PPG12_1)	G	I
30	J5	35	8	P43 TIOA3_0 RTO13_1 (PPG12_1) ADTG_7	G	I
-	K2	-	-	VSS	-	
-	J3	-	-	VSS	-	
-	H4	-	-	VSS	-	

端子番号				端子名	入出力回路形式	端子状態形式
LQFP-100	FBGA-112	LQFP-120	QFP-100			
31	H5	36	9	P44 TIOA4_0 RTO14_1 (PPG14_1) MAD00_0	G	I
32	L6	37	10	P45 TIOA5_0 RTO15_1 (PPG14_1) MAD01_0	G	I
33	L2	38	11	C	-	
34	L4	39	12	VSS	-	
35	K1	40	13	VCC	-	
36	L3	41	14	P46 X0A	D	M
37	K3	42	15	P47 X1A	D	N
38	K4	43	16	INITX	B	C
39	K6	44	17	P48 DTTI1X_1 INT14_1 SIN3_2 MAD02_0	E	H
40	J6	45	18	P49 TIOB0_0 IC10_1 AIN0_1 SOT3_2 (SDA3_2) MAD03_0	E	I
41	L7	46	19	P4A TIOB1_0 IC11_1 BIN0_1 SCK3_2 (SCL3_2) MAD04_0	E	I
42	K7	47	20	P4B TIOB2_0 IC12_1 ZIN0_1 MAD05_0	E	I

端子番号				端子名	入出力回路形式	端子状態形式
LQFP-100	FBGA-112	LQFP-120	QFP-100			
43	H6	48	21	P4C TIOB3_0 IC13_1 SCK7_1 (SCL7_1) AIN1_2 MAD06_0	I*	I
44	J7	49	22	P4D TIOB4_0 FRCK1_1 SOT7_1 (SDA7_1) BIN1_2 MAD07_0	I*	I
45	K8	50	23	P4E TIOB5_0 INT06_2 SIN7_1 ZIN1_2 MAD08_0	I*	H
-	-	51	-	P70 TIOA4_2	E	I
-	-	52	-	P71 INT13_2 TIOB4_2	E	H
-	-	53	-	P72 SIN2_0 INT14_2 TIOA6_0	E	H
-	-	54	-	P73 SOT2_0 (SDA2_0) INT15_2 TIOB6_0	E	H
-	-	55	-	P74 SCK2_0 (SCL2_0)	E	I
46	K9	56	24	PE0 MD1	C	P
47	L8	57	25	MD0	J	D

端子番号				端子名	入出力回路形式	端子状態形式
LQFP-100	FBGA-112	LQFP-120	QFP-100			
48	L9	58	26	PE2	A	A
				X0		
49	L10	59	27	PE3	A	B
				X1		
50	L11	60	28	VSS	-	
51	K11	61	29	VCC	-	
52	J11	62	30	P10	F	K
				AN00		
53	J10	63	31	P11	F	L
				AN01		
				SIN1_1		
				INT02_1		
				FRCK0_2		
				MAD09_0		
-	K10	-	-	VSS	-	
-	J9	-	-	VSS	-	
54	J8	64	32	P12	F	K
				AN02		
				SOT1_1 (SDA1_1)		
				IC00_2		
				MAD10_0		
55	H10	65	33	P13	F	K
				AN03		
				SCK1_1 (SCL1_1)		
				RTCCO_1		
				SUBOUT_1		
				IC01_2		
				MAD11_0		

端子番号				端子名	入出力回路形式	端子状態形式
LQFP-100	FBGA-112	LQFP-120	QFP-100			
56	H9	66	34	P14	F	L
				AN04		
				SIN0_1		
				INT03_1		
				IC02_2		
				MAD12_0		
57	H7	67	35	P15	F	K
				AN05		
				SOT0_1 (SDA0_1)		
				IC03_2		
				MAD13_0		
58	G10	68	36	P16	F	K
				AN06		
				SCK0_1 (SCL0_1)		
				MAD14_0		
59	G9	69	37	P17	F	L
				AN07		
				SIN2_2		
				INT04_1		
				MAD15_0		
60	H11	70	38	AVCC	-	
61	F11	71	39	AVRH	-	
62	G11	72	40	AVSS	-	
63	G8	73	41	P18	F	K
				AN08		
				SOT2_2 (SDA2_2)		
				MAD16_0		
64	F10	74	42	P19	F	K
				AN09		
				SCK2_2 (SCL2_2)		
				MAD17_0		
65	F9	75	43	P1A	F	L
				AN10		
				SIN4_1		
				INT05_1		
				IC00_1		
				MAD18_0		
-	H8	-	-	VSS	-	

端子番号				端子名	入出力回路形式	端子状態形式
LQFP-100	FBGA-112	LQFP-120	QFP-100			
66	E11	76	44	P1B AN11 SOT4_1 (SDA4_1) IC01_1 MAD19_0	F	K
67	E10	77	45	P1C AN12 SCK4_1 (SCL4_1) IC02_1 MAD20_0	F	K
68	F8	78	46	P1D AN13 CTS4_1 IC03_1 MAD21_0	F	K
69	E9	79	47	P1E AN14 RTS4_1 DTTI0X_1 MAD22_0	F	K
70	D11	80	48	P1F AN15 ADTG_5 FRCK0_1 MAD23_0	F	K
-	-	81	-	P28 TIOB6_2 ADTG_4 RTO05_1 (PPG04_1)	E	I
-	-	82	-	P27 TIOA6_2 INT02_2 RTO04_1 (PPG04_1)	E	H
-	-	83	-	P26 SCK2_1 (SCL2_1) RTO03_1 (PPG02_1)	E	I

端子番号				端子名	入出力回路形式	端子状態形式
LQFP-100	FBGA-112	LQFP-120	QFP-100			
-	-	84	-	P25 SOT2_1 (SDA2_1) RTO02_1 (PPG02_1)	E	I
-	B10	-	-	VSS	-	
-	C9	-	-	VSS	-	
-	-	85	-	P24 SIN2_1 INT01_2 RTO01_1 (PPG00_1)	E	H
71	D10	86	49	P23 SCK0_0 (SCL0_0) TIOA7_1	E	I
-	-		-	RTO00_1 (PPG00_1)		
72	E8	87	50	P22 SOT0_0 (SDA0_0) TIOB7_1 ZIN1_1	E	I
73	C11	88	51	P21 SIN0_0 INT06_1 BIN1_1	E	H
74	C10	89	52	P20 INT05_0 CROUT_0 AIN1_1 MAD24_0	E	H
75	A11	90	53	VSS	-	
76	A10	91	54	VCC	-	
77	A9	92	55	P00 TRSTX MCSX7_0	E	E
78	B9	93	56	P01 TCK SWCLK	E	E

端子番号				端子名	入出力回路形式	端子状態形式
LQFP-100	FBGA-112	LQFP-120	QFP-100			
79	B11	94	57	P02 TDI MCSX6_0	E	E
80	A8	95	58	P03 TMS SWDIO	E	E
81	B8	96	59	P04 TDO SWO	E	E
82	C8	97	60	P05 TRACED0 TIOA5_2 SIN4_2 INT00_1 MCSX5_0	E	F
-	D8	-	-	VSS	-	
83	D9	98	61	P06 TRACED1 TIOB5_2 SOT4_2 (SDA4_2) INT01_1 AIN2_1 MCSX4_0	E	F
84	A7	99	62	P07 TRACED2 ADTG_0 SCK4_2 (SCL4_2) BIN2_1 MCLKOUT_0	E	G
85	B7	100	63	P08 TRACED3 TIOA0_2 CTS4_2 ZIN2_1 MCSX3_0	E	G
86	C7	101	64	P09 TRACECLK TIOB0_2 RTS4_2 RTO20_1 (PPG20_1) MCSX2_0	E	G

端子番号				端子名	入出力回路形式	端子状態形式
LQFP-100	FBGA-112	LQFP-120	QFP-100			
87	D7	102	65	P0A	I*	H
				SIN4_0		
				INT00_2		
				FRCK1_0		
				FRCK2_0		
				RTO21_1 (PPG20_1)		
				MCSX1_0		
88	A6	103	66	P0B	I*	I
				SOT4_0 (SDA4_0)		
				TIOB6_1		
				IC10_0		
				IC20_0		
				RTO22_1 (PPG22_1)		
				MCSX0_0		
89	B6	104	67	P0C	I*	I
				SCK4_0 (SCL4_0)		
				TIOA6_1		
				IC11_0		
				IC21_0		
				RTO23_1		
				MALE_0		
90	C6	105	68	P0D	E	I
				RTS4_0		
				TIOA3_2		
				IC12_0		
				IC22_0		
				RTO24_1 (PPG24_1)		
				MDQM0_0		
91	A5	106	69	P0E	E	I
				CTS4_0		
				TIOB3_2		
				IC13_0		
				IC23_0		
				RTO25_1 (PPG24_1)		
				MDQM1_0		
-	D4	-	-	VSS	-	
-	C3	-	-	VSS	-	

端子番号				端子名	入出力回路形式	端子状態形式
LQFP-100	FBGA-112	LQFP-120	QFP-100			
92	B5	107	70	P0F NMIX CROUT_1 RTCCO_0 SUBOUT_0 DTTI2X_0 DTTI2X_1	E	J
-	-	108	-	P68 SCK3_0 (SCL3_0) TIOB7_2 INT12_2 IC20_1 RTO25_0 (PPG24_0)	G	H
-	-	109	-	P67 SOT3_0 (SDA3_0) TIOA7_2 IC21_1 RTO24_0 (PPG24_0)	G	I
-	-	110	-	P66 SIN3_0 ADTG_8 INT11_2 IC22_1 RTO23_0 (PPG22_0)	G	H
-	-	111	-	P65 TIOB7_0 SCK5_1 (SCL5_1) IC23_1 RTO22_0 (PPG22_0)	G	I
-	-	112	-	P64 TIOA7_0 SOT5_1 (SDA5_1) INT10_2 FRCK2_1 RTO21_0 (PPG20_0)	G	H

端子番号				端子名	入出力回路形式	端子状態形式
LQFP-100	FBGA-112	LQFP-120	QFP-100			
93	D6	113	71	P63	G	H
				INT03_0		
				SIN5_1		
				MWEX_0		
-	-		-	RTO20_0 (PPG20_0)		
94	C5	114	72	P62	E	I
				SCK5_0 (SCL5_0)		
				ADTG_3		
				MOEX_0		
95	B4	115	73	P61	E	I
				SOT5_0 (SDA5_0)		
				TIOB2_2		
				UHCONX		
96	C4	116	74	P60	I*	H
				SIN5_0		
				TIOA2_2		
				INT15_1		
				MRDY_0		
97	A4	117	75	USBVCC	-	
98	A3	118	76	P80	H	O
				UDM0		
99	A2	119	77	P81	H	O
				UDP0		
100	A1	120	78	VSS	-	

*: 5V トレラント I/O

端子番号別

XXX_1, XXX_2 のように、「_(アンダバー)」がついている端子の、「_」以降の数字はリロケーションポート番号を示しています。これらの端子は 1 つのチャネルに複数の機能があり、それぞれの機能ごとに端子名があります。拡張ポート機能レジスタ(EPFR)で使用する端子名を選択してください。

モジュール	端子名	機能	端子番号			
			LQFP-100	FBGA-112	LQFP-120	QFP-100
ADC	ADTG_0	A/D コンバータ 外部トリガ入力端子	84	A7	99	62
	ADTG_1		7	D3	7	85
	ADTG_2		18	F4	23	96
	ADTG_3		94	C5	114	72
	ADTG_4		-	-	81	-
	ADTG_5		70	D11	80	48
	ADTG_6		12	E4	17	90
	ADTG_7		30	J5	35	8
	ADTG_8		-	-	110	-
	AN00	A/D コンバータ アナログ入力端子。 ANxx は ADC Ch.xx を示します。	52	J11	62	30
	AN01		53	J10	63	31
	AN02		54	J8	64	32
	AN03		55	H10	65	33
	AN04		56	H9	66	34
	AN05		57	H7	67	35
	AN06		58	G10	68	36
	AN07		59	G9	69	37
	AN08		63	G8	73	41
	AN09		64	F10	74	42
	AN10		65	F9	75	43
	AN11		66	E11	76	44
	AN12		67	E10	77	45
	AN13		68	F8	78	46
	AN14		69	E9	79	47
	AN15		70	D11	80	48
ベース タイマ 0	TIOA0_0	ベースタイマ ch.0 の TIOA 端子	27	J4	32	5
	TIOA0_1		19	G3	24	97
	TIOA0_2		85	B7	100	63
	TIOB0_0	ベースタイマ ch.0 の TIOB 端子	40	J6	45	18
	TIOB0_1		9	E1	14	87
	TIOB0_2		86	C7	101	64
ベース タイマ 1	TIOA1_0	ベースタイマ ch.1 の TIOA 端子	28	L5	33	6
	TIOA1_1		20	H1	25	98
	TIOA1_2		5	D1	5	83
	TIOB1_0	ベースタイマ ch.1 の TIOB 端子	41	L7	46	19
	TIOB1_1		10	E2	15	88
	TIOB1_2		6	D2	6	84
ベース タイマ 2	TIOA2_0	ベースタイマ ch.2 の TIOA 端子	29	K5	34	7
	TIOA2_1		21	H2	26	99
	TIOA2_2		96	C4	116	74
	TIOB2_0	ベースタイマ ch.2 の TIOB 端子	42	K7	47	20
	TIOB2_1		11	E3	16	89
	TIOB2_2		95	B4	115	73

モジュール	端子名	機能	端子番号			
			LQFP-100	FBGA-112	LQFP-120	QFP-100
ベースタイマ 3	TIOA3_0	ベースタイマ ch.3 の TIOA 端子	30	J5	35	8
	TIOA3_1		22	G4	27	100
	TIOA3_2		90	C6	105	68
	TIOB3_0	ベースタイマ ch.3 の TIOB 端子	43	H6	48	21
	TIOB3_1		12	E4	17	90
	TIOB3_2		91	A5	106	69
ベースタイマ 4	TIOA4_0	ベースタイマ ch.4 の TIOA 端子	31	H5	36	9
	TIOA4_1		23	H3	28	1
	TIOA4_2		-	-	51	-
	TIOB4_0	ベースタイマ ch.4 の TIOB 端子	44	J7	49	22
	TIOB4_1		13	F1	18	91
	TIOB4_2		-	-	52	-
ベースタイマ 5	TIOA5_0	ベースタイマ ch.5 の TIOA 端子	32	L6	37	10
	TIOA5_1		24	J2	29	2
	TIOA5_2		82	C8	97	60
	TIOB5_0	ベースタイマ ch.5 の TIOB 端子	45	K8	50	23
	TIOB5_1		14	F2	19	92
	TIOB5_2		83	D9	98	61
ベースタイマ 6	TIOA6_0	ベースタイマ ch.6 の TIOA 端子	-	-	53	-
	TIOA6_1		89	B6	104	67
	TIOA6_2		-	-	82	-
	TIOB6_0	ベースタイマ ch.6 の TIOB 端子	-	-	54	-
	TIOB6_1		88	A6	103	66
	TIOB6_2		-	-	81	-
ベースタイマ 7	TIOA7_0	ベースタイマ ch.7 の TIOA 端子	-	-	112	-
	TIOA7_1		71	D10	86	49
	TIOA7_2		-	-	109	-
	TIOB7_0	ベースタイマ ch.7 の TIOB 端子	-	-	111	-
	TIOB7_1		72	E8	87	50
	TIOB7_2		-	-	108	-

モジュール	端子名	機能	端子番号			
			LQFP-100	FBGA-112	LQFP-120	QFP-100
デバッガ	SWCLK	シリアルワイヤ デバッグインタフェース クロック入力端子	78	B9	93	56
	SWDIO	シリアルワイヤ デバッグインタフェース データ入出力端子	80	A8	95	58
	SWO	シリアルワイヤビューワ出力端子	81	B8	96	59
	TCK	JTAG テストクロック入力端子	78	B9	93	56
	TDI	JTAG テストデータ入力端子	79	B11	94	57
	TDO	JTAG デバッグデータ出力端子	81	B8	96	59
	TMS	JTAG テストモード状態入出力端子	80	A8	95	58
	TRACECLK	ETM のトレース CLK 出力端子	86	C7	101	64
	TRACED0	ETM のトレースデータ出力端子	82	C8	97	60
	TRACED1		83	D9	98	61
	TRACED2		84	A7	99	62
	TRACED3		85	B7	100	63
	TRSTX	JTAG テストリセット入力端子	77	A9	92	55
外部バス	MAD00_0	外部バスインタフェース アドレスバス	31	H5	36	9
	MAD01_0		32	L6	37	10
	MAD02_0		39	K6	44	17
	MAD03_0		40	J6	45	18
	MAD04_0		41	L7	46	19
	MAD05_0		42	K7	47	20
	MAD06_0		43	H6	48	21
	MAD07_0		44	J7	49	22
	MAD08_0		45	K8	50	23
	MAD09_0		53	J10	63	31
	MAD10_0		54	J8	64	32
	MAD11_0		55	H10	65	33
	MAD12_0		56	H9	66	34
	MAD13_0		57	H7	67	35
	MAD14_0		58	G10	68	36
	MAD15_0		59	G9	69	37
	MAD16_0		63	G8	73	41
	MAD17_0		64	F10	74	42
	MAD18_0		65	F9	75	43
	MAD19_0		66	E11	76	44
	MAD20_0		67	E10	77	45
	MAD21_0		68	F8	78	46
	MAD22_0		69	E9	79	47
	MAD23_0		70	D11	80	48
	MAD24_0		74	C10	89	52

モジュール	端子名	機能	端子番号			
			LQFP-100	FBGA-112	LQFP-120	QFP-100
外部バス	MCSX0_0	外部バスインタフェース チップセレクト出力端子	88	A6	103	66
	MCSX1_0		87	D7	102	65
	MCSX2_0		86	C7	101	64
	MCSX3_0		85	B7	100	63
	MCSX4_0		83	D9	98	61
	MCSX5_0		82	C8	97	60
	MCSX6_0		79	B11	94	57
	MCSX7_0		77	A9	92	55
	MADATA0_0	外部バスインタフェース データバス	2	C1	2	80
	MADATA1_0		3	C2	3	81
	MADATA2_0		4	B3	4	82
	MADATA3_0		5	D1	5	83
	MADATA4_0		6	D2	6	84
	MADATA5_0		7	D3	7	85
	MADATA6_0		8	D5	8	86
	MADATA7_0		9	E1	9	87
	MADATA8_0		10	E2	10	88
	MADATA9_0		11	E3	11	89
	MADATA10_0		12	E4	12	90
	MADATA11_0		13	F1	13	91
	MADATA12_0		14	F2	14	92
	MADATA13_0		15	F3	15	93
	MADATA14_0		16	G1	16	94
	MADATA15_0		17	G2	17	95
	MDQM0_0	外部バスインタフェース バイトマスク信号出力端子	90	C6	105	68
	MDQM1_0		91	A5	106	69
	MALE_0	マルチプレクス時 アドレスラッチイネーブル信号	89	B6	104	67
	MRDY_0	外部 RDY 入力信号	96	C4	116	74
	MCLKOUT_0	外部バスクロック出力端子	84	A7	99	62
	MNALE_0	NAND フラッシュ出力端子を コントロールする 外部バスインタフェース ALE 信号	-	-	18	-
	MNCLE_0	NAND フラッシュ出力端子を コントロールする 外部バスインタフェース CLE 信号	-	-	19	-
	MNREX_0	NAND フラッシュをコントロールする 外部バスインタフェースリード許可信号	-	-	21	-
	MNWEX_0	NAND フラッシュをコントロールする 外部バスインタフェースライト許可信号	-	-	20	-
	MOEX_0	SRAM の外部バスインタフェース リード許可信号	94	C5	114	72
	MWEX_0	SRAM の外部バスインタフェース ライト許可信号	93	D6	113	71

モジュール	端子名	機能	端子番号			
			LQFP-100	FBGA-112	LQFP-120	QFP-100
外部割込み	INT00_0	外部割込み要求 00 の入力端子	2	C1	2	80
	INT00_1		82	C8	97	60
	INT00_2		87	D7	102	65
	INT01_0	外部割込み要求 01 の入力端子	3	C2	3	81
	INT01_1		83	D9	98	61
	INT01_2		-	-	85	-
	INT02_0	外部割込み要求 02 の入力端子	4	B3	4	82
	INT02_1		53	J10	63	31
	INT02_2		-	-	82	-
	INT03_0	外部割込み要求 03 の入力端子	93	D6	113	71
	INT03_1		56	H9	66	34
	INT03_2		9	E1	14	87
	INT04_0	外部割込み要求 04 の入力端子	12	E4	17	90
	INT04_1		59	G9	69	37
	INT04_2		10	E2	15	88
	INT05_0	外部割込み要求 05 の入力端子	74	C10	89	52
	INT05_1		65	F9	75	43
	INT05_2		11	E3	16	89
	INT06_1	外部割込み要求 06 の入力端子	73	C11	88	51
	INT06_2		45	K8	50	23
	INT07_2	外部割込み要求 07 の入力端子	5	D1	5	83
	INT08_1	外部割込み要求 08 の入力端子	14	F2	19	92
	INT08_2		8	D5	8	86
	INT09_1	外部割込み要求 09 の入力端子	15	F3	20	93
	INT09_2		-	-	11	-
	INT10_1	外部割込み要求 10 の入力端子	16	G1	21	94
	INT10_2		-	-	112	-
	INT11_1	外部割込み要求 11 の入力端子	17	G2	22	95
	INT11_2		-	-	110	-
	INT12_1	外部割込み要求 12 の入力端子	27	J4	32	5
	INT12_2		-	-	108	-
	INT13_1	外部割込み要求 13 の入力端子	28	L5	33	6
	INT13_2		-	-	52	-
	INT14_1	外部割込み要求 14 の入力端子	39	K6	44	17
	INT14_2		-	-	53	-
	INT15_1	外部割込み要求 15 の入力端子	96	C4	116	74
	INT15_2		-	-	54	-
	NMIX	ノンマスカブル割込み入力端子	92	B5	107	70

モジュール	端子名	機能	端子番号			
			LQFP-100	FBGA-112	LQFP-120	QFP-100
GPIO	P00	汎用入出力ポート 0	77	A9	92	55
	P01		78	B9	93	56
	P02		79	B11	94	57
	P03		80	A8	95	58
	P04		81	B8	96	59
	P05		82	C8	97	60
	P06		83	D9	98	61
	P07		84	A7	99	62
	P08		85	B7	100	63
	P09		86	C7	101	64
	P0A		87	D7	102	65
	P0B		88	A6	103	66
	P0C		89	B6	104	67
	P0D		90	C6	105	68
	P0E		91	A5	106	69
	P0F		92	B5	107	70
	P10	汎用入出力ポート 1	52	J11	62	30
	P11		53	J10	63	31
	P12		54	J8	64	32
	P13		55	H10	65	33
	P14		56	H9	66	34
	P15		57	H7	67	35
	P16		58	G10	68	36
	P17		59	G9	69	37
	P18		63	G8	73	41
	P19		64	F10	74	42
	P1A		65	F9	75	43
	P1B		66	E11	76	44
	P1C		67	E10	77	45
	P1D		68	F8	78	46
	P1E		69	E9	79	47
	P1F		70	D11	80	48
	P20	汎用入出力ポート 2	74	C10	89	52
	P21		73	C11	88	51
	P22		72	E8	87	50
	P23		71	D10	86	49
	P24		-	-	85	-
	P25		-	-	84	-
	P26		-	-	83	-
	P27		-	-	82	-
	P28		-	-	81	-

モジュール	端子名	機能	端子番号			
			LQFP-100	FBGA-112	LQFP-120	QFP-100
GPIO	P30	汎用入出力ポート 3	9	E1	14	87
	P31		10	E2	15	88
	P32		11	E3	16	89
	P33		12	E4	17	90
	P34		13	F1	18	91
	P35		14	F2	19	92
	P36		15	F3	20	93
	P37		16	G1	21	94
	P38		17	G2	22	95
	P39		18	F4	23	96
	P3A		19	G3	24	97
	P3B		20	H1	25	98
	P3C		21	H2	26	99
	P3D		22	G4	27	100
	P3E		23	H3	28	1
	P3F		24	J2	29	2
	P40	汎用入出力ポート 4	27	J4	32	5
	P41		28	L5	33	6
	P42		29	K5	34	7
	P43		30	J5	35	8
	P44		31	H5	36	9
	P45		32	L6	37	10
	P46		36	L3	41	14
	P47		37	K3	42	15
	P48		39	K6	44	17
	P49		40	J6	45	18
	P4A		41	L7	46	19
	P4B		42	K7	47	20
	P4C		43	H6	48	21
	P4D		44	J7	49	22
	P4E		45	K8	50	23
	P50	汎用入出力ポート 5	2	C1	2	80
	P51		3	C2	3	81
	P52		4	B3	4	82
	P53		5	D1	5	83
	P54		6	D2	6	84
	P55		7	D3	7	85
	P56		8	D5	8	86
	P57		-	-	9	-
	P58		-	-	10	-
	P59		-	-	11	-
	P5A		-	-	12	-
	P5B		-	-	13	-

モジュール	端子名	機能	端子番号			
			LQFP-100	FBGA-112	LQFP-120	QFP-100
GPIO	P60	汎用入出力ポート 6	96	C4	116	74
	P61		95	B4	115	73
	P62		94	C5	114	72
	P63		93	D6	113	71
	P64		-	-	112	-
	P65		-	-	111	-
	P66		-	-	110	-
	P67		-	-	109	-
	P68		-	-	108	-
	P70	汎用入出力ポート 7	-	-	51	-
	P71		-	-	52	-
	P72		-	-	53	-
	P73		-	-	54	-
	P74		-	-	55	-
	P80	汎用入出力ポート 8	98	A3	118	76
	P81		99	A2	119	77
	PE0	汎用入出力ポート E	46	K9	56	24
	PE2		48	L9	58	26
	PE3		49	L10	59	27
マルチファンクションシリアル 0	SIN0_0	マルチファンクションシリアルインタフェース ch.0 の入力端子	73	C11	88	51
	SIN0_1		56	H9	66	34
	SOT0_0 (SDA0_0)	マルチファンクションシリアルインタフェース ch.0 の出力端子。UART/CSIO/LIN 端子(動作モード 0～3)として使用するときは SOT0 として、I2C 端子(動作モード 4)として使用するときは SDA0 として機能します。	72	E8	87	50
	SOT0_1 (SDA0_1)		57	H7	67	35
	SCK0_0 (SCL0_0)	マルチファンクションシリアルインタフェース ch.0 のクロック I/O 端子。CSIO 端子(動作モード 2)として使用するときは SCK0 として、I2C 端子(動作モード 4)として使用するときは SCL0 として機能します。	71	D10	86	49
	SCK0_1 (SCL0_1)		58	G10	68	36
マルチファンクションシリアル 1	SIN1_0	マルチファンクションシリアルインタフェース ch.1 の入力端子	-	-	8	-
	SIN1_1		53	J10	63	31
	SOT1_0 (SDA1_0)	マルチファンクションシリアルインタフェース ch.1 の出力端子。UART/CSIO/LIN 端子(動作モード 0～3)として使用するときは SOT1 として、I2C 端子(動作モード 4)として使用するときは SDA1 として機能します。	-	-	9	-
	SOT1_1 (SDA1_1)		54	J8	64	32
	SCK1_0 (SCL1_0)	マルチファンクションシリアルインタフェース ch.1 のクロック I/O 端子。CSIO 端子(動作モード 2)として使用するときは SCK1 として、I2C 端子(動作モード 4)として使用するときは SCL1 として機能します。	-	-	10	-
	SCK1_1 (SCL1_1)		55	H10	65	33

モジュール	端子名	機能	端子番号			
			LQFP-100	FBGA-112	LQFP-120	QFP-100
マルチファンクションシリアル2	SIN2_0	マルチファンクションシリアルインタフェース ch.2 の入力端子	-	-	53	-
	SIN2_1		-	-	85	-
	SIN2_2		59	G9	69	37
	SOT2_0 (SDA2_0)	マルチファンクションシリアルインタフェース ch.2 の出力端子。UART/CSIO/LIN 端子(動作モード 0～3)として使用するときは SOT2 として、I²C 端子(動作モード4)として使用するときはSDA2として機能します。	-	-	54	-
	SOT2_1 (SDA2_1)		-	-	84	-
	SOT2_2 (SDA2_2)		63	G8	73	41
	SCK2_0 (SCL2_0)	マルチファンクションシリアルインタフェース ch.2 のクロック I/O 端子。CSIO端子(動作モード2)として使用するときは SCK2 として、I²C 端子(動作モード 4)として使用するときは SCL2 として機能します。	-	-	55	-
	SCK2_1 (SCL2_1)		-	-	83	-
	SCK2_2 (SCL2_2)		64	F10	74	42
マルチファンクションシリアル3	SIN3_0	マルチファンクションシリアルインタフェース ch.3 の入力端子	-	-	110	-
	SIN3_1		2	C1	2	80
	SIN3_2		39	K6	44	17
	SOT3_0 (SDA3_0)	マルチファンクションシリアルインタフェース ch.3 の出力端子。UART/CSIO/LIN 端子(動作モード 0～3)として使用するときは SOT3 として、I²C 端子(動作モード4)として使用するときはSDA3として機能します。	-	-	109	-
	SOT3_1 (SDA3_1)		3	C2	3	81
	SOT3_2 (SDA3_2)		40	J6	45	18
	SCK3_0 (SCL3_0)	マルチファンクションシリアルインタフェース ch.3 のクロック I/O 端子。CSIO端子(動作モード2)として使用するときは SCK3 として、I²C 端子(動作モード 4)として使用するときは SCL3 として機能します。	-	-	108	-
	SCK3_1 (SCL3_1)		4	B3	4	82
	SCK3_2 (SCL3_2)		41	L7	46	19

モジュール	端子名	機能	端子番号			
			LQFP-100	FBGA-112	LQFP-120	QFP-100
マルチファンクションシリアル4	SIN4_0	マルチファンクションシリアルインタフェース ch.4 の入力端子	87	D7	102	65
	SIN4_1		65	F9	75	43
	SIN4_2		82	C8	97	60
	SOT4_0 (SDA4_0)	マルチファンクションシリアルインタフェース ch.4 の出力端子。UART/CSIO/LIN 端子(動作モード 0～3)として使用するときは SOT4 として、I²C 端子(動作モード 4)として使用するときは SDA4 として機能します。	88	A6	103	66
	SOT4_1 (SDA4_1)		66	E11	76	44
	SOT4_2 (SDA4_2)		83	D9	98	61
	SCK4_0 (SCL4_0)	マルチファンクションシリアルインタフェース ch.4 のクロック I/O 端子。CSIO 端子(動作モード 2)として使用するときは SCK4 として、I²C 端子(動作モード 4)として使用するときは SCL4 として機能します。	89	B6	104	67
	SCK4_1 (SCL4_1)		67	E10	77	45
	SCK4_2 (SCL4_2)		84	A7	99	62
	RTS4_0	マルチファンクションシリアルインタフェース ch.4 の RTS 出力端子	90	C6	105	68
	RTS4_1		69	E9	79	47
	RTS4_2		86	C7	101	64
	CTS4_0	マルチファンクションシリアルインタフェース ch.4 の CTS 入力端子	91	A5	106	69
	CTS4_1		68	F8	78	46
	CTS4_2		85	B7	100	63
マルチファンクションシリアル5	SIN5_0	マルチファンクションシリアルインタフェース ch.5 の入力端子	96	C4	116	74
	SIN5_1		93	D6	113	93
	SIN5_2		15	F3	20	93
	SOT5_0 (SDA5_0)	マルチファンクションシリアルインタフェース ch.5 の出力端子。UART/CSIO/LIN 端子(動作モード 0～3)として使用するときは SOT5 として、I²C 端子(動作モード 4)として使用するときは SDA5 として機能します。	95	B4	115	73
	SOT5_1 (SDA5_1)		-	-	112	-
	SOT5_2 (SDA5_2)		16	G1	21	94
	SCK5_0 (SCL5_0)	マルチファンクションシリアルインタフェース ch.5 のクロック I/O 端子。CSIO 端子(動作モード 2)として使用するときは SCK5 として、I²C 端子(動作モード 4)として使用するときは SCL5 として機能します。	94	C5	114	72
	SCK5_1 (SCL5_1)		-	-	111	-
	SCK5_2 (SCL5_2)		17	G2	22	95

モジュール	端子名	機能	端子番号			
			LQFP-100	FBGA-112	LQFP-120	QFP-100
マルチファンクションシリアル6	SIN6_0	マルチファンクションシリアルインタフェース ch.6 の入力端子	5	D1	5	83
	SIN6_1		12	E4	17	90
	SOT6_0 (SDA6_0)	マルチファンクションシリアルインタフェース ch.6 の出力端子。	6	D2	6	84
	SOT6_1 (SDA6_1)	UART/CSIO/LIN 端子(動作モード 0～3)として使用するときは SOT6 として、I²C 端子(動作モード 4)として使用するときは SDA6 として機能します。	11	E3	16	89
	SCK6_0 (SCL6_0)	マルチファンクションシリアルインタフェース ch.6 のクロック I/O 端子。	7	D3	7	85
	SCK6_1 (SCL6_1)	CSIO 端子(動作モード 2)として使用するときは SCK6 として、I²C 端子(動作モード 4)として使用するときは SCL6 として機能します。	10	E2	15	88
マルチファンクションシリアル7	SIN7_0	マルチファンクションシリアルインタフェース ch.7 の入力端子	-	-	11	-
	SIN7_1		45	K8	50	23
	SOT7_0 (SDA7_0)	マルチファンクションシリアルインタフェース ch.7 の出力端子。	-	-	12	-
	SOT7_1 (SDA7_1)	UART/CSIO/LIN 端子(動作モード 0～3)として使用するときは SOT7 として、I²C 端子(動作モード 4)として使用するときは SDA7 として機能します。	44	J7	49	22
	SCK7_0 (SCL7_0)	マルチファンクションシリアルインタフェース ch.7 のクロック I/O 端子。	-	-	13	-
	SCK7_1 (SCL7_1)	CSIO 端子(動作モード 2)として使用するときは SCK7 として、I²C 端子(動作モード 4)として使用するときは SCL7 として機能します。	43	H6	48	21

モジュール	端子名	機能	端子番号			
			LQFP-100	FBGA-112	LQFP-120	QFP-100
多機能タイマ 0	DTTI0X_0	多機能タイマ 0 の RTO00～RTO05 出力を制御する波形ジェネレータの入力信号	18	F4	23	96
	DTTI0X_1		69	E9	79	47
	FRCK0_0	16 ビットフリーランタイマ ch.0 の外部クロック入力端子	13	F1	18	91
	FRCK0_1		70	D11	80	48
	FRCK0_2		53	J10	63	31
	IC00_0	多機能タイマ 0 の 16 ビットインプットキャプチャの入力端子。ICxx は、チャネル数を示します。	17	G2	22	95
	IC00_1		65	F9	75	43
	IC00_2		54	J8	64	32
	IC01_0		16	G1	21	94
	IC01_1		66	E11	76	44
	IC01_2		55	H10	65	33
	IC02_0		15	F3	20	93
	IC02_1		67	E10	77	45
	IC02_2		56	H9	66	34
	IC03_0		14	F2	19	92
	IC03_1		68	F8	78	46
	IC03_2		57	H7	67	35
	RTO00_0 (PPG00_0)	多機能タイマ 0 の波形ジェネレータ出力端子。PPG0 出力モードで使用するときは、PPG00 として機能します。	19	G3	24	97
	RTO00_1 (PPG00_1)		-	-	86	-
	RTO01_0 (PPG00_0)	多機能タイマ 0 の波形ジェネレータ出力端子。PPG0 出力モードで使用するときは、PPG00 として機能します。	20	H1	25	98
	RTO01_1 (PPG00_1)		-	-	85	-
	RTO02_0 (PPG02_0)	多機能タイマ 0 の波形ジェネレータ出力端子。PPG0 出力モードで使用するときは、PPG02 として機能します。	21	H2	26	99
	RTO02_1 (PPG02_1)		-	-	84	-
	RTO03_0 (PPG02_0)	多機能タイマ 0 の波形ジェネレータ出力端子。PPG0 出力モードで使用するときは、PPG02 として機能します。	22	G4	27	100
	RTO03_1 (PPG02_1)		-	-	83	-
	RTO04_0 (PPG04_0)	多機能タイマ 0 の波形ジェネレータ出力端子。PPG0 出力モードで使用するときは、PPG04 として機能します。	23	H3	28	1
	RTO04_1 (PPG04_1)		-	-	82	-
	RTO05_0 (PPG04_0)	多機能タイマ 0 の波形ジェネレータ出力端子。PPG0 出力モードで使用するときは、PPG04 として機能します。	24	J2	29	2
	RTO05_1 (PPG04_1)		-	-	81	-

モジュール	端子名	機能	端子番号			
			LQFP-100	FBGA-112	LQFP-120	QFP-100
多機能タイマ 1	DTTI1X_0	多機能タイマ 1 の RTO10～RTO15 出力を制御する波形ジェネレータの入力信号	8	D5	8	86
	DTTI1X_1		39	K6	44	17
	FRCK1_0	16 ビットフリーランタイマ ch.1 の外部クロック入力端子	87	D7	102	65
	FRCK1_1		44	J7	49	22
	IC10_0	多機能タイマ 1 の 16 ビットインプットキャプチャの入力端子。ICxx は、チャネル数を示します。	88	A6	103	66
	IC10_1		40	J6	45	18
	IC11_0		89	B6	104	67
	IC11_1		41	L7	46	19
	IC12_0		90	C6	105	68
	IC12_1		42	K7	47	20
	IC13_0		91	A5	106	69
	IC13_1		43	H6	48	21
	RTO10_0 (PPG10_0)	多機能タイマ 1 の波形ジェネレータ出力端子。PPG1 出力モードで使用するときは、PPG10 として機能します。	2	C1	2	80
	RTO10_1 (PPG10_1)		27	J4	32	5
	RTO11_0 (PPG10_0)	多機能タイマ 1 の波形ジェネレータ出力端子。PPG1 出力モードで使用するときは、PPG10 として機能します。	3	C2	3	81
	RTO11_1 (PPG10_1)		28	L5	33	6
	RTO12_0 (PPG12_0)	多機能タイマ 1 の波形ジェネレータ出力端子。PPG1 出力モードで使用するときは、PPG12 として機能します。	4	B3	4	82
	RTO12_1 (PPG12_1)		29	K5	34	7
	RTO13_0 (PPG12_0)	多機能タイマ 1 の波形ジェネレータ出力端子。PPG1 出力モードで使用するときは、PPG12 として機能します。	5	D1	5	83
	RTO13_1 (PPG12_1)		30	J5	35	8
	RTO14_0 (PPG14_0)	多機能タイマ 1 の波形ジェネレータ出力端子。PPG1 出力モードで使用するときは、PPG14 として機能します。	6	D2	6	84
	RTO14_1 (PPG14_1)		31	H5	36	9
	RTO15_0 (PPG14_0)	多機能タイマ 1 の波形ジェネレータ出力端子。PPG1 出力モードで使用するときは、PPG14 として機能します。	7	D3	7	85
	RTO15_1 (PPG14_1)		32	L6	37	10

モジュール	端子名	機能	端子番号			
			LQFP-100	FBGA-112	LQFP-120	QFP-100
多機能タイマ 2	DTTI2X_0	多機能タイマ 2 の RTO20～RTO25 出力を制御する波形ジェネレータの入力信号	92	B5	107	70
	DTTI2X_1		92	B5	107	70
	FRCK2_0	16 ビットフリーランタイマ ch.2 の外部クロック入力端子	87	D7	102	65
	FRCK2_1		-	-	112	-
	IC20_0	多機能タイマ 2 の 16 ビットインプットキャプチャの入力端子。ICxx は、チャネル数を示します。	88	A6	103	66
	IC20_1		-	-	108	-
	IC21_0		89	B6	104	67
	IC21_1		-	-	109	-
	IC22_0		90	C6	105	68
	IC22_1		-	-	110	-
	IC23_0		91	A5	106	69
	IC23_1		-	-	111	-
	RTO20_0 (PPG20_0)	多機能タイマ 2 の波形ジェネレータ出力端子。PPG1 出力モードで使用するときは、PPG20 として機能します。	-	-	113	-
	RTO20_1 (PPG20_1)		86	C7	101	64
	RTO21_0 (PPG20_0)	多機能タイマ 2 の波形ジェネレータ出力端子。PPG1 出力モードで使用するときは、PPG20 として機能します。	-	-	112	-
	RTO21_1 (PPG20_1)		87	D7	102	65
	RTO22_0 (PPG22_0)	多機能タイマ 2 の波形ジェネレータ出力端子。PPG1 出力モードで使用するときは、PPG22 として機能します。	-	-	111	-
	RTO22_1 (PPG22_1)		88	A6	103	66
	RTO23_0 (PPG22_0)	多機能タイマ 2 の波形ジェネレータ出力端子。PPG1 出力モードで使用するときは、PPG22 として機能します。	-	-	110	-
	RTO23_1 (PPG22_1)		89	B6	104	67
	RTO24_0 (PPG24_0)	多機能タイマ 2 の波形ジェネレータ出力端子。PPG1 出力モードで使用するときは、PPG24 として機能します。	-	-	109	-
	RTO24_1 (PPG24_1)		90	C6	105	68
	RTO25_0 (PPG24_0)	多機能タイマ 2 の波形ジェネレータ出力端子。PPG1 出力モードで使用するときは、PPG24 として機能します。	-	-	108	-
	RTO25_1 (PPG24_1)		91	A5	106	69

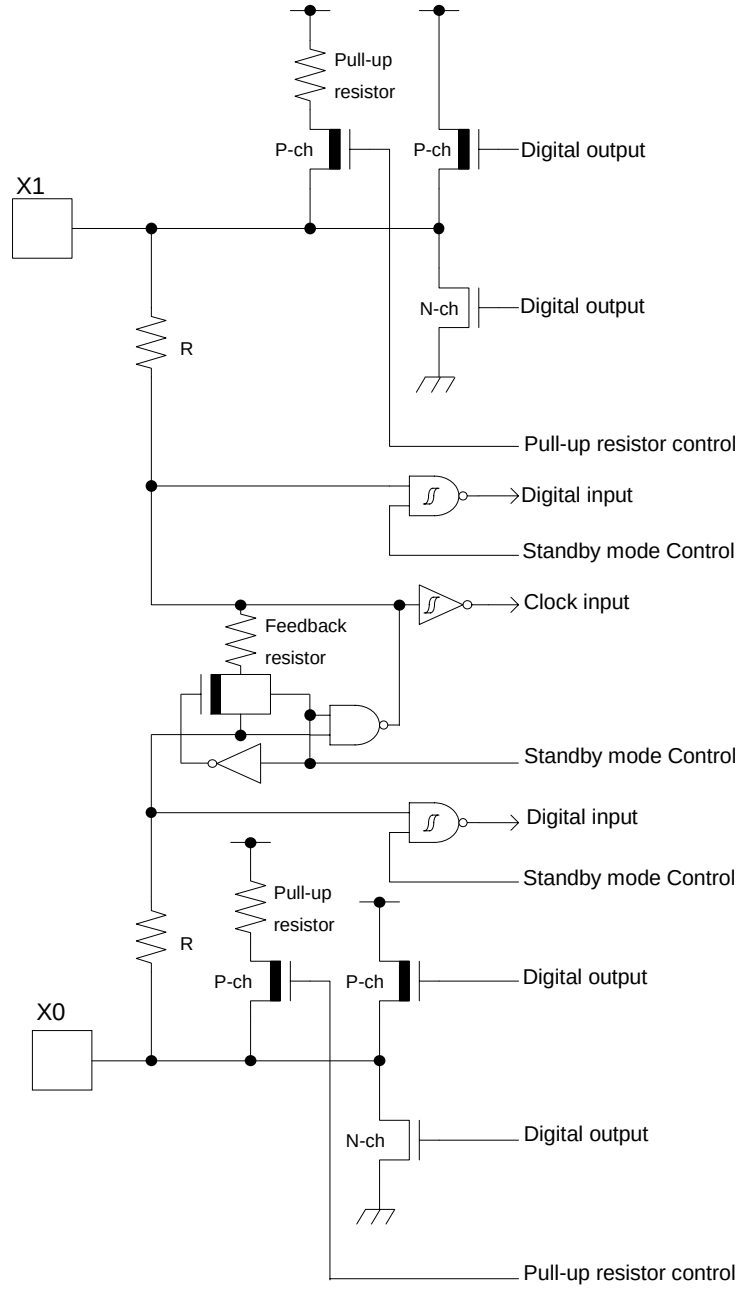
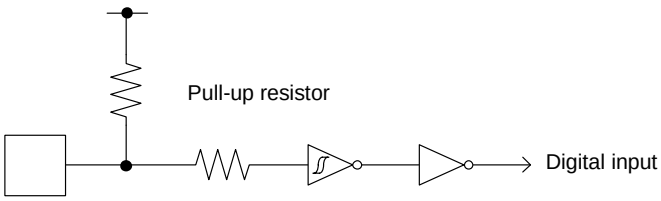
モジュール	端子名	機能	端子番号			
			LQFP-100	FBGA-112	LQFP-120	QFP-100
クアッドカウンタ 0	AIN0_0	QPRC ch.0 の AIN 入力端子	9	E1	14	87
	AIN0_1		40	J6	45	18
	AIN0_2		2	C1	2	80
	BIN0_0	QPRC ch.0 の BIN 入力端子	10	E2	15	88
	BIN0_1		41	L7	46	19
	BIN0_2		3	C2	3	81
	ZIN0_0	QPRC ch.0 の ZIN 入力端子	11	E3	16	89
	ZIN0_1		42	K7	47	20
	ZIN0_2		4	B3	4	82
クアッドカウンタ 1	AIN1_1	QPRC ch.1 の AIN 入力端子	74	C10	89	52
	AIN1_2		43	H6	48	21
	BIN1_1	QPRC ch.1 の BIN 入力端子	73	C11	88	51
	BIN1_2		44	J7	49	22
	ZIN1_1	QPRC ch.1 の ZIN 入力端子	72	E8	87	50
	ZIN1_2		45	K8	50	23
クアッドカウンタ 2	AIN2_0	QPRC ch.2 の AIN 入力端子	-	-	10	-
	AIN2_1		83	D9	98	61
	BIN2_0	QPRC ch.2 の BIN 入力端子	-	-	11	-
	BIN2_1		84	A7	99	62
	ZIN2_0	QPRC ch.2 の ZIN 入力端子	-	-	12	-
	ZIN2_1		85	B7	100	63
リアルタイムクロック	RTCCO_0	リアルタイムクロックの 0.5 秒パルス出力端子	92	B5	107	70
	RTCCO_1		55	H10	65	33
	RTCCO_2		19	G3	24	97
	SUBOUT_0	サブクロック出力端子	92	B5	107	70
	SUBOUT_1		55	H10	65	33
	SUBOUT_2		19	G3	24	97
USB	UDM0	USB デバイス/ホストの D - 端子	98	A3	118	76
	UDP0	USB デバイス/ホストの D + 端子	99	A2	119	77
	UHCONX	USB 外部プルアップ制御端子	95	B4	115	73

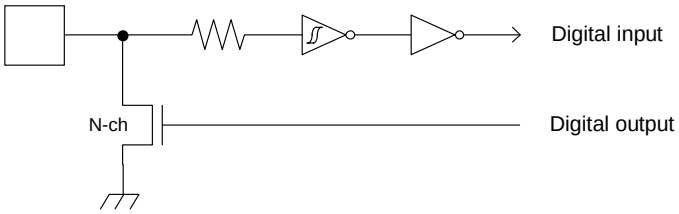
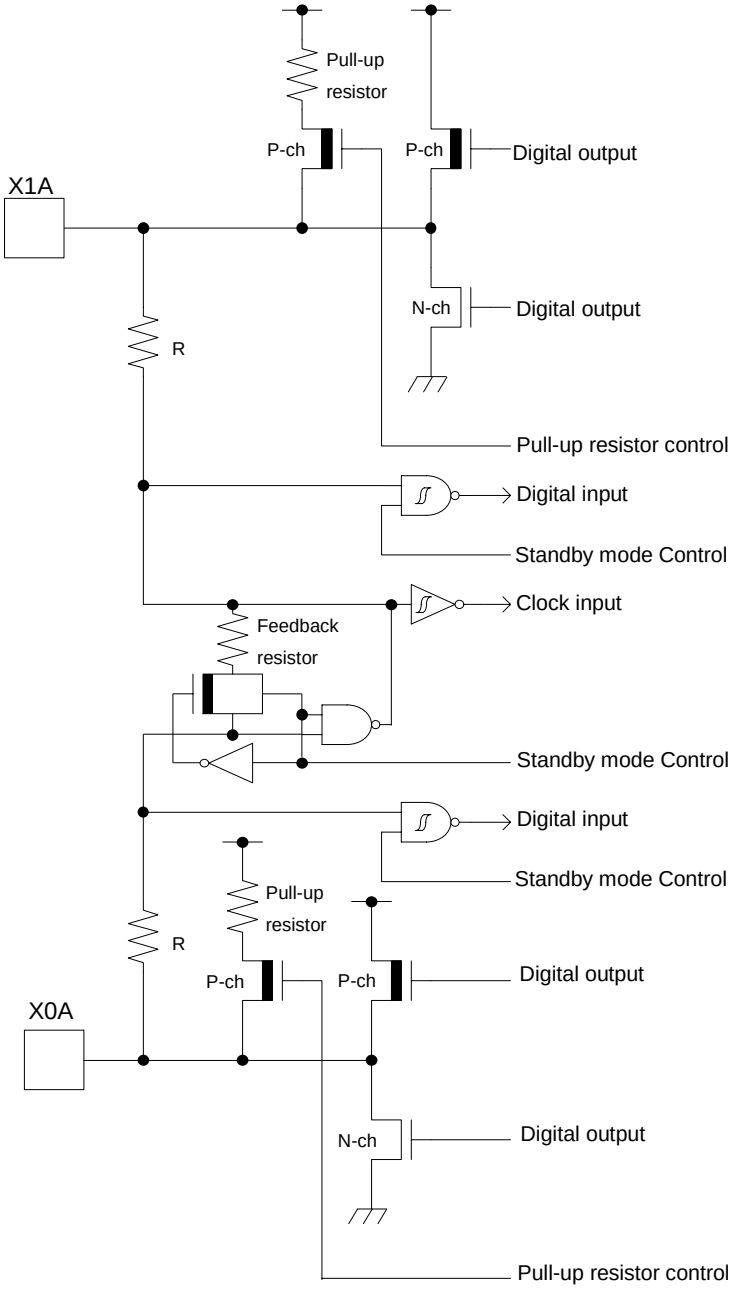
モジュール	端子名	機能	端子番号			
			LQFP-100	FBGA-112	LQFP-120	QFP-100
Reset	INITX	外部リセット入力端子。 INITX="L"のとき、リセットが有効です。	38	K4	43	16
Mode	MD0	モード 0 端子。 通常動作時は、MD0="L"を入力してください。フラッシュメモリのシリアル書込み時は、MD0="H"を入力してください。	47	L8	57	25
	MD1	モード 1 端子。 フラッシュメモリのシリアル書込み時は、MD1="L"を入力してください。	46	K9	56	24
Power	VCC	電源端子	1	B1	1	79
	VCC	電源端子	26	J1	31	4
	VCC	電源端子	35	K1	40	13
	VCC	電源端子	51	K11	61	29
	VCC	電源端子	76	A10	91	54
	USBVCC	USB I/O のための 3.3V 電源供給ポート	97	A4	117	75
GND	VSS	GND 端子	-	B2	-	
	VSS	GND 端子	25	L1	30	3
	VSS	GND 端子	-	K2	-	
	VSS	GND 端子	-	J3	-	
	VSS	GND 端子	-	H4	-	
	VSS	GND 端子	34	L4	39	12
	VSS	GND 端子	50	L11	60	28
	VSS	GND 端子	-	K10	-	
	VSS	GND 端子	-	J9	-	
	VSS	GND 端子	-	H8	-	
	VSS	GND 端子	-	B10	-	
	VSS	GND 端子	-	C9	-	
	VSS	GND 端子	75	A11	90	53
	VSS	GND 端子	-	D8	-	
	VSS	GND 端子	-	D4	-	
	VSS	GND 端子	-	C3	-	
	VSS	GND 端子	100	A1	120	78
Clock	X0	メインクロック(発振)入力端子	48	L9	58	26
	X0A	サブクロック(発振)入力端子	36	L3	41	14
	X1	メインクロック(発振)I/O 端子	49	L10	59	27
	X1A	サブクロック(発振)I/O 端子	37	K3	42	15
	CROUT_0	内蔵高速 CR 発振クロック出力ポート	74	C10	89	52
	CROUT_1		92	B5	107	70
Analog Power	AVCC	A/D コンバータのアナログ電源端子	60	H11	70	38
	AVRH	A/D コンバータのアナログ基準電圧入力端子	61	F11	71	39
Analog GND	AVSS	A/D コンバータの GND 端子	62	G11	72	40
C 端子	C	電源安定化容量端子	33	L2	38	11

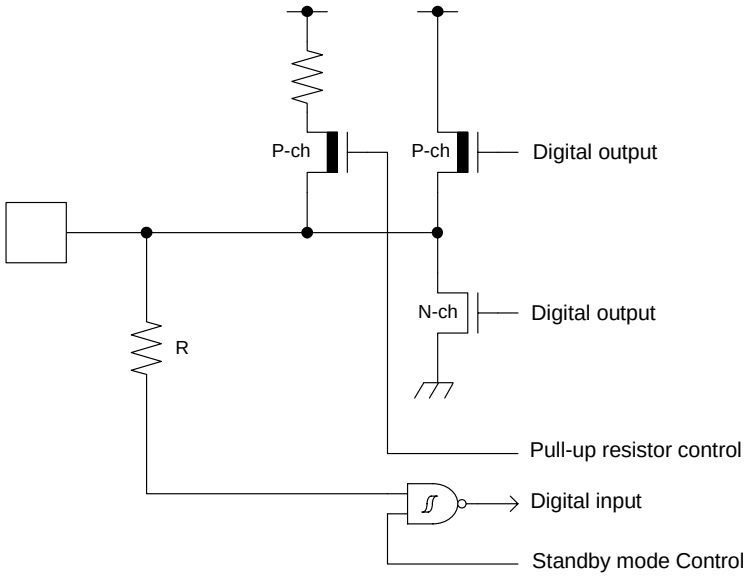
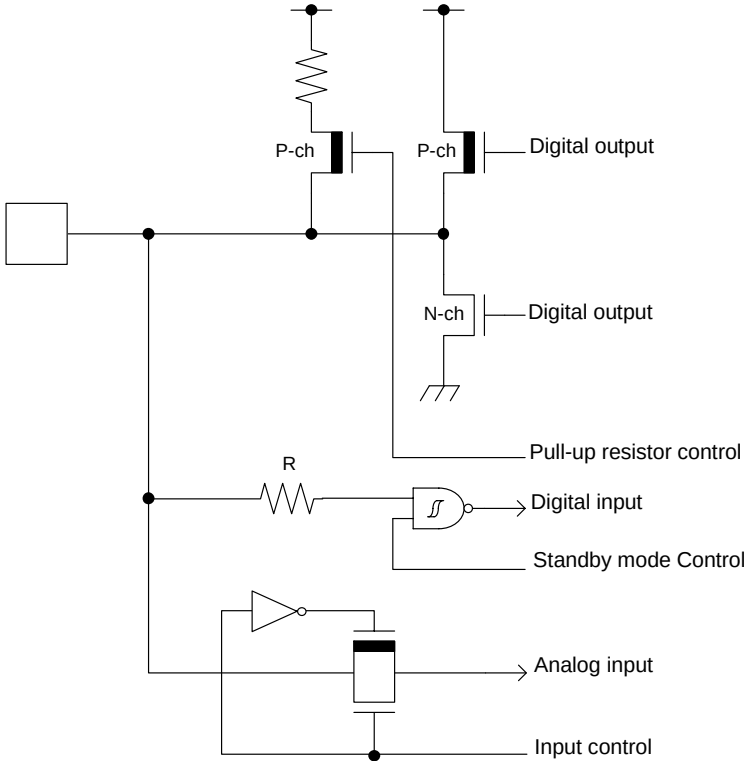
＜注意事項＞

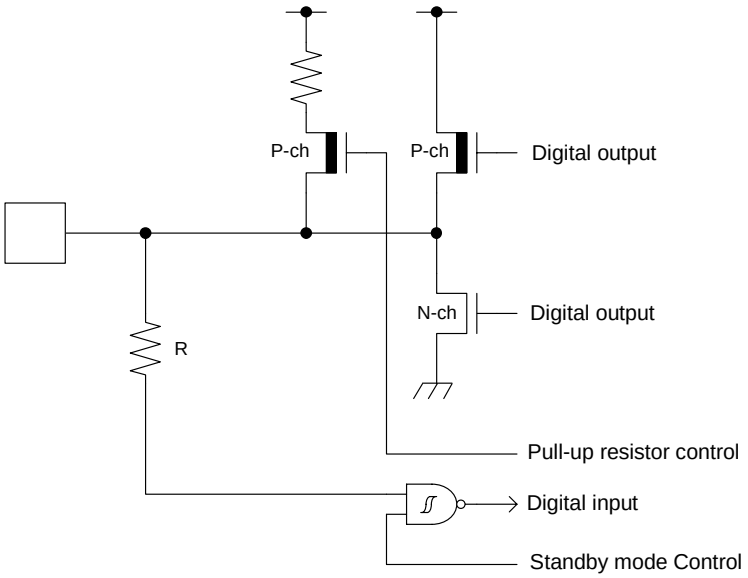
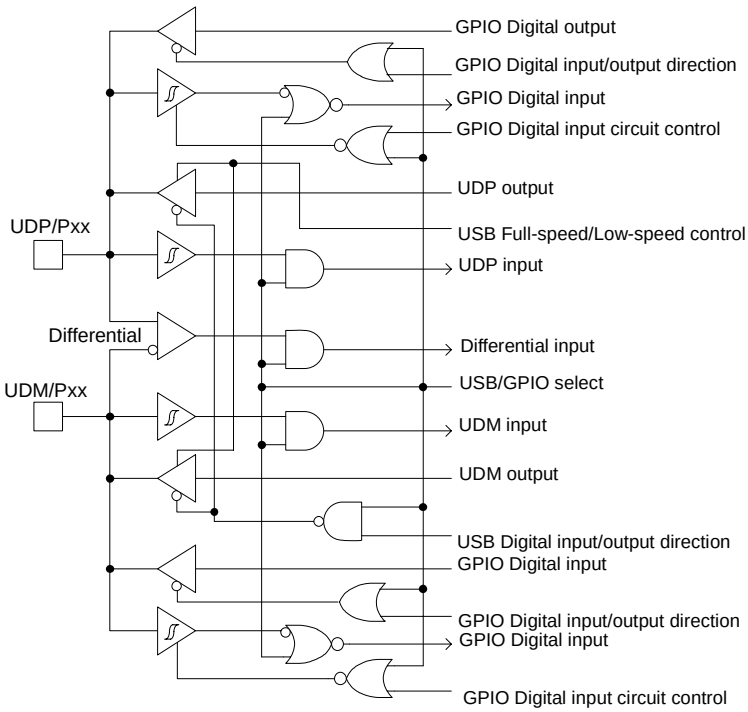
- *本デバイスには、JTAG 標準のテストアクセスポート(TAP)が搭載されていますが、IEEE 1149.1-2001 に完全に準拠していません。32bit の ID 番号は、他シリーズの ID 番号と重なる場合があります。また、JTAG 端子は TAP コントローラへのアクセス以外の目的に対しても使用されます。*

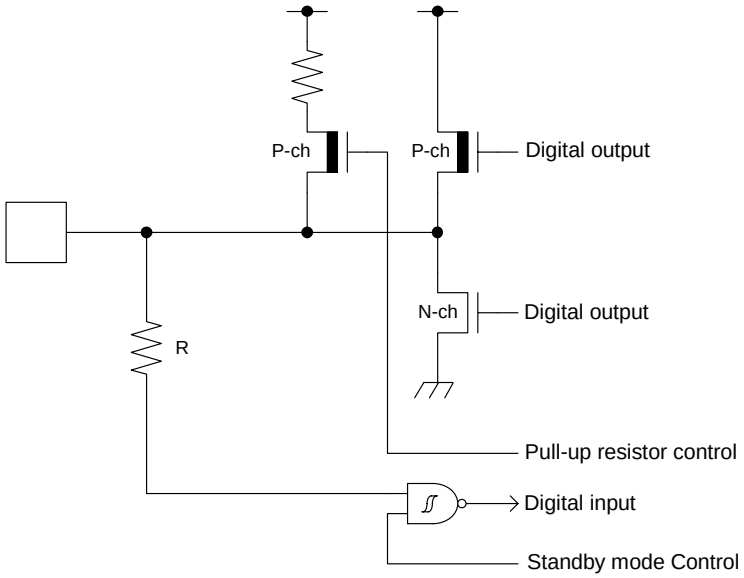
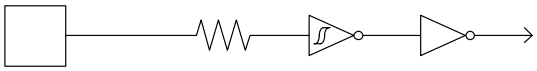
5. 入出力回路形式

分類	回路	備考
A		メイン発振/GPIO 切換え可能 メイン発振機能選択時 – 発振帰還抵抗: 約 1 MΩ – スタンバイ制御あり GPIO 機能選択時 – CMOS レベル出力 – CMOS レベルヒステリシス入力 – プルアップ抵抗制御あり – スタンバイ制御あり – プルアップ抵抗: 約 50 kΩ – I_{OH} = -4 mA, I_{OL} = 4 mA
B		– CMOS レベルヒステリシス入力 – プルアップ抵抗: 約 50 kΩ

分類	回路	備考
C		– オープンドレイン出力 – CMOS レベルヒステリシス入力
D		サブ発振/GPIO 切換え可能 サブ発振機能選択時 – 発振帰還抵抗: 約 5 MΩ – スタンバイ制御あり GPIO 機能選択時 – CMOS レベル出力 – CMOS レベルヒステリシス入力 – プルアップ抵抗制御あり – スタンバイ制御あり – プルアップ抵抗: 約 50 kΩ – I_{OH} = -4 mA, I_{OL} = 4 mA

分類	回路	備考
E		– CMOS レベル出力 – CMOS レベルヒステリシス入力 – プルアップ抵抗制御あり – スタンバイ制御あり – プルアップ抵抗: 約 50 kΩ – IOH = -4 mA, IOL = 4 mA – I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。 – +B 入力可
F		– CMOS レベル出力 – CMOS レベルヒステリシス入力 – 入力制御あり – アナログ入力 – プルアップ抵抗制御あり – スタンバイ制御あり – プルアップ抵抗: 約 50 kΩ – I_{OH} = -4 mA, I_{OL} = 4 mA – I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。 – +B 入力可

分類	回路	備考
G		- CMOS レベル出力 - CMOS レベルヒステリシス入力 - プルアップ抵抗制御あり - スタンバイ制御あり - プルアップ抵抗: 約 50 kΩ - I_{OH} = -12 mA, I_{OL} = 12 mA - I²C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。 - +B 入力可
H		USB I/O / GPIO 切換え可能 USB I/O 機能選択時 - 高速, 低速制御 GPIO 機能選択時 - CMOS レベル出力 - CMOS レベルヒステリシス入力 - スタンバイ制御あり - I_{OH} = -20.5 mA, I_{OL} = 18.5 mA

分類	回路	備考
I		- CMOS レベル出力 - CMOS レベルヒステリシス入力 - プルアップ抵抗制御あり - 5 V トレラント - スタンバイ制御あり - I_{OH} = -4 mA, I_{OL} = 4 mA - PZR レジスタ制御可能 - I^2C 端子として使用するとき、デジタル出力 P-ch トランジスタは常にオフです。
J		CMOS レベルヒステリシス入力

6. 取扱上のご注意

半導体デバイスは、ある確率で故障します。また、半導体デバイスの故障は、使用される条件(回路条件，環境条件など)によっても大きく左右されます。

以下に、半導体デバイスをより信頼性の高い状態で使用していただくために、注意・配慮しなければならない事項について説明します。

6.1 設計上の注意事項

ここでは、半導体デバイスを使用して電子機器の設計を行う際に注意すべき事項について述べます。

絶対最大定格の遵守

半導体デバイスは、過剰なストレス (電圧，電流，温度など) が加わると破壊する可能性があります。この限界値を定めたものが絶対最大定格です。従って、定格を一項目でも超えることのないようご注意ください。

推奨動作条件の遵守

推奨動作条件は、半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は、全てこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を越えて使用すると、信頼性に悪影響を及ぼすことがあります。

本資料に記載されていない項目，使用条件，論理組み合わせでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

端子の処理と保護

半導体デバイスには、電源および各種入出力端子があります。これらに対して以下の注意が必要です。

1. 過電圧・過電流の防止

   各端子に最大定格を超える電圧・電流が印加されると、デバイスの内部に劣化が生じ、著しい場合には破壊に至ります。機器の設計の際には、このような過電圧・過電流の発生を防止してください。
2. 出力端子の保護

   出力端子を電源端子または他の出力端子とショートしたり、大きな容量負荷を接続すると大電流が流れる場合があります。この状態が長時間続くとデバイスが劣化しますので、このような接続はしないようにしてください。
3. 未使用入力端子の処理

   インピーダンスの非常に高い入力端子は、オープン状態で使用すると動作が不安定になる場合があります。適切な抵抗を介して電源端子やグランド端子に接続してください。

ラッチアップ

半導体デバイスは、基板上に P 型と N 型の領域を形成することにより構成されます。外部から異常な電圧が加えられた場合、内部の寄生 PNPN 接合 (サイリスタ構造) が導通して、数百 mA を越える大電流が電源端子に流れ続けることがあります。これをラッチアップと呼びます。この現象が起きるとデバイスの信頼性を損ねるだけでなく、破壊に至り発熱・発煙・発火の恐れもあります。これを防止するために、以下の点にご注意ください。

1. 最大定格以上の電圧が端子に加わることが無いようにしてください。異常なノイズ，サージ等にも注意してください。
2. 電源投入シーケンスを考慮し、異常な電流が流れないようにしてください。

安全等の規制と規格の遵守
世界各国では、安全や、電磁妨害等の各種規制と規格が設けられています。お客様が機器を設計するに際しては、これらの規制と規格に適合するようお願いします。

フェイル・セーフ設計
半導体デバイスは、ある確率で故障が発生します。半導体デバイスが故障しても、結果的に人身事故，火災事故，社会的な損害を生じさせないよう、お客様は、装置の冗長設計，延焼対策設計，過電流防止設計，誤動作防止設計などの安全設計をお願いします。

用途に関する注意
本資料に記載された製品は、通常の産業用，一般事務用，パーソナル用，家庭用などの一般的用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途 (原子力施設における核反応制御，航空機自動飛行制御,航空交通管制，大量輸送システムにおける運行制御，生命維持のための医療機器，兵器システムにおけるミサイル発射制御をいう)，ならびに極めて高い信頼性が要求される用途 (海底中継器，宇宙衛星をいう) に使用されるよう設計・製造されたものではありません。当社は、これらの用途に当該製品が使用されたことにより発生した損害などについては、責任を負いかねますのでご了承ください。

6.2　パッケージ実装上の注意事項
パッケージには、リード挿入形と表面実装形があります。いずれの場合も、はんだ付け時の耐熱性に関する品質保証は,当社の推奨する条件での実装に対してのみ適用されます。実装条件の詳細については営業部門までお問い合わせください。

リード挿入形
リード挿入形パッケージのプリント板への実装方法は、プリント板へ直接はんだ付けする方法とソケットを使用してプリント板に実装する方法とがあります。

プリント板へ直接はんだ付けする場合は、プリント板のスルーホールにリード挿入後、噴流はんだによるフローはんだ方法 (ウェーブソルダリング法) が一般的に使用されます。この場合、はんだ付け実装時には、通常最大定格の保存温度を上回る熱ストレスがリード部分に加わります。当社の実装推奨条件で実装してください。

ソケット実装方法でご使用になる場合、ソケットの接点の表面処理と IC のリードの表面処理が異なるとき、長時間経過後、接触不良を起こすことがあります。このため、ソケットの接点の表面処理と IC のリードの表面処理の状態を確認してから実装することをお勧めします。

表面実装形
表面実装形パッケージは、リード挿入形と比較して、リードが細く薄いため、リードが変形し易い性質をもっています。また、パッケージの多ピン化に伴い、リードピッチも狭く、リード変形によるオープン不良や、はんだブリッジによるショート不良が発生しやすいため、適切な実装技術が必要となります。

当社ははんだリフロー方法を推奨し、製品ごとに実装条件のランク分類を実施しています。当社推奨のランク分類に従って実装してください。

鉛フリーパッケージ
FBGA パッケージの Sn-Ag-Cu 系ボール品を Sn-Pb 共晶はんだにて実装した場合、使用状況により接合強度が低下することがありますのでご注意願います。

半導体デバイスの保管について

プラスチックパッケージは樹脂でできているため、自然の環境に放置することにより吸湿します。吸湿したパッケージに実装時の熱が加わった場合、界面剥離発生による耐湿性の低下やパッケージクラックが発生することがあります。以下の点にご注意ください。

1. 急激な温度変化のある所では製品に水分の結露が起こります。このような環境を避けて、温度変化の少ない場所に保管してください。
2. 製品の保管場所はドライボックスの使用を推奨します。相対湿度 70%RH 以下，温度 5℃～30℃で保管をお願いします。ドライパッケージを開封した場合には湿度 40%～70%RH を推奨いたします。
3. 当社では必要に応じて半導体デバイスの梱包材として防湿性の高いアルミラミネート袋を用い、乾燥剤としてシリカゲルを使用しております。半導体デバイスはアルミラミネート袋に入れて密封して保管してください。
4. 腐食性ガスの発生する場所や塵埃の多い所は避けてください。

ベーキングについて

吸湿したパッケージはベーキング (加熱乾燥) を実施することにより除湿することが可能です。

ベーキングは、当社の推奨する条件で実施してください。

条件: 125℃/24 時間

静電気

半導体デバイスは静電気による破壊を起こしやすいため、以下の点についてご注意ください。

1. 作業環境の相対湿度は 40% ~ 70%RH にしてください。
   除電装置 (イオン発生装置) の使用なども必要に応じて検討してください。
2. 使用するコンベア，半田槽，半田ゴテ，および周辺付帯設備は大地に接地してください。
3. 人体の帯電防止のため、指輪または腕輪などから高抵抗 (1 MΩ程度) で大地に接地したり、導電性の衣服・靴を着用し、床に導電マットを敷くなど帯電電荷を最小限に保つようにしてください。
4. 治具，計器類は，接地または帯電防止化を実施してください。
5. 組立完了基板の収納時、発泡スチロールなどの帯電し易い材料の使用は避けてください。

6.3 使用環境に関する注意事項

半導体デバイスの信頼性は、先に述べました周囲温度とそれ以外の環境条件にも依存します。ご使用にあたっては、以下の点にご注意ください。

1. 湿度環境

   高湿度環境下での長期の使用は、デバイス自身だけでなくプリント基板等にもリーク性の不具合が発生する場合があります。高湿度が想定される場合は、防湿処理を施す等の配慮をお願いします。

2. 静電気放電

   半導体デバイスの直近に高電圧に帯電したものが存在すると、放電が発生し誤動作の原因となることがあります。このような場合、帯電の防止または放電の防止の処置をお願いします。

3. 腐食性ガス，塵埃，油

   腐食性ガス雰囲気中や、塵埃，油等がデバイスに付着した状態で使用すると、化学反応によりデバイスに悪影響を及ぼす場合があります。このような環境下でご使用の場合は、防止策についてご検討ください。

4. 放射線・宇宙線

   一般のデバイスは、設計上、放射線，宇宙線にさらされる環境を想定しておりません。したがって、これらを遮蔽してご使用ください。

5. 発煙・発火

   樹脂モールド型のデバイスは、不燃性ではありません。発火物の近くでは、ご使用にならないでください。発煙・発火しますと、その際に毒性を持ったガスが発生する恐れがあります。

その他、特殊な環境下でのご使用をお考えの場合は、営業部門にご相談ください。

7. デバイス使用上の注意

電源端子について

VCC, VSS 端子が複数ある場合、デバイス設計上はラッチアップなどの誤動作を防止するためにデバイス内部で同電位にすべきものどうしを接続してありますが、不要輻射の低減・グランドレベルの上昇によるストローブ信号の誤動作の防止・総出力電流規格を遵守などのために、必ずそれらすべてを外部で電源およびグランドに接続してください。

また、電流供給源からできる限り低インピーダンスで本デバイスの各電源端子 と GND 端子に接続してください。

さらに、本デバイスの近くで各電源端子 と GND 端子の間、AVCC 端子と AVSS 端子の間に 0.1 μF 程度のセラミックコンデンサをバイパスコンデンサとして接続することをお勧めします。

電源電圧の安定化について

電源電圧の変動が VCC の推奨動作条件内においても、急峻な変化があると誤動作することがあります。安定化の基準として VCC は、商用周波数 (50 Hz ~ 60 Hz) におけるリプル変動(ピークピーク値) を推奨動作条件内の 10%以内にしてください。かつ電源切り換えによる瞬間変動の過渡変動率は 0.1 V/μs 以下にしてください。

水晶発振回路について

X0/X1, X0A/X1A 端子の近辺のノイズは本デバイスの誤動作の原因となります。X0/X1, X0A/X1A 端子および水晶振動子さらにグランドへのバイパスコンデンサはできる限り近くに配置するようにプリント板を設計してください。

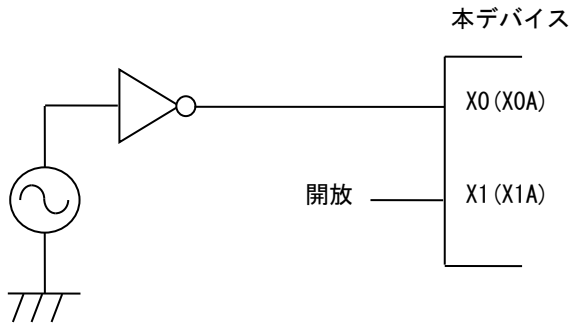
また、X0/X1, X0A/X1A 端子の回りをグランドで囲むようなプリント板アートワークは安定した動作を期待できますので、強くお勧めします。

実装基板にて、使用する水晶振動子の発振評価を実施してください。

外部クロック使用時の注意

外部クロックを使用する場合は、X0, X0A 端子のみを駆動し、X1, X1A 端子は開放としてください。

・外部クロック使用例

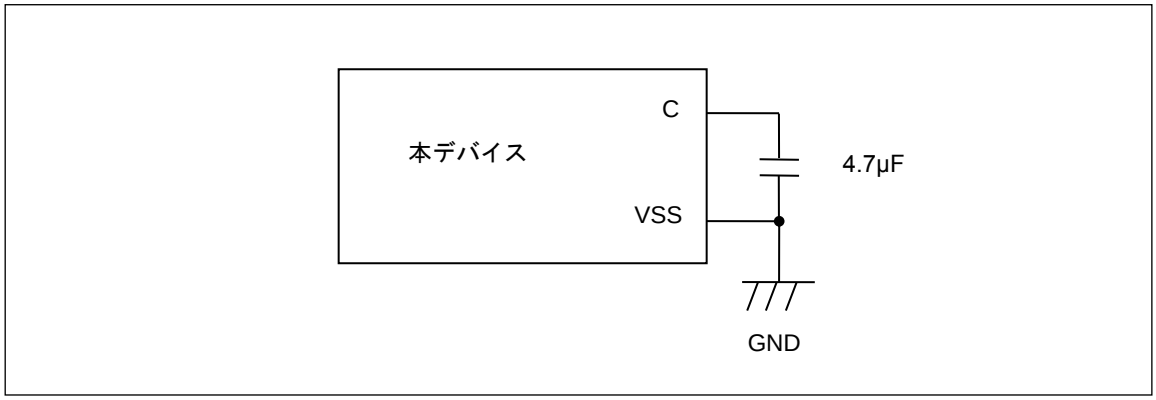


マルチファンクションシリアル端子を I²C 端子として使用する場合の扱いについて

マルチファンクションシリアル端子を I2C 端子として使用する場合、デジタル出力 P-ch トランジスタは常にディセーブルです。しかし、I2C 端子もほかの端子と同様に、デバイスの電気的特性を守り、電源をオフにしたまま外部 I²C バスシステムへ接続しないでください。

C 端子について

本シリーズはレギュレータを内蔵しています。必ず C 端子と GND 端子の間にレギュレータ用の平滑コンデンサ(CS)を接続してください。平滑コンデンサにはセラミックコンデンサまたは同程度の周波数特性のコンデンサを使用してください。
なお、積層セラミックコンデンサは、温度による容量値の変化幅に特性(F 特性, Y5V 特性)を持つものがあります。コンデンサの温度特性を確認し、使用条件において規格値を満たすコンデンサを使用してください。
本シリーズでは 4.7 μF 程度の平滑コンデンサを推奨します。



モード端子(MD0)について

モード端子(MD0)は VCC 端子または VSS 端子に直接接続してください。内蔵フラッシュメモリ書換えなどの目的で、モード端子レベルを変更できるようにプルアップまたはプルダウンをする場合には、ノイズによりデバイスが意図せずテストモードに入るのを防止するため、プルアップまたはプルダウンに使用する抵抗値はできるだけ低く抑えると共に、モード端子から VCC 端子または VSS 端子への距離を最小にし、できるだけ低インピーダンスで接続するようにプリント基板を設計してください。

電源投入時について

電源を投入/切断する際は同時か、あるいは次の順番で投入/切断を行ってください。
なお、A/D コンバータを使用しない場合でも、AVCC = VCC レベル, AVSS = VSS レベルに接続してください。

投入時 : VCC → USBVCC
VCC → AVCC → AVRH
切断時 : AVRH → AVCC → VCC
USBVCC → VCC

シリアル通信について

シリアル通信においては、ノイズなどにより間違ったデータを受信する可能性があります。そのため、ノイズを抑えるボードの設計をしてください。

また、万が一ノイズなどの影響により誤ったデータを受信した場合を考慮し、最後にデータのチェックサムなどを付加してエラー検出を行ってください。エラーが検出された場合には、再送を行うなどの処理をしてください。

メモリサイズの異なる製品間および Flash 製品と MASK 製品の特性差について

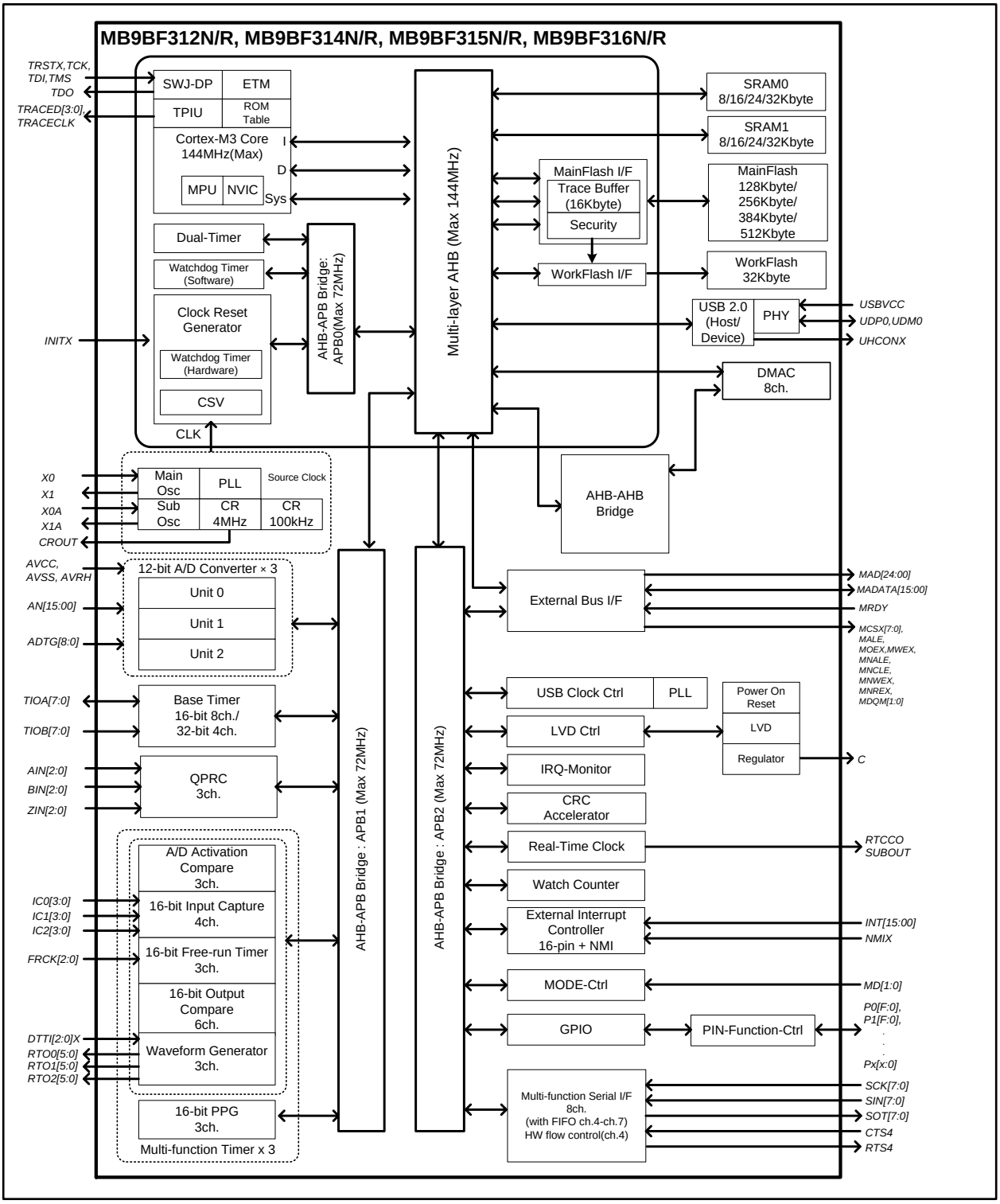
メモリサイズの異なる製品間および Flash 製品と MASK 製品ではチップレイアウトやメモリ構造の違いにより消費電流や ESD, ラッチアップ, ノイズ特性, 発振特性等を含めた電気的特性が異なります。

お客様にて同一シリーズの別製品に切り換えて使用する際は、電気的特性の評価を行ってください。

5 V トレラント I/O のプルアップ機能について

5 V トレラント I/O のプルアップ機能使用時は VCC 電圧以上の信号を入力しないでください。

8. ブロックダイヤグラム

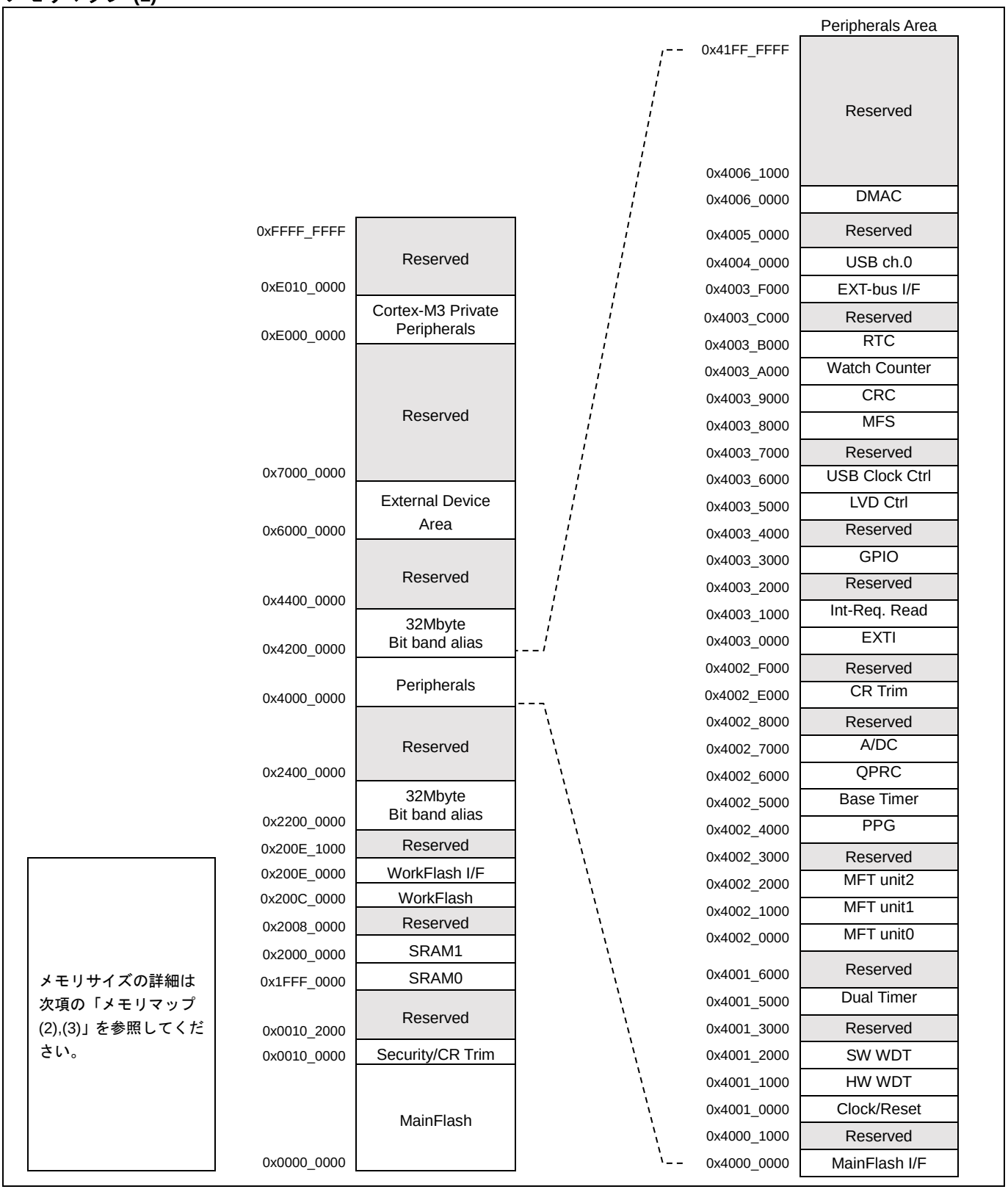


9. メモリサイズ

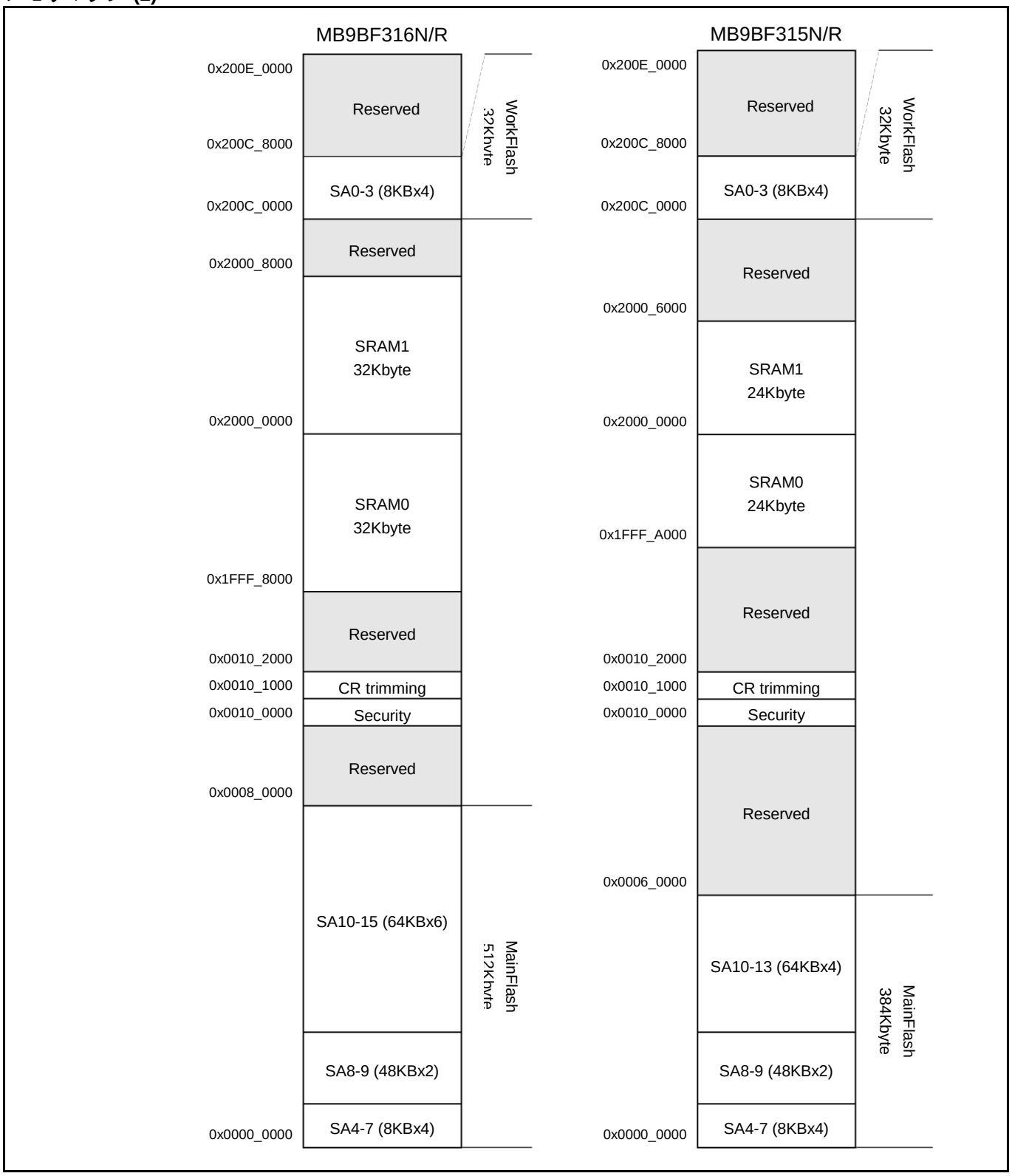
メモリサイズについては「1. 品種構成」の「メモリサイズ」を参照してください。

10. メモリマップ

メモリマップ (1)

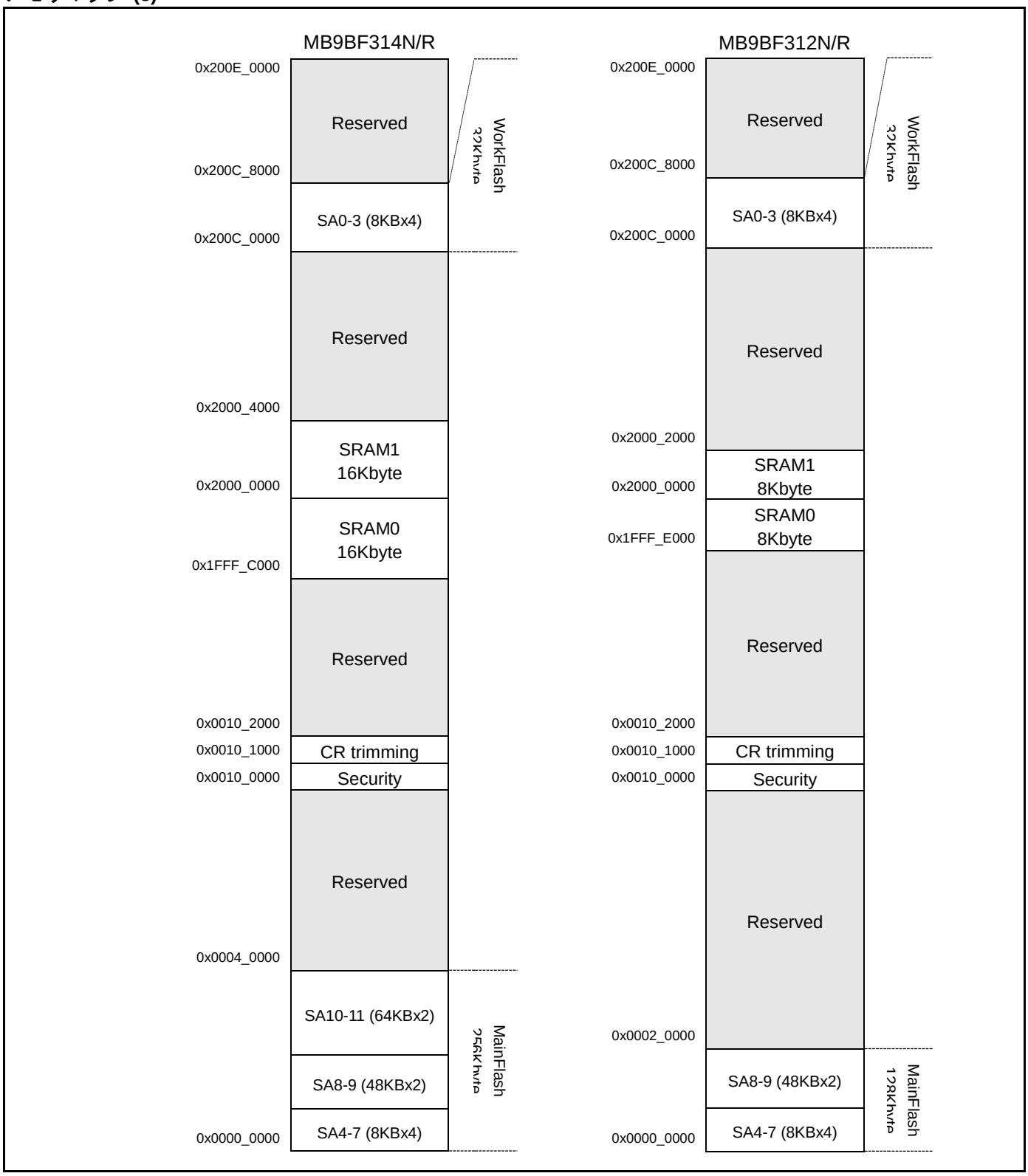


メモリマップ (2)



フラッシュメモリマップの詳細は、
「MB9B510R/410R/310R/110R シリーズ フラッシュプログラミングマニュアル」を参照してください。

メモリマップ (3)



フラッシュメモリマップの詳細は、
「MB9B510R/410R/310R/110R シリーズ フラッシュプログラミングマニュアル」を参照してください。

ペリフェラル・アドレスマップ

スタートアドレス	エンドアドレス	バス	周辺機能
0x4000_0000	0x4000_0FFF	AHB	MainFlash I/F レジスタ
0x4000_1000	0x4000_FFFF		予約
0x4001_0000	0x4001_0FFF	APB0	クロック・リセット制御
0x4001_1000	0x4001_1FFF		ハードウェアウォッチドッグタイマ
0x4001_2000	0x4001_2FFF		ソフトウェアウォッチドッグタイマ
0x4001_3000	0x4001_4FFF		予約
0x4001_5000	0x4001_5FFF		デュアルタイマ
0x4001_6000	0x4001_FFFF		予約
0x4002_0000	0x4002_0FFF	APB1	多機能タイマ unit0
0x4002_1000	0x4002_1FFF		多機能タイマ unit1
0x4002_2000	0x4002_3FFF		多機能タイマ unit2
0x4002_4000	0x4002_4FFF		PPG
0x4002_5000	0x4002_5FFF		ベースタイマ
0x4002_6000	0x4002_6FFF		クアッドカウンタ(QPRC)
0x4002_7000	0x4002_7FFF		A/D コンバータ
0x4002_8000	0x4002_DFFF		予約
0x4002_E000	0x4002_EFFF		内蔵 CR トリミング
0x4002_F000	0x4002_FFFF		予約
0x4003_0000	0x4003_0FFF	APB2	外部割込み
0x4003_1000	0x4003_1FFF		割込み要因確認レジスタ
0x4003_2000	0x4003_2FFF		予約
0x4003_3000	0x4003_3FFF		GPIO
0x4003_4000	0x4003_4FFF		予約
0x4003_5000	0x4003_5FFF		低電圧検出
0x4003_6000	0x4003_6FFF		USB クロック生成回路
0x4003_7000	0x4003_7FFF		予約
0x4003_8000	0x4003_8FFF		マルチファンクションシリアル
0x4003_9000	0x4003_9FFF		CRC
0x4003_A000	0x4003_AFFF		時計カウンタ
0x4003_B000	0x4003_BFFF		リアルタイムクロック
0x4003_C000	0x4003_EFFF		予約
0x4003_F000	0x4003_FFFF		外部バス I/F
0x4004_0000	0x4004_FFFF	AHB	USB ch.0
0x4005_0000	0x4005_FFFF		予約
0x4006_0000	0x4006_0FFF		DMAC レジスタ
0x4006_1000	0x41FF_FFFF		予約
0x200E_0000	0x200E_FFFF		WorkFlash I/F レジスタ

11. 各 CPU ステートにおける端子状態

端子の状態として使用している語句は、以下の意味を持ちます。

■INITX=0

INITX 端子が"L"レベルの期間です。

■INITX=1

INITX 端子が"H"レベルの期間です。

■SPL=0

スタンバイモードコントロールレジスタ(STB_CTL)のスタンバイ端子レベル設定ビット(SPL)が"0"に設定された状態です。

■SPL=1

スタンバイモードコントロールレジスタ(STB_CTL)のスタンバイ端子レベル設定ビット(SPL)が"1"に設定された状態です。

■入力可

入力機能が使用可能な状態です。

■内部入力"0"固定

入力機能が使用できない状態です。内部入力は"L"に固定されます。

■Hi-Z

端子駆動用トランジスタを駆動禁止状態にし、端子を Hi-Z にします。

■設定不可

設定できません。

■直前状態保持

本モードに遷移する直前の状態を保持します。
内蔵されている周辺機能が動作中であれば、その周辺機能に従います。
ポートとして使用している場合は、その状態を保持します。

■アナログ入力可能

アナログ入力が許可されています。

■トレース出力

トレース機能が使用可能な状態です。

端子状態一覧表

端子状態形式	グループ機能名	パワーオンリセットもしくは低電圧検出状態	INITX 入力状態	デバイス内部リセット状態	ランモードもしくはスリープモード状態	タイマモードもしくはストップモード状態	
		電源不安定	電源安定		電源安定	電源安定	
		-	INITX=0	INITX=1	INITX=1	INITX=1	
		-	-	-	-	SPL=0	SPL=1
A	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/内部入力"0"固定
	メイン水晶発振入力端子	入力可	入力可	入力可	入力可	入力可	入力可
B	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/内部入力"0"固定
	メイン水晶発振出力端子	Hi-Z/内部入力"0"固定もしくは入力可	Hi-Z/内部入力"0"固定	Hi-Z/内部入力"0"固定	直前状態保持	直前状態保持/発振停止時[*1]はHi-Z/内部入力"0"固定	直前状態保持/発振停止時[*1]はHi-Z/内部入力"0"固定
C	INITX 入力端子	プルアップ/入力可	プルアップ/入力可	プルアップ/入力可	プルアップ/入力可	プルアップ/入力可	プルアップ/入力可
D	モード入力端子	入力可	入力可	入力可	入力可	入力可	入力可
E	JTAG 選択時	Hi-Z	プルアップ/入力可	プルアップ/入力可	直前状態保持	直前状態保持	直前状態保持
	GPIO 選択時	設定不可	設定不可	設定不可			Hi-Z/内部入力"0"固定
F	トレース選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	トレース出力
	外部割込み許可選択時						直前状態保持
	GPIO 選択時上記以外のリソース選択時	Hi-Z	Hi-Z/入力可	Hi-Z/入力可			Hi-Z/内部入力"0"固定
G	トレース選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	トレース出力
	GPIO 選択時上記以外のリソース選択時	Hi-Z	Hi-Z/入力可	Hi-Z/入力可			Hi-Z/内部入力"0"固定
H	外部割込み許可選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	直前状態保持
	GPIO 選択時上記以外のリソース選択時	Hi-Z	Hi-Z/入力可	Hi-Z/入力可			Hi-Z/内部入力"0"固定

端子状態形式	グループ機能名	パワーオンリセットもしくは低電圧検出状態	INITX 入力状態	デバイス内部リセット状態	ランモードもしくはスリープモード状態	タイマモードもしくはストップモード状態	
		電源不安定	電源安定		電源安定	電源安定	
		-	INITX=0	INITX=1	INITX=1	INITX=1	
		-	-	-	-	SPL=0	SPL=1
I	GPIO 選択時 リソース 選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可	直前状態 保持	直前状態 保持	Hi-Z/ 内部入力 "0"固定
J	NMIX 選択時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	直前状態 保持
	GPIO 選択時 上記以外の リソース 選択時	Hi-Z	Hi-Z/ 入力可	Hi-Z/ 入力可			Hi-Z/ 内部入力 "0"固定
K	アナログ入力 選択時	Hi-Z	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可
	GPIO 選択時 上記以外の リソース 選択時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	Hi-Z/ 内部入力 "0"固定
L	外部割込み 許可選択時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	直前状態 保持
	アナログ入力 選択時	Hi-Z	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可	Hi-Z/ 内部入力 "0"固定/ アナログ 入力可
	GPIO 選択時 上記以外の リソース 選択時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	Hi-Z/ 内部入力 "0"固定
M	GPIO 選択時	設定不可	設定不可	設定不可	直前状態 保持	直前状態 保持	Hi-Z/ 内部入力 "0"固定
	サブ水晶 発振入力端子	入力可	入力可	入力可	入力可	入力可	入力可

端子状態形式	グループ機能名	パワーオンリセットもしくは低電圧検出状態	INITX 入力状態	デバイス内部リセット状態	ランモードもしくはスリープモード状態	タイマモードもしくはストップモード状態	
		電源不安定	電源安定		電源安定	電源安定	
		-	INITX=0	INITX=1	INITX=1	INITX=1	
		-	-	-	-	SPL=0	SPL=1
N	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/内部入力"0"固定
	サブ水晶発振出力端子	Hi-Z/内部入力"0"固定もしくは入力可	Hi-Z/内部入力"0"固定	Hi-Z/内部入力"0"固定	直前状態保持	直前状態保持/発振停止時*2はHi-Z/内部入力"0"固定	直前状態保持/発振停止時*2はHi-Z/内部入力"0"固定
O	GPIO 選択時	Hi-Z	Hi-Z/入力可	Hi-Z/入力可	直前状態保持	直前状態保持	Hi-Z/内部入力"0"固定
	USB I/O 端子	設定不可	設定不可	設定不可	直前状態保持	送信時はHi-Z/入力可/受信時は内部入力"0"固定	送信時はHi-Z/入力可/受信時は内部入力"0"固定
P	モード入力端子	入力可	入力可	入力可	入力可	入力可	入力可
	GPIO 選択時	設定不可	設定不可	設定不可	直前状態保持	直前状態保持	Hi-Z/入力可

*1: サブタイマモード，低速 CR タイマモード，ストップモードは発振が停止します。

*2: ストップモードは発振が停止します。

12. 電気的特性

12.1 絶対最大定格

項目	記号	定格値		単位	備考
		最小	最大		
電源電圧*1 ,*2	V_{CC}	V_{SS} - 0.5	V_{SS} + 6.5	V	
電源電圧(USB 用) *1 ,*3	$USBV_{CC}$	V_{SS} - 0.5	V_{SS} + 6.5	V	
アナログ電源電圧*1 ,*4	AV_{CC}	V_{SS} - 0.5	V_{SS} + 6.5	V	
アナログ基準電圧*1 ,*4	AVRH	V_{SS} - 0.5	V_{SS} + 6.5	V	
入力電圧*1	V_I	V_{SS} - 0.5	V_{CC} + 0.5 (≦6.5 V)	V	USB 端子を除く
		V_{SS} - 0.5	$USBV_{CC}$ + 0.5 (≦6.5 V)	V	USB 端子
		V_{SS} - 0.5	V_{SS} + 6.5	V	5 V トレラント
アナログ端子入力電圧*1	V_{IA}	V_{SS} - 0.5	AV_{CC} + 0.5 (≦6.5 V)	V	
出力電圧*1	V_O	V_{SS} - 0.5	V_{CC} + 0.5 (≦6.5 V)	V	
最大クランプ電流	I_{CLAMP}	-2	+2	mA	*8
最大総クランプ電流	$\Sigma[I_{CLAMP}]$		+20	mA	*8
"L"レベル最大出力電流*5	I_{OL}	-	10	mA	4 mA タイプ
			20	mA	12 mA タイプ
			39	mA	P80, P81
"L"レベル平均出力電流*6	I_{OLAV}	-	4	mA	4 mA タイプ
			12	mA	12 mA タイプ
			18.5	mA	P80, P81
"L"レベル最大総出力電流	$\sum I_{OL}$	-	100	mA	
"L"レベル平均総出力電流*7	$\sum I_{OLAV}$	-	50	mA	
"H"レベル最大出力電流*5	I_{OH}	-	- 10	mA	4 mA タイプ
			- 20	mA	12 mA タイプ
			- 39	mA	P80, P81
"H"レベル平均出力電流*6	I_{OHAV}	-	- 4	mA	4 mA タイプ
			- 12	mA	12 mA タイプ
			- 20.5	mA	P80, P81
"H"レベル最大総出力電流	$\sum I_{OH}$	-	- 100	mA	
"H"レベル平均総出力電流*7	$\sum I_{OHAV}$	-	- 50	mA	
消費電力	P_D	-	1000	mW	
保存温度	T_{STG}	- 55	+ 150	°C	

*1: $V_{SS} = AV_{SS} = 0.0$ V を基準にした値です。

*2: V_{CC} は V_{SS} - 0.5 V より低くなってはいけません

*3: $USBV_{CC}$ は V_{SS} - 0.5 V より低くなってはいけません。

*4: 電源投入時など V_{CC} + 0.5 V を超えてはいけません。

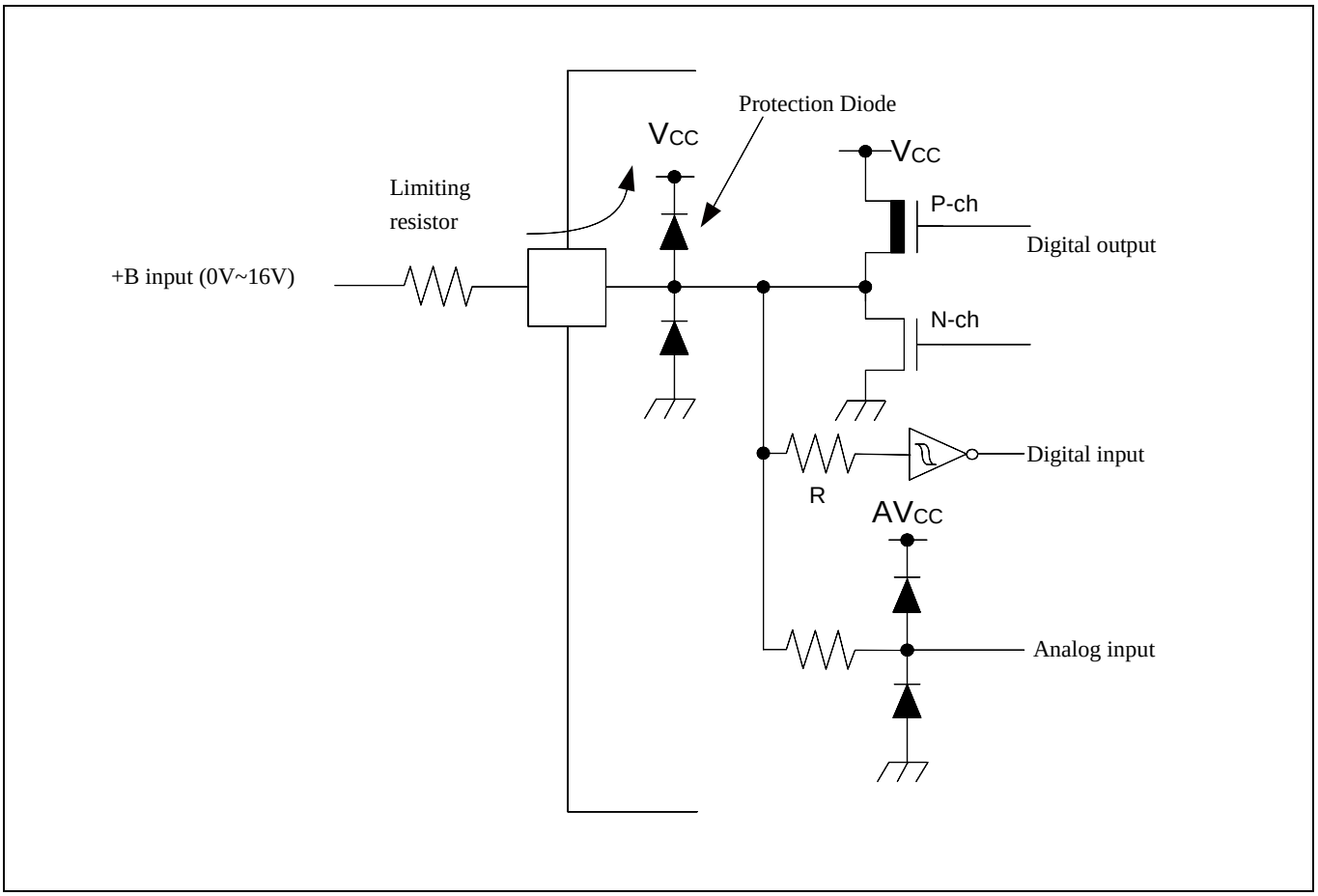
*5: 最大出力電流は、該当する端子 1 本のピーク値を規定します。

*6: 平均出力電流は、該当する端子 1 本に流れる電流の 100 ms の期間内での平均電流を規定します。

*7: 平均総出力電流は、該当する端子すべてに流れる電流の 100 ms の期間内での平均電流を規定します。

*8:

- 該当端子については、「4.端子機能一覧」、「入出力回路形式」を参照してください。
- 推奨動作条件内でご使用ください。
- +B 入力は直流電圧(電流)でご使用ください。
- +B 信号と本デバイスの間には、必ず電流制限抵抗を接続し+B 信号を印加してください。
- +B 入力を行うとき、本デバイスの端子に入力される電流が、瞬時/定常を問わず規格値以下になるように電流制限抵抗の値を設定してください。
- 低消費電力モードなど本デバイスの駆動電流が少ない動作モードでは、+B 入力電位が保護ダイオードを通して VCC 端子、AVCC 端子の電位を上昇させ、本デバイスや他の機器へ影響を及ぼすことがあります。そのため+B 入力時には VCC、AVCC の電位が推奨動作条件を超えないようにしてください。
- 本デバイスの電源が OFF 時(0 V に固定していない場合)、または電源投入時に+B 入力を行っている場合は、端子から電源が供給されているため、パワーオンリセットが正常に動作せず不完全な動作を行うことがあります。
- 推奨回路例(入出力等価回路)を下記に示します。



<注意事項>

- *絶対最大定格を超えるストレス(電圧，電流，温度など)の印加は、半導体デバイスを破壊する可能性があります。したがって、定格を一項目でも超えることのないようご注意ください。*

12.2 推奨動作条件

項目		記号	条件	規格値		単位	備考
				最小	最大		
電源電圧		V_{CC}	-	2.7*4	5.5	V	
電源電圧(3V 電源) USB 用		$USBV_{CC}$	-	3.0	3.6 ($\leqq V_{CC}$)	V	*1
				2.7	5.5 ($\leqq V_{CC}$)		*2
アナログ電源電圧		AV_{CC}	-	2.7	5.5	V	$AV_{CC}=V_{CC}$
アナログ基準電圧		AVRH	-	2.7	AV_{CC}	V	
平滑コンデンサ容量		C_S	-	1	10	µF	内蔵 1.2 V レギュレータ用*3
動作温度	LQI100 LQM120	T_A	4 層基板実装時	- 40	+ 85	°C	
	PQH100 LBC112	T_A	-	- 40	+ 85	°C	

*1: P81/UDP0, P80/UDM0 端子を USB 端子(UDP0, UDM0)として使用する場合
*2: P81/UDP0, P80/UDM0 端子を GPIO 端子(P81, P80)として使用する場合
*3: 平滑コンデンサの接続方法は、「7.デバイス使用上の注意」の「C 端子について」を参照してください。
*4: 電源電圧が最小値未満かつ低電圧リセット/割込み検出電圧以上の間は、内蔵高速 CR クロック(メイン PLL 使用含む)または内蔵低速 CR クロックでの命令実行と低電圧検出のみ動作可能です。

＜注意事項＞

- *推奨動作条件は、半導体デバイスの正常な動作を保証する条件です。電気的特性の規格値は、すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を超えて使用すると、信頼性に悪影響を及ぼすことがあります。データシートに記載されていない項目，使用条件，論理の組合せでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。*

12.3 直流規格

12.3.1 電流規格

(V_{CC} = AV_{CC} = $USBV_{CC}$ = 2.7V ~ 5.5V, V_{SS} = AV_{SS} = 0V, T_A = - 40°C ~ +85°C)

項目	記号	端子名	条件		規格値		単位	備考
					標準*3	最大*4		
ラン モード 電流	I_{CC}	VCC	PLL ランモード	CPU: 144 MHz, 周辺: 72 MHz, Main Flash 2 Wait TraceBuffer: ON FRWTR.RWT = 10 FSYNDN.SD = 000 FBFCR.BE = 1	85	117	mA	*1, *5
				CPU: 72 MHz, 周辺: 72 MHz, Main Flash 0 Wait TraceBuffer: OFF FRWTR.RWT = 00 FSYNDN.SD = 000 FBFCR.BE = 0	52	70	mA	*1, *5
			高速 CR ランモード	CPU/周辺: 4 MHz*2 Main Flash 0 Wait FRWTR.RWT = 00 FSYNDN.SD = 000	5	17	mA	*1
			サブ ランモード	CPU/周辺: 32 kHz Main Flash 0 Wait FRWTR.RWT = 00 FSYNDN.SD = 000	1.3	14	mA	*1, *6
			低速 CR ランモード	CPU/周辺: 100 kHz Main Flash 0 Wait FRWTR.RWT = 00 FSYNDN.SD = 000	1.3	14	mA	*1
スリープ モード 電流	I_{CCS}		PLL スリープモード	周辺: 72 MHz	28	43	mA	*1, *5
			高速 CR スリープモード	周辺: 4 MHz*2	3	16	mA	*1
			サブ スリープモード	周辺: 32 kHz	1	14	mA	*1, *6
			低速 CR スリープモード	周辺: 100 kHz	1	14	mA	*1

*1: 全ポート固定時
*2: トリミングにて 4 MHz に設定した場合
*3: T_A=+25°C, V_{CC}=5.5 V
*4: T_A=+85°C, V_{CC}=5.5 V
*5: 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)
*6: 水晶振動子(32 kHz)使用時(発振回路の消費電流を含む)

項目	記号	端子名	条件		規格値		単位	備考
					標準*2	最大*2		
タイマモード電流	I_{CCT}	VCC	メインタイマモード	T_A = + 25°C, LVD off 時	3.2	6	mA	*1, *3
				T_A = + 85°C, LVD off 時	-	15	mA	*1, *3
			サブタイマモード	T_A = + 25°C, LVD off 時	0.9	3	mA	*1, *4
				T_A = + 85°C, LVD off 時	-	12	mA	*1, *4
ストップモード電流	I_{CCH}		ストップモード	T_A = + 25°C, LVD off 時	0.8	3	mA	*1
				T_A = +85°C, LVD off 時	-	12	mA	*1

*1: 全ポート固定時

*2: V_{CC}=5.5 V

*3: 水晶振動子(4 MHz)使用時(発振回路の消費電流を含む)

*4: 水晶振動子(32 kHz)使用時(発振回路の消費電流を含む)

低電圧検出回路(LVD)電流

(V_{CC} = 2.7V～5.5V, V_{SS} = 0V, T_A = - 40°C～+ 85°C)

項目	記号	端子名	条件	規格値		単位	備考
				標準	最大		
低電圧検出回路(LVD)電源電流	I_{CCLVD}	VCC	割込み発生用動作時 V_{CC} = 5.5 V	4	7	µA	未検出時

フラッシュメモリ電流

(V_{CC} = 2.7V～5.5V, V_{SS} = 0V, T_A = - 40°C～+ 85°C)

項目	記号	端子名	条件	規格値		単位	備考
				標準	最大		
フラッシュメモリ書込み/消去電流	$I_{CCFLASH}$	VCC	MainFlash 書込み/消去時	11.4	13.1	mA	*
			WorkFlash 書込み/消去時	11.4	13.1	mA	

*: フラッシュメモリへ書込みまたは消去するときは、電源電流(I_{CC})にフラッシュメモリ書込み/消去電流($I_{CCFLASH}$)が加算されます。

A/D コンバータ電流

(V_{CC} = AV_{CC} = 2.7V～5.5V, V_{SS} = AV_{SS} = AVRL = 0V, T_A = - 40°C～+ 85°C)

項目	記号	端子名	条件	規格値		単位	備考
				標準	最大		
電源電流	I_{CCAD}	AVCC	1unit 動作時	0.47	0.62	mA	
			停止時	0.06	25	µA	
基準電源電流	I_{CCAVRH}	AVRH	A/D 1unit 動作時 AVRH=5.5 V	1.1	1.96	mA	
			停止時	0.06	4	µA	

12.3.2 端子特性

(V_{CC} = $USBV_{CC}$ = AV_{CC} = 2.7V ~ 5.5V, Vss = AVss = 0V, T_A = - 40°C ~ + 85°C)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
"H"レベル入力電圧 (ヒステリシス入力)	V_{IHS}	CMOS ヒステリシス入力端子, MD0, MD1	-	V_{CC}×0.8	-	V_{CC} + 0.3	V	
		5V トレラント入力端子	-	V_{CC}×0.8	-	Vss + 5.5	V	
"L"レベル入力電圧 (ヒステリシス入力)	V_{ILS}	CMOS ヒステリシス入力端子, MD0, MD1	-	Vss - 0.3	-	V_{CC}×0.2	V	
		5 V トレラント入力端子	-	Vss - 0.3	-	V_{CC}×0.2	V	
"H"レベル出力電圧	V_{OH}	4 mA タイプ	V_{CC} ≧ 4.5 V, I_{OH} = - 4 mA	V_{CC} - 0.5	-	V_{CC}	V	
			V_{CC} < 4.5 V, I_{OH} = - 2 mA					
		12 mA タイプ	V_{CC} ≧ 4.5 V, I_{OH} = - 12 mA	V_{CC} - 0.5	-	V_{CC}	V	
			V_{CC} < 4.5 V, I_{OH} = - 8 mA					
		P80, P81	$USBV_{CC}$ ≧ 4.5 V, I_{OH} = - 20.5 mA	$USBV_{CC}$ - 0.4	-	$USBV_{CC}$	V	
			$USBV_{CC}$ < 4.5 V, I_{OH} = -13.0 mA					

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
"L"レベル出力電圧	V_{OL}	4 mA タイプ	V_{CC} ≧ 4.5 V I_{OL} = 4 mA	Vss	-	0.4	V	
			V_{CC} < 4.5 V I_{OL} = 2 mA					
		12 mA タイプ	V_{CC} ≧ 4.5 V I_{OL} = 12 mA	Vss	-	0.4	V	
			V_{CC} < 4.5 V I_{OL} = 8 mA					
		P80, P81	$USBV_{CC}$ ≧ 4.5 V I_{OL} = 18.5 mA	Vss	-	0.4	V	
			$USBV_{CC}$ < 4.5 V I_{OL} = 10.5 mA					
入力リーク電流	I_{IL}	-	-	- 5	-	+5	µA	
プルアップ抵抗値	R_{PU}	プルアップ端子	V_{CC} ≧ 4.5 V	25	50	100	kΩ	
			V_{CC} < 4.5 V	30	80	200		
入力容量	C_{IN}	VCC, USBVCC, VSS, AVCC, AVSS, AVRH 以外	-	-	5	15	pF	

12.4 交流規格

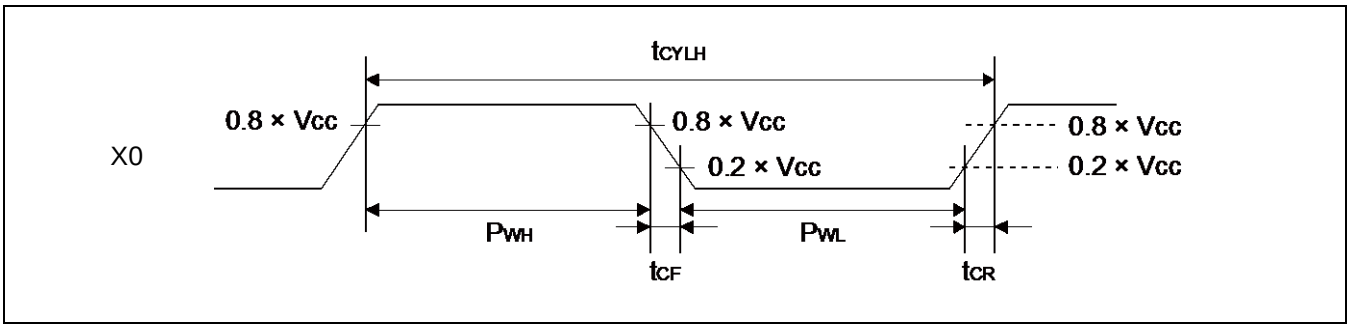
12.4.1 メインクロック入力規格

(V_{CC} = 2.7V ~ 5.5V, Vss = 0V, T_A = - 40°C ~ + 85°C)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力周波数	f_{CH}	X0 X1	V_{CC}≧4.5 V	4	48	MHz	水晶発振子接続時
			V_{CC} < 4.5 V	4	20		
			V_{CC}≧4.5 V	4	48	MHz	外部クロック時
			V_{CC} < 4.5 V	4	20		
入力クロック周期	t_{CYLH}		V_{CC}≧4.5 V	20.83	250	ns	外部クロック時
			V_{CC} < 4.5 V	50	250		
入力クロック パルス幅	-		P_{WH}/t_{CYLH} P_{WL}/t_{CYLH}	45	55	%	外部クロック時
入力クロック 立上り，立下り 時間	t_{CF}, t_{CR}		-	-	5	ns	外部クロック時
内部動作クロック 周波数*1	f_{CM}	-	-	-	144	MHz	マスタクロック
	f_{CC}	-	-	-	144	MHz	ベースクロック(HCLK/FCLK)
	f_{CP0}	-	-	-	72	MHz	APB0 バスクロック*2
	f_{CP1}	-	-	-	72	MHz	APB1 バスクロック*2
	f_{CP2}	-	-	-	72	MHz	APB2 バスクロック*2
内部動作クロック サイクル時間*1	t_{CYCC}	-	-	6.94	-	ns	ベースクロック(HCLK/FCLK)
	t_{CYCP0}	-	-	13.8	-	ns	APB0 バスクロック*2
	t_{CYCP1}	-	-	13.8	-	ns	APB1 バスクロック*2
	t_{CYCP2}	-	-	13.8	-	ns	APB2 バスクロック*2

*1: 各内部動作クロックの詳細については、『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 2-1: クロック』を参照してください。

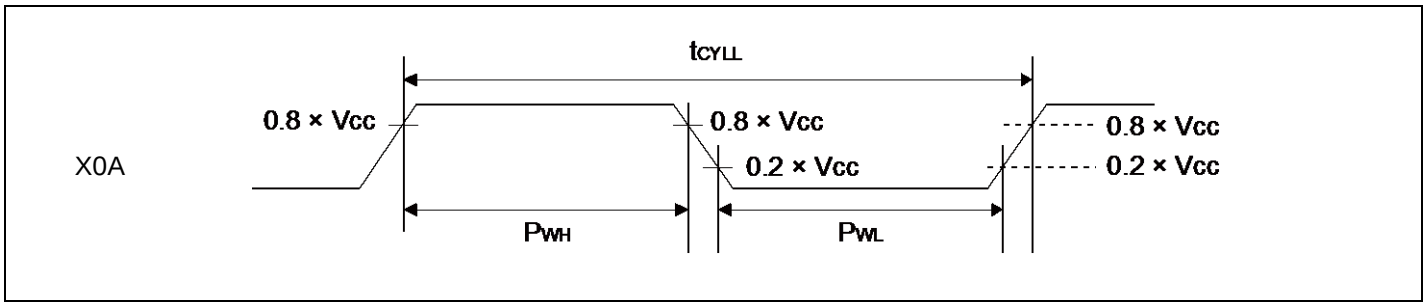
*2: 各ペリフェラルが接続されている APB バスについては「8.ブロックダイヤグラム」を参照してください。



12.4.2 サブクロック入力規格

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
入力周波数	1/ t_{CYLL}	X0A X1A	-	-	32.768	-	kHz	水晶発振接続時
			-	32	-	100	kHz	外部クロック時
入力クロック周期	t_{CYLL}		-	10	-	31.25	µs	外部クロック時
入力クロックパルス幅	-		P_{WH}/t_{CYLL} P_{WL}/t_{CYLL}	45	-	55	%	外部クロック時



12.4.3 内蔵 CR 発振規格

内蔵高速 CR

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
クロック周波数	f_{CRH}	T_A = + 25°C	3.96	4	4.04	MHz	トリミング時*1
		T_A = 0°C ~ + 70°C	3.84	4	4.16		
		T_A = - 40°C ~ + 85°C	3.8	4	4.2		
		T_A = - 40°C ~ + 85°C	3	4	5		非トリミング時
周波数安定時間	t_{CRWT}	-	-	-	90	µs	*2

*1: 出荷時に設定されるフラッシュメモリ内の CR トリミング領域の値を周波数トリミング値に使用した場合

*2: トリミング値設定後に高速 CR クロックの周波数が安定するまでの時間です。なお、トリミング値設定後、周波数安定時間が経過する期間も高速 CR クロックをソースクロックとして使用できます。

内蔵低速 CR

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
クロック周波数	f_{CRL}	-	50	100	150	kHz	

12.4.4 メインPLL・USB用PLLの使用条件（PLLの入力クロックにメインクロックを使用）

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

項目	記号	規格値			単位	備考
		最小	標準	最大		
PLL 発振安定待ち時間*1 (LOCK UP 時間)	t_{LOCK}	100	-	-	µs	
PLL 入力クロック周波数	f_{PLLI}	4	-	16	MHz	
PLL 逓倍率	-	13	-	75	逓倍	
PLL マクロ発振クロック周波数	f_{PLLO}	200	-	300	MHz	
メイン PLL クロック周波数*2	f_{CLKPLL}	-	-	144	MHz	
USB クロック周波数*3	$f_{CLKSPLL}$	-	-	48	MHz	M 分周後の周波数

*1: PLL の発振が安定するまでの待ち時間

*2: メイン PLL クロック(CLKPLL)の詳細については、『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 2-1: クロック』を参照してください。

*3: USB クロックの詳細については、『FM3 ファミリ ペリフェラルマニュアル 通信マクロ編』の『CHAPTER 2-2: USB クロック生成』を参照してください。

12.4.5 メインPLL の使用条件（メインPLL の入力クロックに内蔵高速 CR クロックを使用）

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

項目	記号	規格値			単位	備考
		最小	標準	最大		
PLL 発振安定待ち時間*1 (LOCK UP 時間)	t_{LOCK}	100	-	-	µs	
PLL 入力クロック周波数	f_{PLLI}	3.8	4	4.2	MHz	
PLL 逓倍率	-	50	-	71	逓倍	
PLL マクロ発振クロック周波数	f_{PLLO}	190	-	300	MHz	
メイン PLL クロック周波数*2	f_{CLKPLL}	-	-	144	MHz	

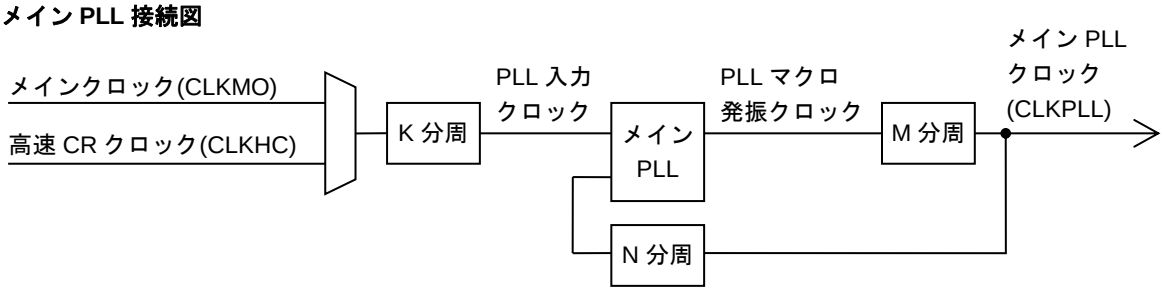
*1: PLL の発振が安定するまでの待ち時間

*2: メイン PLL クロック(CLKPLL)の詳細については、『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 2-1: クロック』を参照してください。

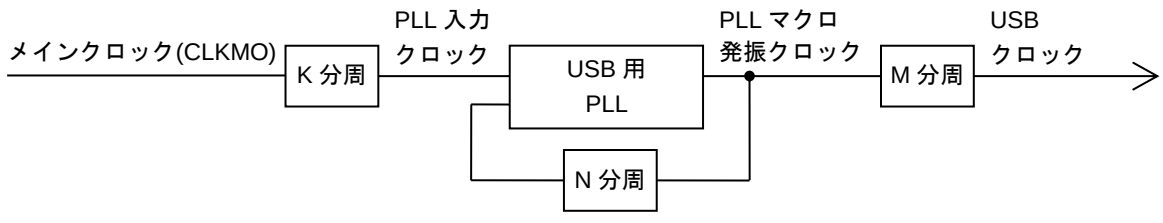
＜注意事項＞

- *必ずトリミングした内蔵高速 CR を入力してください。*
  PLL 逓倍後、内蔵高速 CR クロックの精度を加味した上で、マスタクロック周波数上限を超えないようにしてください。

メイン PLL 接続図



USB 用 PLL 接続図



12.4.6 リセット入力規格

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
リセット入力時間	t_{INITX}	INITX	-	500	-	ns	

12.4.7 パワーオンリセットタイミング

(V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

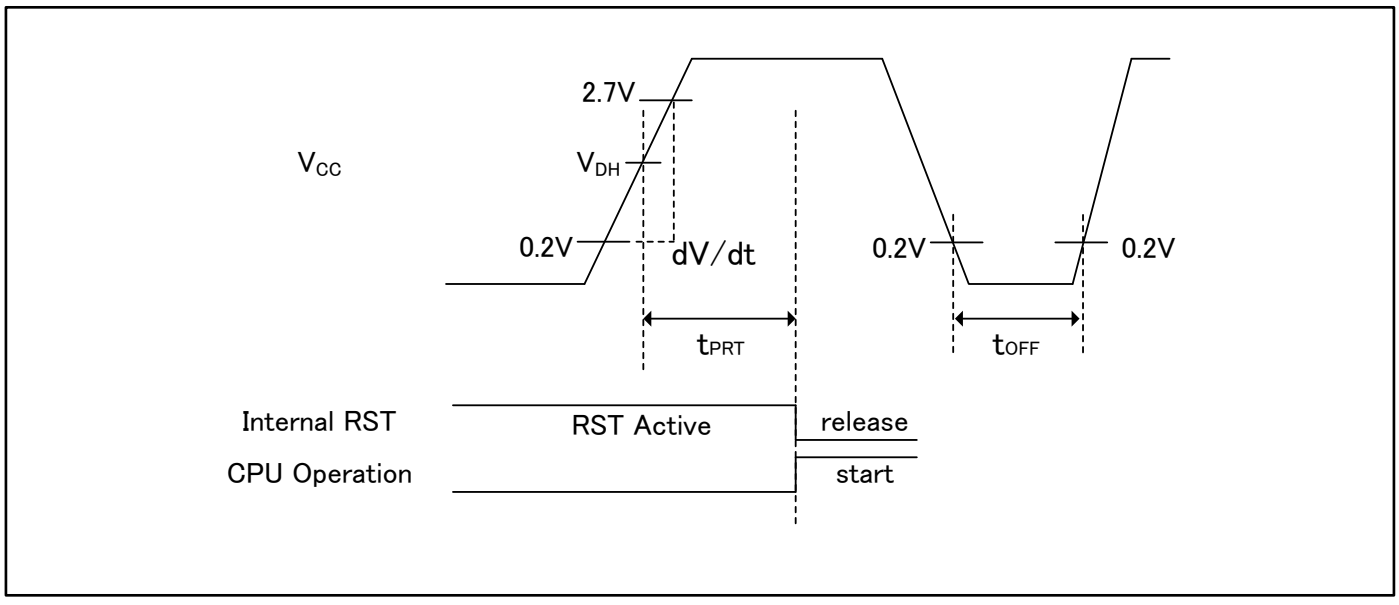
項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
電源断時間	t_{OFF}	VCC	-	50	-	-	ms	*1
電源立上り速度	dV/dt		Vcc: 0.2 V～2.7 V	0.8	-	1000	mV/µs	*2
パワーオンリセット解除までの時間	t_{PRT}		-	0.57	-	0.76	ms	

*1: V_{CC} は t_{OFF} 最小期間中 0.2 V 以下である必要があります。 この状態が満たせない場合、誤った初期化が発生する可能性があります。

*2: この dV/dt 規格は cold start (t_{OFF}>50 ms) のパワーオン時に適用されます。

<注意事項>

- *もし t_{OFF} が満たせない場合は、起動時および電圧降下発生時に「12. 4. 6. リセット入力規格」に従い外部リセット(INITX)を入れて下さい。*



用語

□ V_{DH}: 低電圧検出リセット解除電圧、「12.7.低電圧検出特性」をご参照ください。

12.4.8 外バスタイミング

外バスクロック出力規格

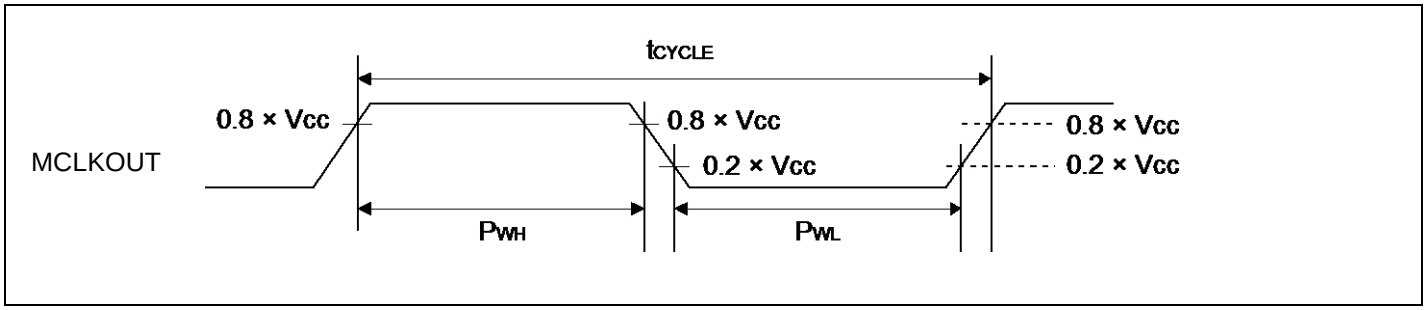
(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
出力周波数	t_{CYCLE}	MCLKOUT*1	V_{CC} ≧ 4.5 V	-	50*2	MHz
			V_{CC} < 4.5 V	-	32*3	MHz

*1: 外バスクロック出力(MCLKOUT)は HCLK の分周クロックです。
設定の詳細は『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER: 外部バスインタフェース』を参照してください。
外バスクロック出力を行わない場合、本規格は外バス動作に影響しません。

*2: AHB バスクロックが 100 MHz を超えるときは 4 分周以上の設定で MCLKOUT を生成してください。

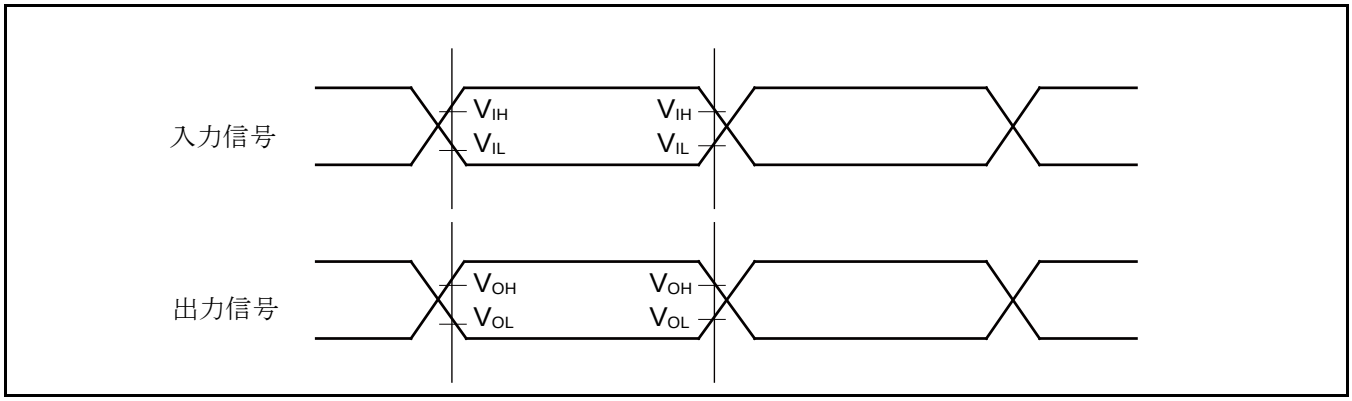
*3: AHB バスクロックが 64 MHz を超えるときは 4 分周以上の設定で MCLKOUT を生成してください。



外バス信号入出力規格

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

項目	記号	条件	規格値	単位	備考
信号入力規格	V_{IH}	-	0.8 × V_{CC}	V	
	V_{IL}		0.2 × V_{CC}	V	
信号出力規格	V_{OH}		0.8 × V_{CC}	V	
	V_{OL}		0.2 × V_{CC}	V	



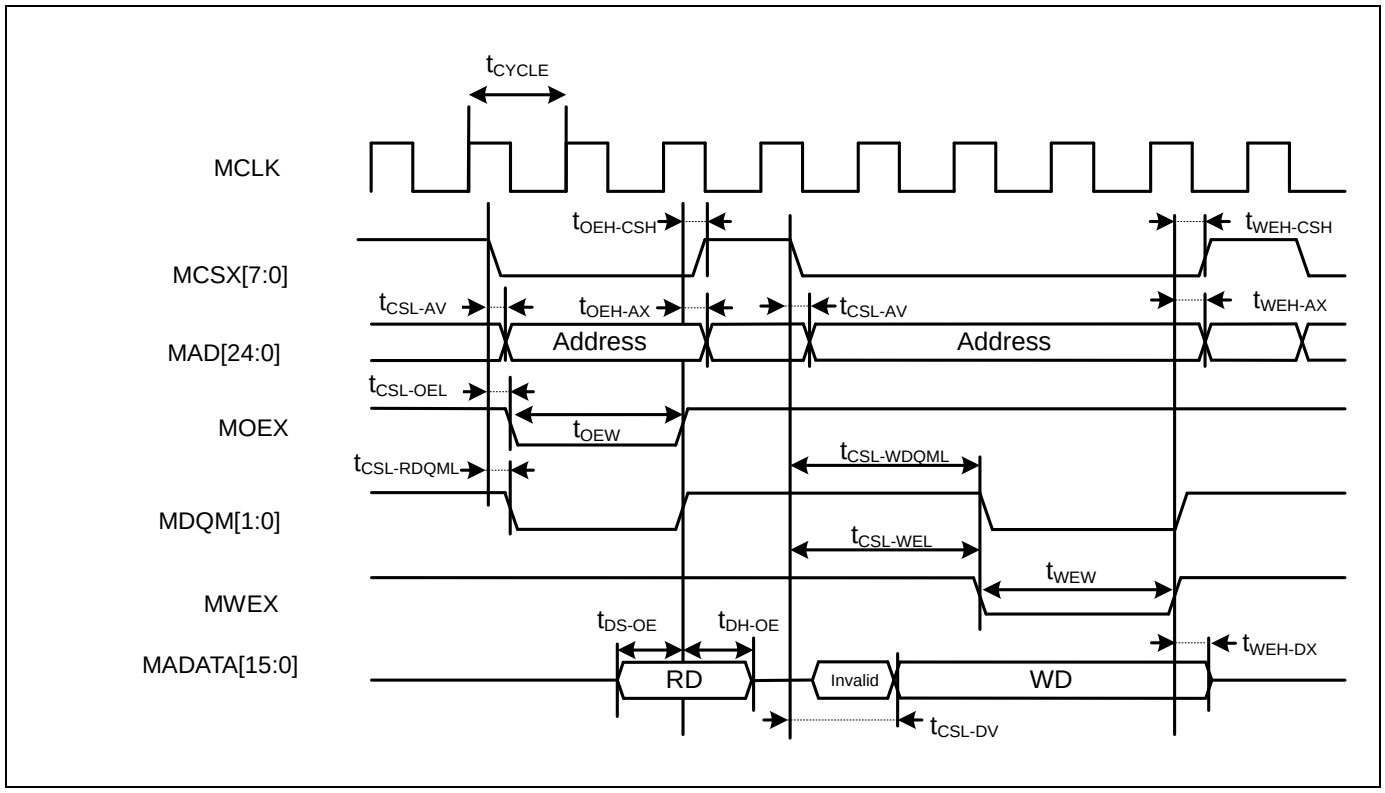
セパレートバスアクセス　非同期 SRAM モード

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
MOEX 最小パルス幅	t_{OEW}	MOEX	V_{CC}≧4.5 V	MCLK×n-3	-	ns
			V_{CC} < 4.5 V			
MCSX↓→ アドレス出力遅延時間	t_{CSL-AV}	MCSX[7:0] MAD[24:0]	V_{CC}≧4.5 V	-9	+9	ns
			V_{CC} < 4.5 V	-12	+12	
MOEX↑→ アドレスホールド時間	t_{OEH-AX}	MOEX MAD[24:0]	V_{CC}≧4.5 V	0	MCLK×m+9	ns
			V_{CC} < 4.5 V		MCLK×m+12	
MCSX↓→ MOEX↓遅延時間	$t_{CSL-OEL}$	MOEX MCSX[7:0]	V_{CC}≧4.5 V	MCLK×m-9	MCLK×m+9	ns
			V_{CC} < 4.5 V	MCLK×m-12	MCLK×m+12	
MOEX↑→ MCSX↑時間	$t_{OEH-CSH}$		V_{CC}≧4.5 V	0	MCLK×m+9	ns
			V_{CC} < 4.5 V		MCLK×m+12	
MCSX↓→MDQM↓ 遅延時間	$t_{CSL-RDQML}$	MCSX MDQM[1:0]	V_{CC}≧4.5 V	MCLK×m-9	MCLK×m+9	ns
			V_{CC} < 4.5 V	MCLK×m-12	MCLK×m+12	
データセットアップ→ MOEX↑時間	t_{DS-OE}	MOEX MADATA[15:0]	V_{CC}≧4.5 V	20	-	ns
			V_{CC} < 4.5 V	38	-	
MOEX↑→ データホールド時間	t_{DH-OE}	MOEX MADATA[15:0]	V_{CC}≧4.5 V	0	-	ns
			V_{CC} < 4.5 V			
MWEX 最小パルス幅	t_{WEW}	MWEX	V_{CC}≧4.5 V	MCLK×n-3	-	ns
			V_{CC} < 4.5 V			
MWEX↑→アドレス出力遅延時間	t_{WEH-AX}	MWEX MAD[24:0]	V_{CC}≧4.5 V	0	MCLK×m+9	ns
			V_{CC} < 4.5 V		MCLK×m+12	
MCSX↓→MWEX↓ 遅延時間	$t_{CSL-WEL}$	MWEX MCSX[7:0]	V_{CC}≧4.5 V	MCLK×n-9	MCLK×n+9	ns
			V_{CC} < 4.5 V	MCLK×n-12	MCLK×n+12	
MWEX↑→MCSX↑ 遅延時間	$t_{WEH-CSH}$		V_{CC}≧4.5 V	0	MCLK×m+9	ns
			V_{CC} < 4.5 V		MCLK×m+12	
MCSX↓→MDQM↓ 遅延時間	$t_{CSL-WDQML}$	MCSX MDQM[1:0]	V_{CC}≧4.5 V	MCLK×n-9	MCLK×n+9	ns
			V_{CC} < 4.5 V	MCLK×n-12	MCLK×n+12	
MCSX↓→ データ出力時間	t_{CSL-DV}	MCSX MADATA[15:0]	V_{CC}≧4.5 V	MCLK-9	MCLK+9	ns
			V_{CC} < 4.5 V	MCLK-12	MCLK+12	
MWEX↑→ データホールド時間	t_{WEH-DX}	MWEX MADATA[15:0]	V_{CC}≧4.5 V	0	MCLK×m+9	ns
			V_{CC} < 4.5 V		MCLK×m+12	

＜注意事項＞

- *外部負荷容量 C_L= 30 pF 時 (m=0~15, n=1~16)*


tCYCLE
MCLK
MCSX[7:0]
MAD[24:0]
MOEX
MDQM[1:0]
MWEX
MADATA[15:0]
tOEH-CSH
tWEH-CSH
tCSL-AV
tOEH-AX
tCSL-AV
tWEH-AX
Address
Address
tCSL-OEL
tOEW
tCSL-RDQML
tCSL-WDQML
tCSL-WEL
tWEW
tDS-OE
tDH-OE
tWEH-DX
RD
Invalid
WD
tCSL-DV

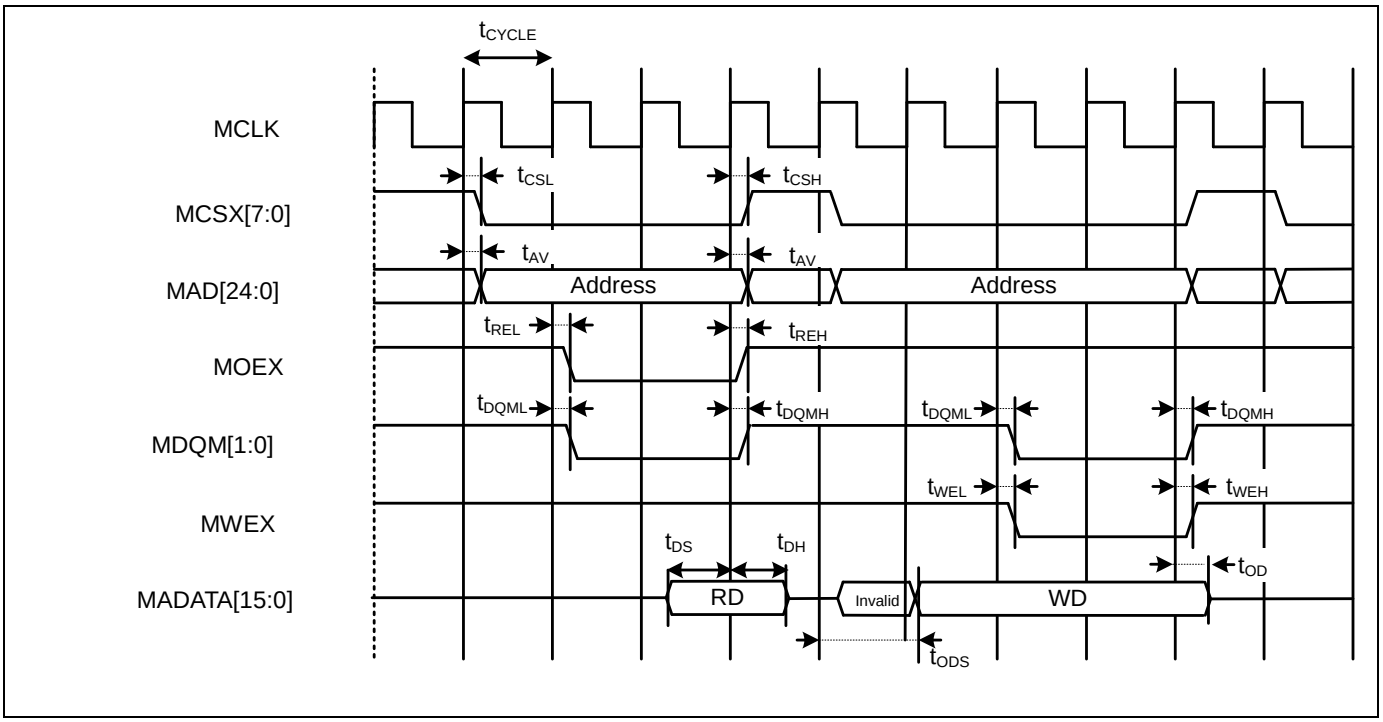
セパレートバスアクセス　同期 SRAM モード

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
アドレス遅延時間	t_{AV}	MCLK MAD[24:0]	V_{CC}≧4.5 V	1	9	ns
			V_{CC} < 4.5 V		12	
MCSX 遅延時間	t_{CSL}	MCLK MCSX[7:0]	V_{CC}≧4.5 V	1	9	ns
			V_{CC} < 4.5 V		12	
	t_{CSH}		V_{CC}≧4.5 V	1	9	ns
			V_{CC} < 4.5 V		12	
MOEX 遅延時間	t_{REL}	MCLK MOEX	V_{CC}≧4.5 V	1	9	ns
			V_{CC} < 4.5 V		12	
	t_{REH}		V_{CC}≧4.5 V	1	9	ns
			V_{CC} < 4.5 V		12	
データセットアップ →MCLK↑時間	t_{DS}	MCLK MADATA[15:0]	V_{CC}≧4.5 V	19	-	ns
			V_{CC} < 4.5 V	37		
MCLK↑→ データホールド時間	t_{DH}	MCLK MADATA[15:0]	V_{CC}≧4.5 V	0	-	ns
			V_{CC} < 4.5 V			
MWEX 遅延時間	t_{WEL}	MCLK MWEX	V_{CC}≧4.5 V	1	9	ns
			V_{CC} < 4.5 V		12	
	t_{WEH}		V_{CC}≧4.5 V	1	9	ns
			V_{CC} < 4.5 V		12	
MDQM[1:0] 遅延時間	t_{DQML}	MCLK MDQM[1:0]	V_{CC}≧4.5 V	1	9	ns
			V_{CC} < 4.5 V		12	
	t_{DQMH}		V_{CC}≧4.5 V	1	9	ns
			V_{CC} < 4.5 V		12	
MCLK↑→ データ出力時間	t_{ODS}	MCLK MADATA[15:0]	V_{CC}≧4.5 V	MCLK+1	MCLK+18	ns
MCLK↑→ データホールド時間	t_{OD}	MCLK MADATA[15:0]	V_{CC}≧4.5 V	1	18	ns
			V_{CC} < 4.5 V		24	

＜注意事項＞

- *外部負荷容量 C_L= 30 pF 時*



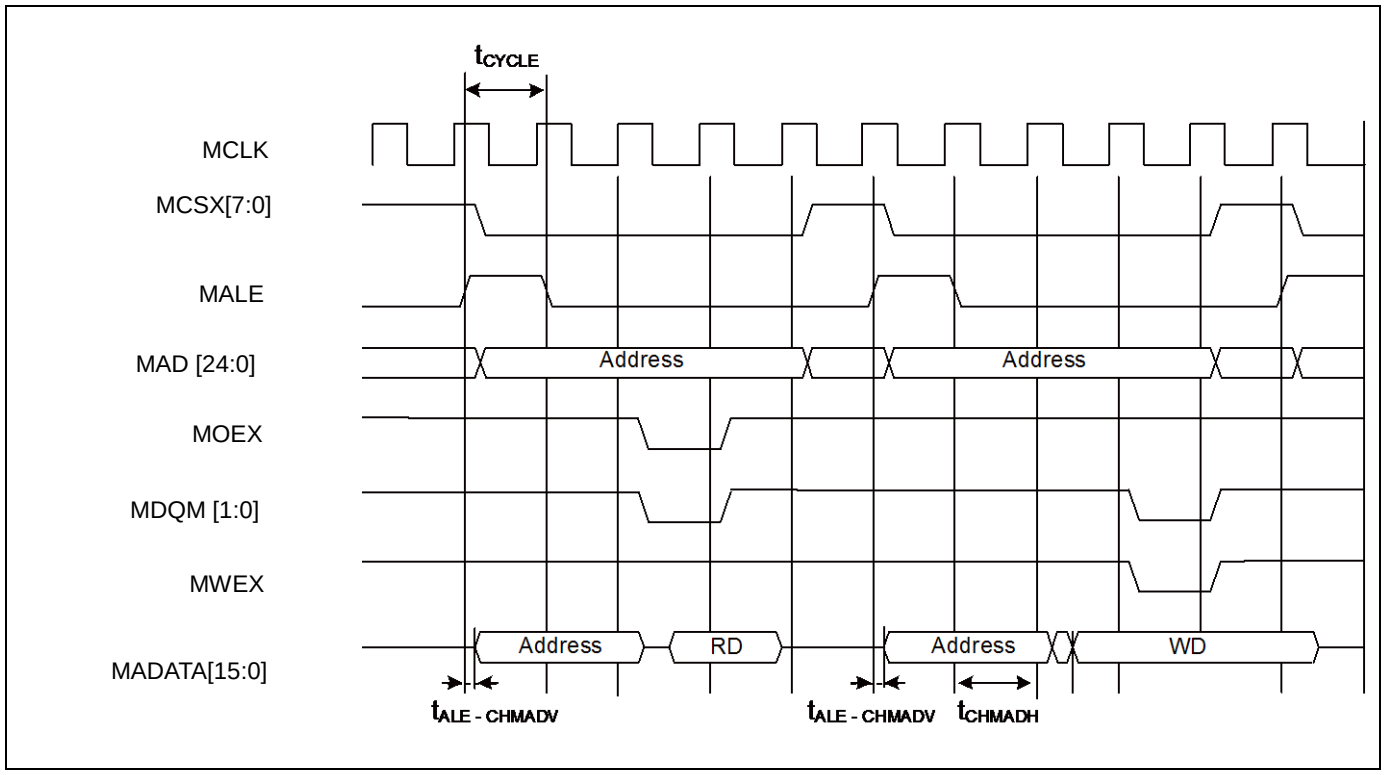
マルチプレクスバスアクセス 非同期 SRAM モード

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
マルチプレクス アドレス遅延時間	$t_{ALE-CHMADV}$	MALE MADATA[15:0]	V_{CC}≧4.5 V	0	10	ns
			V_{CC} < 4.5 V		20	
マルチプレクス アドレスホールド 時間	t_{CHMADH}		V_{CC}≧4.5 V	MCLK×n+0	MCLK×n+10	ns
			V_{CC} < 4.5 V	MCLK×n+0	MCLK×n+20	

<注意事項>

- *外部負荷容量 C_L = 30 pF 時 (m=0 ~ 15, n=1 ~ 16)*



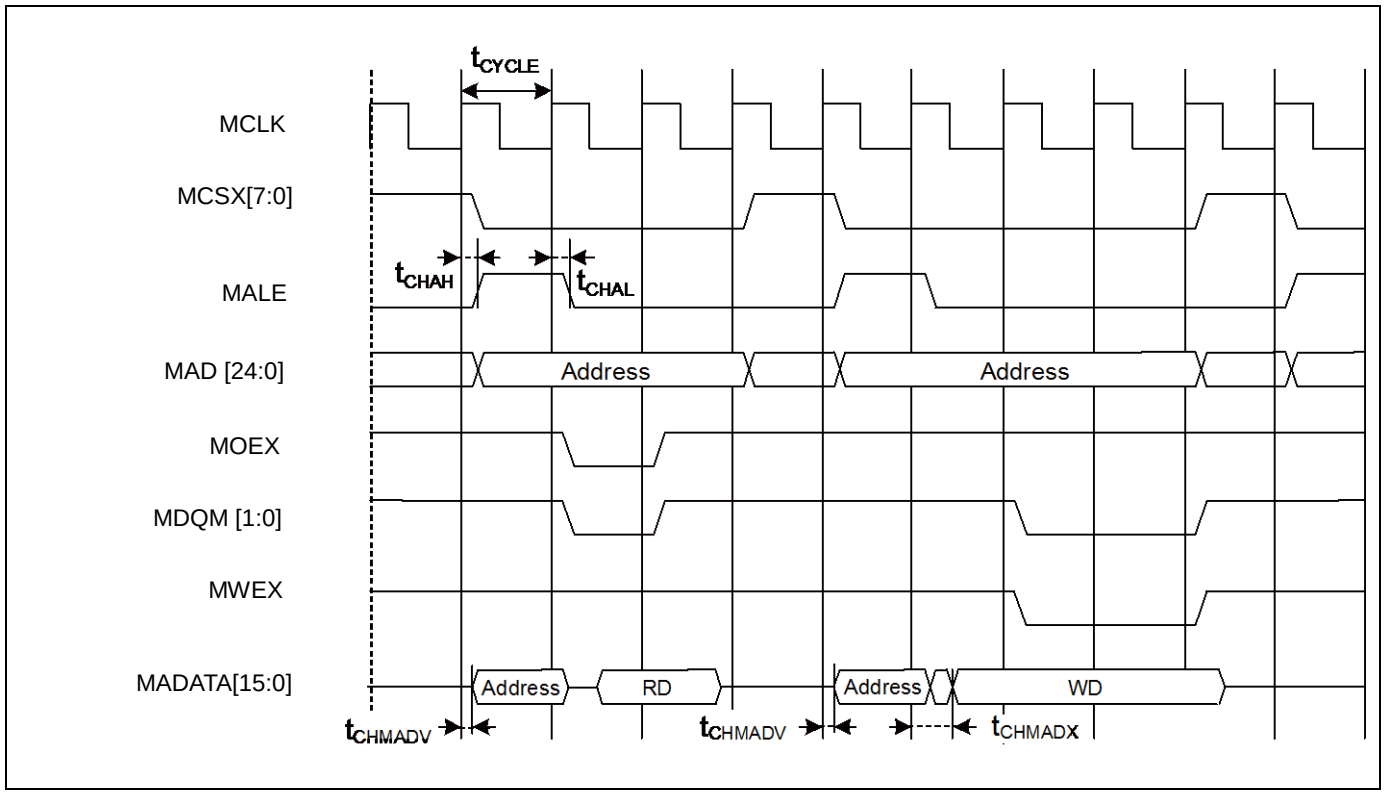
マルチプレクスバスアクセス 同期 SRAM モード

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
MALE 遅延時間	t_{CHAL}	MCLK ALE	V_{CC}≧4.5 V	1	9	ns	
			V_{CC} < 4.5 V		12	ns	
	t_{CHAH}		V_{CC}≧4.5 V	1	9	ns	
			V_{CC} < 4.5 V		12	ns	
MCLK↑→ マルチプレクス アドレス遅延時間	t_{CHMADV}	MCLK MADATA[15:0]	V_{CC}≧4.5 V	1	t_{OD}	ns	
			V_{CC} <4.5 V				
MCLK↑→ マルチプレクス データ出力時間	t_{CHMADX}		V_{CC}≧4.5 V	1	t_{OD}	ns	
			V_{CC} < 4.5 V				

<注意事項>

- *外部負荷容量 C_L= 30 pF 時*



NAND フラッシュモード

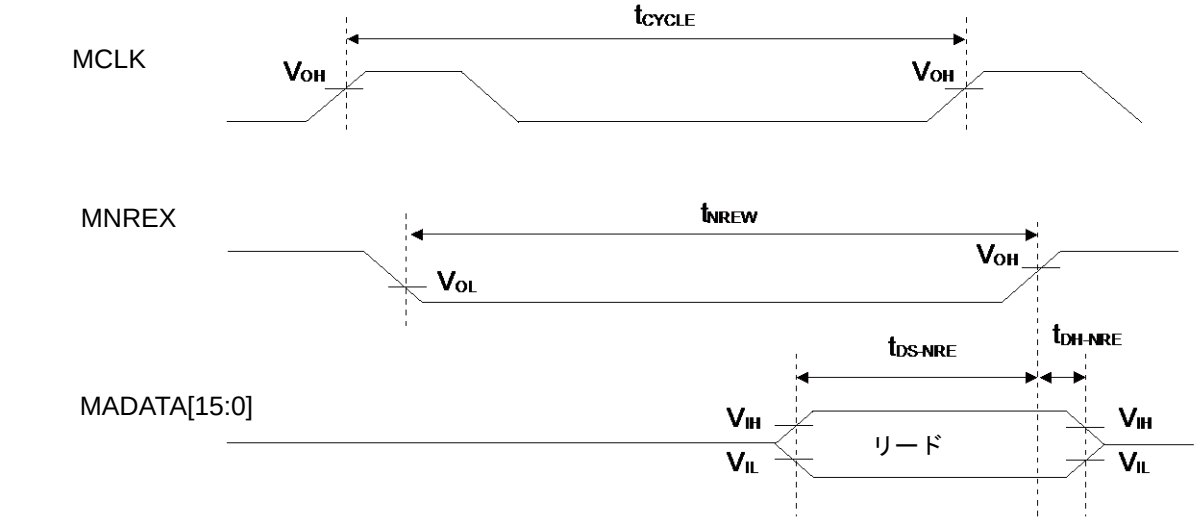
(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
MNREX 最小パルス幅	t_{NREW}	MNREX	V_{CC}≧4.5 V	MCLK×n-3	-	ns
			V_{CC} < 4.5 V			
データセットアップ ⇒MNREX↑時間	t_{DS-NRE}	MNREX MADATA[15:0]	V_{CC}≧4.5 V	20	-	ns
			V_{CC} < 4.5 V	38	-	
MNREX↑⇒ データホールド時間	t_{DH-NRE}	MNREX MADATA[15:0]	V_{CC}≧4.5 V	0	-	ns
			V_{CC} < 4.5 V			
MNALE↑⇒ MNWEX 遅延時間	$t_{ALEH-NWEL}$	MNALE MNWEX	V_{CC}≧4.5 V	MCLK×m-9	MCLK×m+9	ns
			V_{CC} < 4.5 V	MCLK×m-12	MCLK×m+12	
MNALE↓⇒ MNWEX 遅延時間	$t_{ALEL-NWEL}$	MNALE MNWEX	V_{CC}≧4.5 V	MCLK×m-9	MCLK×m+9	ns
			V_{CC} < 4.5 V	MCLK×m-12	MCLK×m+12	
MNCLE↑⇒ MNWEX 遅延時間	$t_{CLEH-NWEL}$	MNCLE MNWEX	V_{CC}≧4.5 V	MCLK×m-9	MCLK×m+9	ns
			V_{CC} < 4.5 V	MCLK×m-12	MCLK×m+12	
MNWEX↑⇒ MNCLE 遅延時間	$t_{NWEH-CLEL}$	MNCLE MNWEX	V_{CC}≧4.5 V	0	MCLK×m+9	ns
			V_{CC} < 4.5 V		MCLK×m+12	
MNWEX 最小パルス幅	t_{NWEW}	MNWEX	V_{CC}≧4.5 V	MCLK×n-3	-	ns
			V_{CC} < 4.5 V			
MNWEX↓⇒ データ出力時間	$t_{NWEL-DV}$	MNWEX MADATA[15:0]	V_{CC}≧4.5 V	- 9	+ 9	ns
			V_{CC} < 4.5 V	-12	+12	
MNWEX↑⇒ データホールド時間	$t_{NWEH-DX}$	MNWEX MADATA[15:0]	V_{CC}≧4.5 V	0	MCLK×m+9	ns
			V_{CC} < 4.5 V		MCLK×m+12	

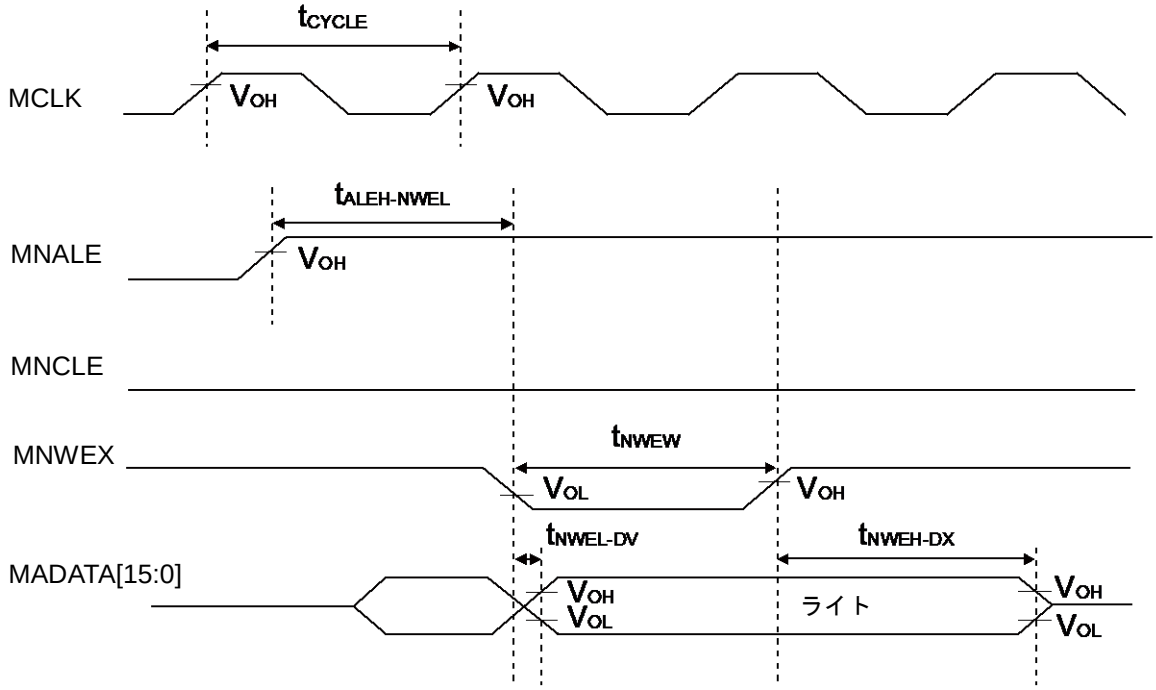
＜注意事項＞

- *外部負荷容量 C_L= 30 pF 時 (m=0 ~ 15, n=1 ~ 16)*

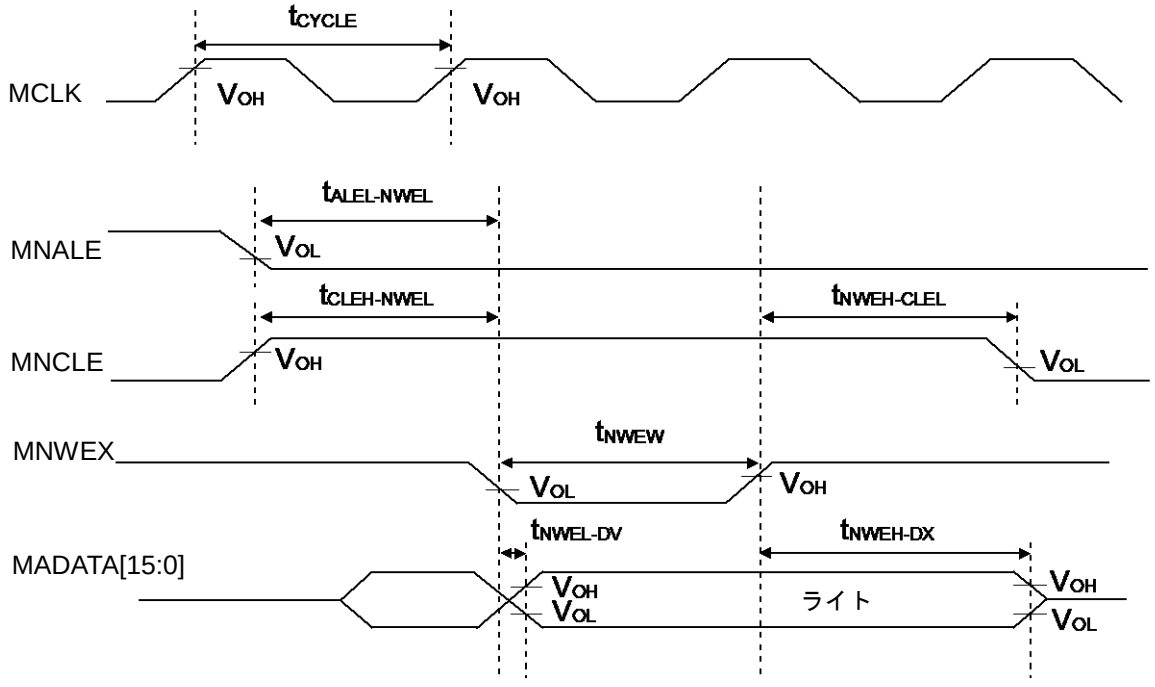
NAND フラッシュリード



NAND フラッシュアドレスライト



NAND フラッシュコマンドライト

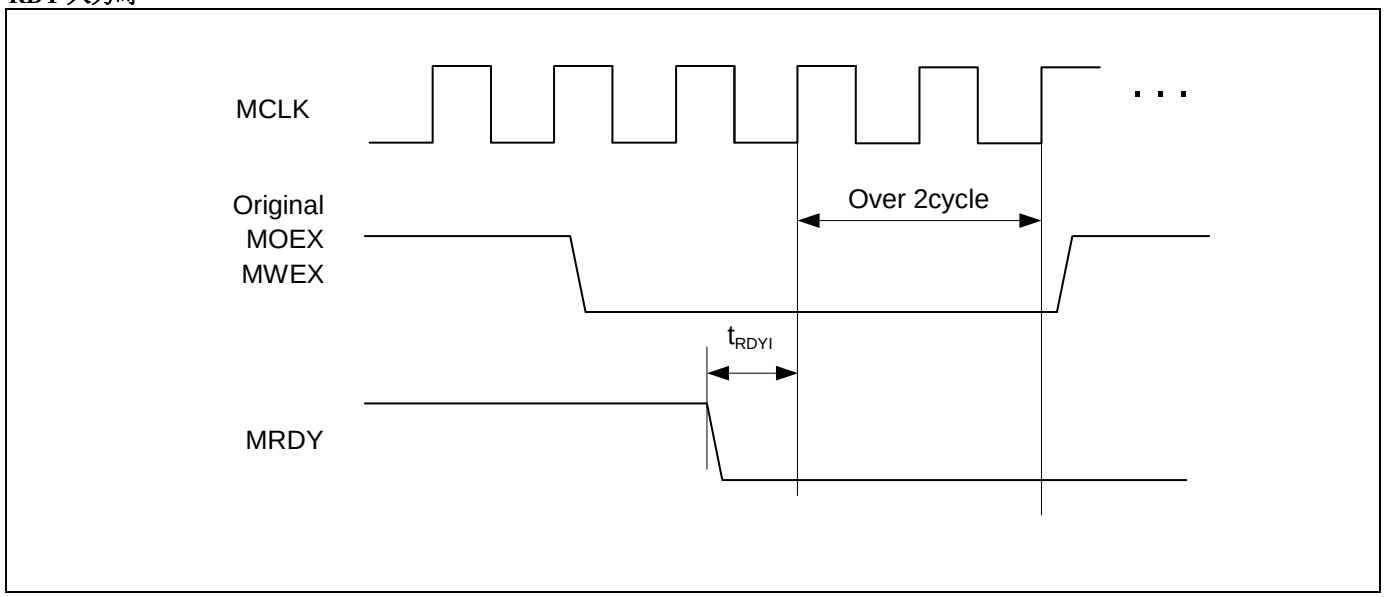


外部 RDY 入力タイミング

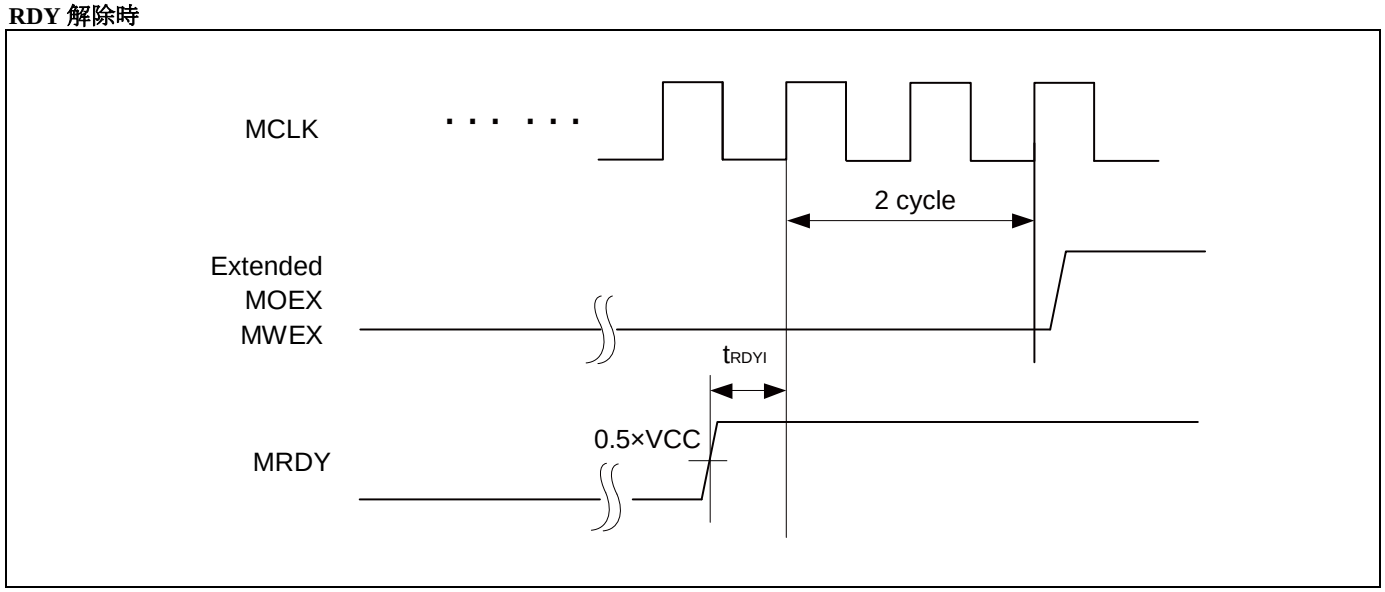
(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
MCLK ↑ MRDY 入力 セットアップ時間	t_{RDYI}	MCLK MRDY	$V_{CC} \geqq 4.5$ V	19	-	ns	
			$V_{CC} < 4.5$ V	37			

RDY 入力時



RDY 解除時

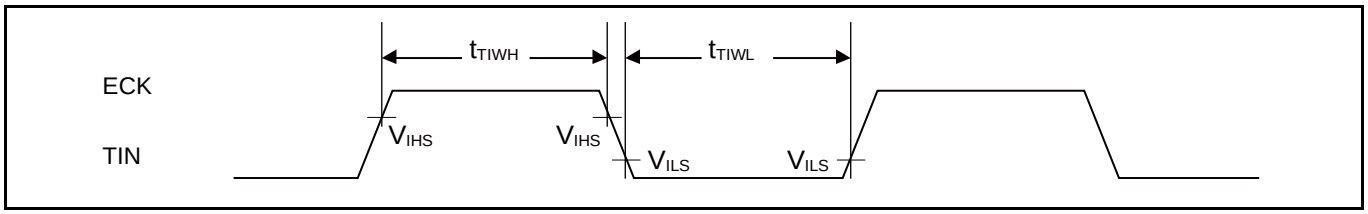


12.4.9 ベースタイマ入力タイミング

タイマ入力タイミング

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

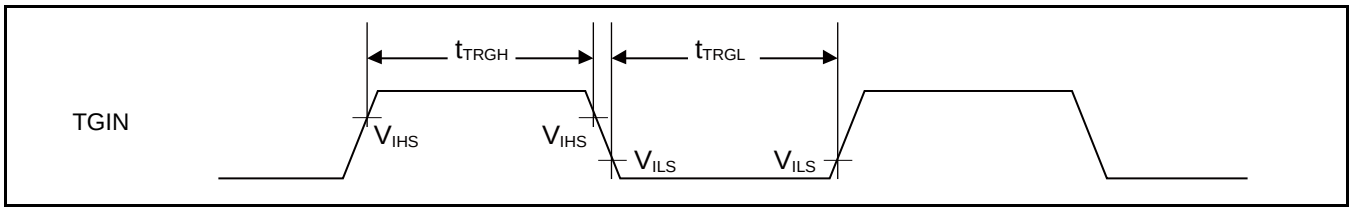
項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{TIWH} t_{TIWL}	TIOAn/TIOBn (ECK, TIN として使用するとき)	-	$2t_{CYCP}$	-	ns	



トリガ入力タイミング

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{TRGH}, t_{TRGL}	TIOAn/TIOBn (TGIN として使用するとき)	-	$2t_{CYCP}$	-	ns	



<注意事項>

- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  ベースタイマが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。

12.4.10 CSIO/UART タイミング

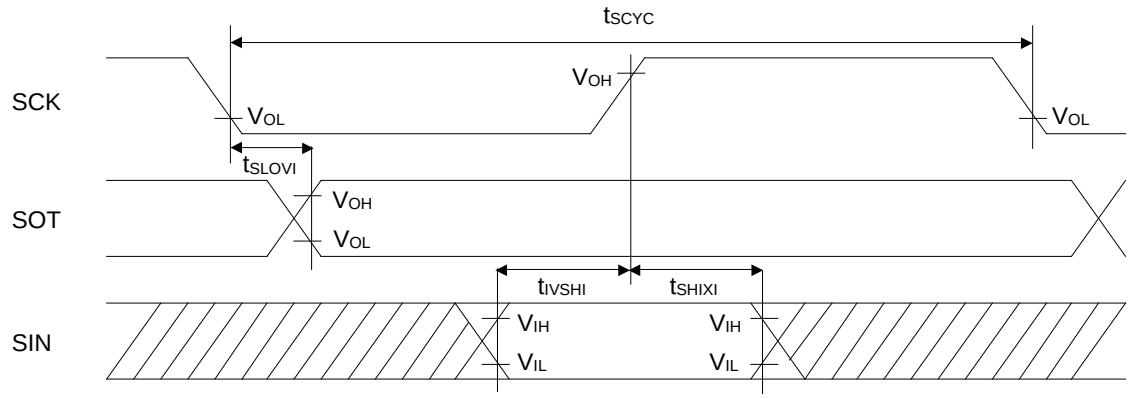
CSIO (SPI = 0, SCINV = 0)

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

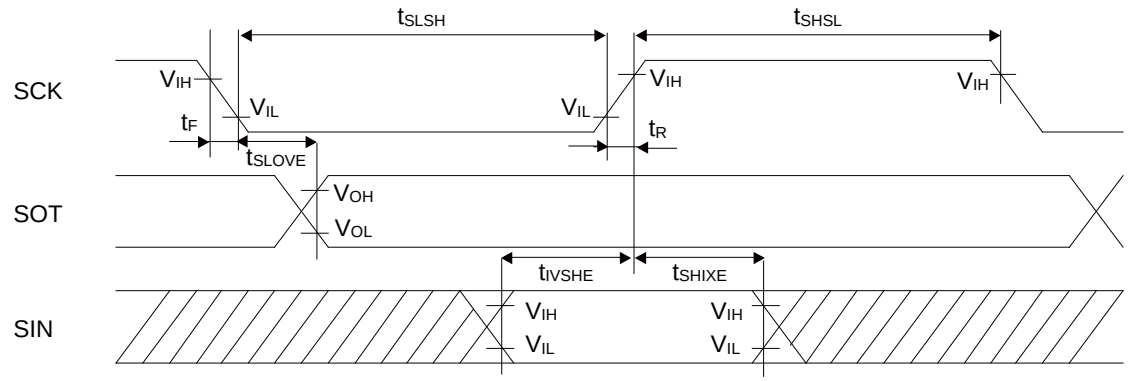
項目	記号	端子名	条件	V_{CC} < 4.5 V		V_{CC}≧4.5 V		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロック サイクルタイム	t_{SCYC}	SCKx	マスタモード	$4t_{CYCP}$	-	$4t_{CYCP}$	-	ns
SCK↓→SOT 遅延時間	t_{SLOVI}	SCKx SOTx		-30	+30	- 20	+ 20	ns
SIN→SCK↑ セットアップ時間	t_{IVSHI}	SCKx SINx		50	-	30	-	ns
SCK↑→SIN ホールド時間	t_{SHIXI}	SCKx SINx		0	-	0	-	ns
シリアルクロック "L"パルス幅	t_{SLSH}	SCKx	スレーブモード	$2t_{CYCP}$ - 10	-	$2t_{CYCP}$ - 10	-	ns
シリアルクロック "H"パルス幅	t_{SHSL}	SCKx		t_{CYCP} + 10	-	t_{CYCP} + 10	-	ns
SCK↓→SOT 遅延時間	t_{SLOVE}	SCKx SOTx		-	50	-	30	ns
SIN→SCK↑ セットアップ時間	t_{IVSHE}	SCKx SINx		10	-	10	-	ns
SCK↑→SIN ホールド時間	t_{SHIXE}	SCKx SINx		20	-	20	-	ns
SCK 立下り時間	t_F	SCKx		-	5	-	5	ns
SCK 立上り時間	t_R	SCKx		-	5	-	5	ns

<注意事項>

- *CLK 同期モード時の交流規格です。*
- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。
- *本規格は同リロケート・ポート番号のみの保証です。*
  例えば SCKx_0, SOTx_1 の組み合わせは保証外です。
- *外部負荷容量 C_L = 30 pF 時*



マスタモード



スレーブモード

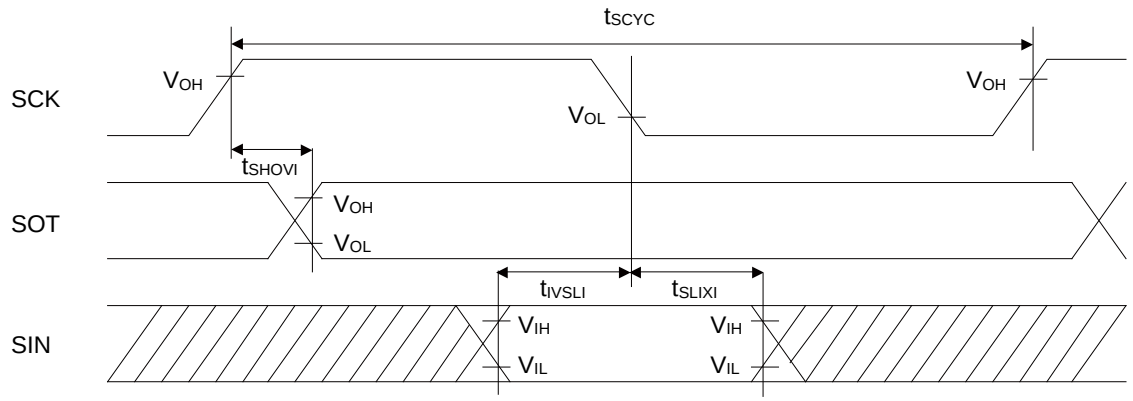
CSIO (SPI = 0, SCINV = 1)

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

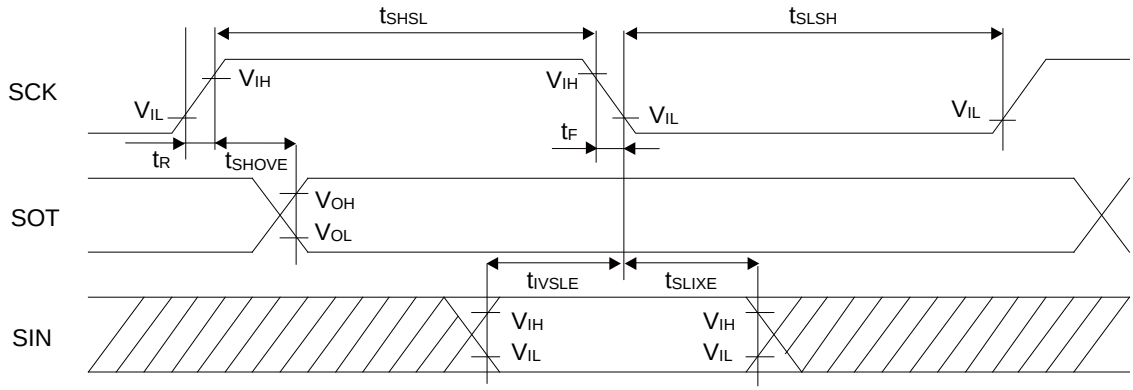
項目	記号	端子名	条件	V_{CC} < 4.5 V		V_{CC}≧4.5 V		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロック サイクルタイム	t_{SCYC}	SCKx	マスタモード	$4t_{CYCP}$	-	$4t_{CYCP}$	-	ns
SCK↑→SOT 遅延時間	t_{SHOVI}	SCKx SOTx		-30	+ 30	- 20	+ 20	ns
SIN→SCK↓ セットアップ時間	t_{IVSLI}	SCKx SINx		50	-	30	-	ns
SCK↓→SIN ホールド時間	t_{SLIXI}	SCKx SINx		0	-	0	-	ns
シリアルクロック "L"パルス幅	t_{SLSH}	SCKx	スレーブモード	$2t_{CYCP}$ - 10	-	$2t_{CYCP}$ - 10	-	ns
シリアルクロック "H"パルス幅	t_{SHSL}	SCKx		t_{CYCP} + 10	-	t_{CYCP} + 10	-	ns
SCK↑→SOT 遅延時間	t_{SHOVE}	SCKx SOTx		-	50	-	30	ns
SIN→SCK↓ セットアップ時間	t_{IVSLE}	SCKx SINx		10	-	10	-	ns
SCK↓→SIN ホールド時間	t_{SLIXE}	SCKx SINx		20	-	20	-	ns
SCK 立下り時間	t_F	SCKx		-	5	-	5	ns
SCK 立上り時間	t_R	SCKx		-	5	-	5	ns

＜注意事項＞

- *CLK 同期モード時の交流規格です。*
- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。
- *本規格は同リロケート・ポート番号のみの保証です。*
  例えば SCKx_0, SOTx_1 の組み合わせは保証外です。
- *外部負荷容量 C_L = 30 pF 時*



マスタモード



スレーブモード

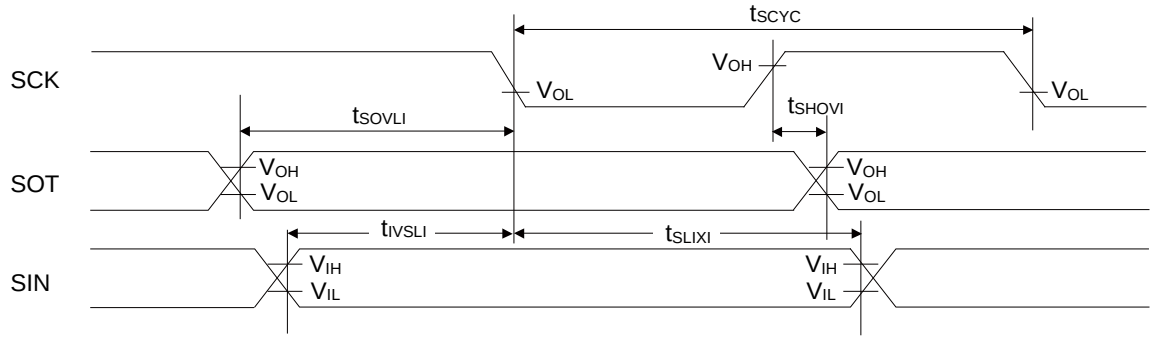
CSIO (SPI = 1, SCINV = 0)

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

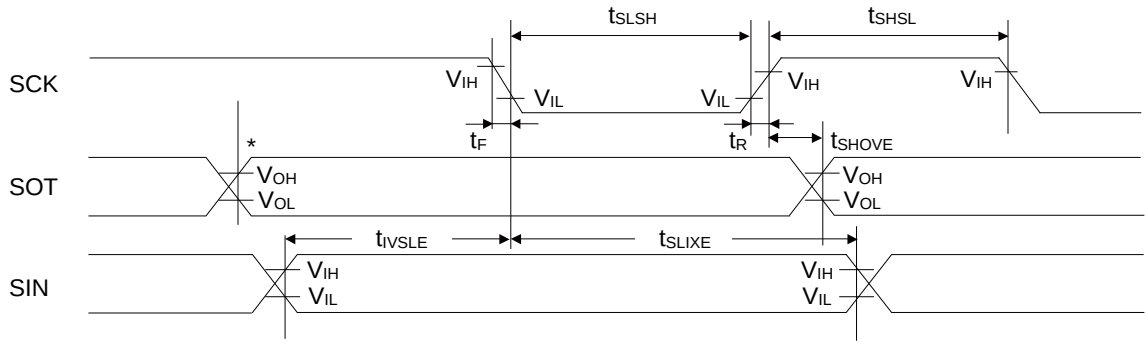
項目	記号	端子名	条件	V_{CC} < 4.5 V		V_{CC}≧4.5 V		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロック サイクルタイム	t_{SCYC}	SCKx	マスタモード	$4t_{CYCP}$	-	$4t_{CYCP}$	-	ns
SCK↑→SOT 遅延時間	t_{SHOVI}	SCKx SOTx		-30	+ 30	- 20	+ 20	ns
SIN→SCK↓ セットアップ時間	t_{IVSLI}	SCKx SINx		50	-	30	-	ns
SCK↓→SIN ホールド時間	t_{SLIXI}	SCKx SINx		0	-	0	-	ns
SOT→SCK↓遅延時間	t_{SOVLI}	SCKx SOTx		$2t_{CYCP}$ - 30	-	$2t_{CYCP}$ - 30	-	ns
シリアルクロック "L"パルス幅	t_{SLSH}	SCKx	スレーブモード	$2t_{CYCP}$ - 10	-	$2t_{CYCP}$ - 10	-	ns
シリアルクロック "H"パルス幅	t_{SHSL}	SCKx		t_{CYCP} + 10	-	t_{CYCP} + 10	-	ns
SCK↑→SOT 遅延時間	t_{SHOVE}	SCKx SOTx		-	50	-	30	ns
SIN→SCK↓ セットアップ時間	t_{IVSLE}	SCKx SINx		10	-	10	-	ns
SCK↓→SIN ホールド時間	t_{SLIXE}	SCKx SINx		20	-	20	-	ns
SCK 立下り時間	t_F	SCKx		-	5	-	5	ns
SCK 立上り時間	t_R	SCKx		-	5	-	5	ns

＜注意事項＞

- *CLK 同期モード時の交流規格です。*
- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。
- *本規格は同リロケート・ポート番号のみの保証です。*
  例えば SCKx_0, SOTx_1 の組み合わせは保証外です。
- *外部負荷容量 C_L = 30 pF 時*



マスタモード



スレーブモード

*: TDR レジスタにライトすると変化

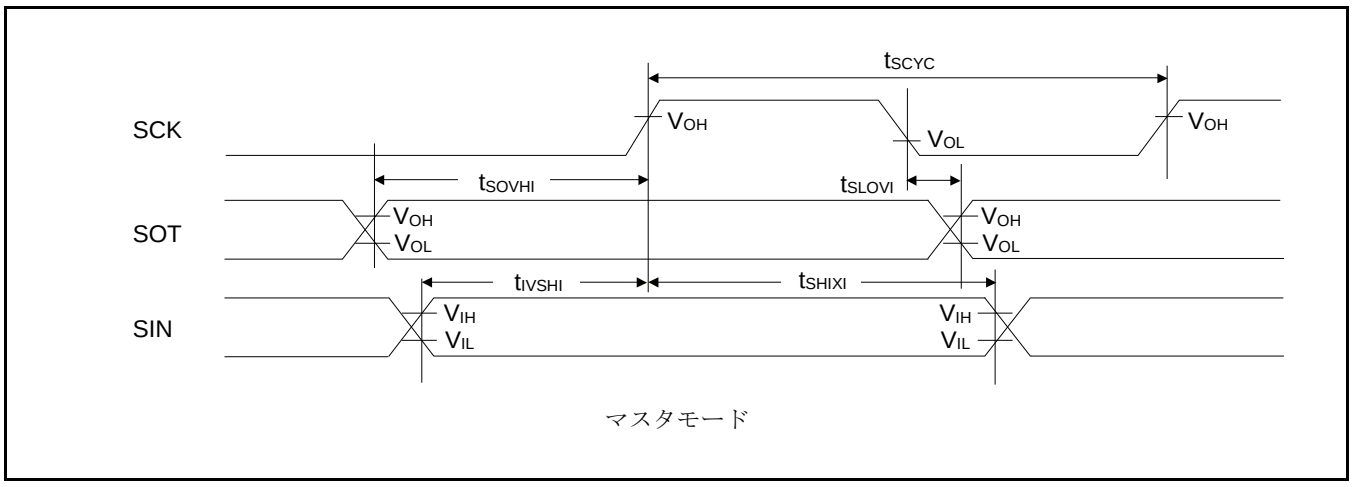
CSIO (SPI = 1, SCINV = 1)

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

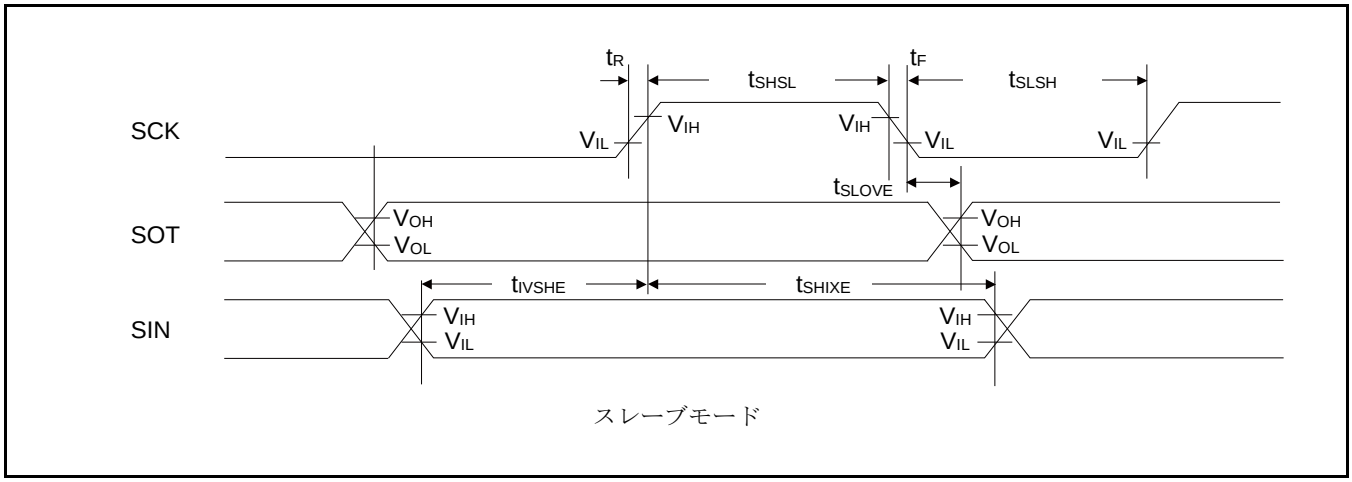
項目	記号	端子名	条件	V_{CC} < 4.5 V		V_{CC}≧4.5 V		単位
				最小	最大	最小	最大	
ボーレート	-	-	-	-	8	-	8	Mbps
シリアルクロック サイクルタイム	t_{SCYC}	SCKx	マスタモード	$4t_{CYCP}$	-	$4t_{CYCP}$	-	ns
SCK↓→SOT 遅延時間	t_{SLOVI}	SCKx SOTx		- 30	+ 30	- 20	+ 20	ns
SIN→SCK↑ セットアップ時間	t_{IVSHI}	SCKx SINx		50	-	30	-	ns
SCK↑→SIN ホールド時間	t_{SHIXI}	SCKx SINx		0	-	0	-	ns
SOT→SCK↑遅延時間	t_{SOVHI}	SCKx SOTx		$2t_{CYCP}$ - 30	-	$2t_{CYCP}$ - 30	-	ns
シリアルクロック "L"パルス幅	t_{SLSH}	SCKx	スレーブモード	$2t_{CYCP}$ - 10	-	$2t_{CYCP}$ - 10	-	ns
シリアルクロック "H"パルス幅	t_{SHSL}	SCKx		t_{CYCP} + 10	-	t_{CYCP} + 10	-	ns
SCK↓→SOT 遅延時間	t_{SLOVE}	SCKx SOTx		-	50	-	30	ns
SIN→SCK↑ セットアップ時間	t_{IVSHE}	SCKx SINx		10	-	10	-	ns
SCK↑→SIN ホールド時間	t_{SHIXE}	SCKx SINx		20	-	20	-	ns
SCK 立下り時間	t_F	SCKx		-	5	-	5	ns
SCK 立上り時間	t_R	SCKx		-	5	-	5	ns

＜注意事項＞

- *CLK 同期モード時の交流規格です。*
- *t_{CYCP} は、APB バスクロックのサイクル時間です。*
  マルチファンクションシリアルが接続されている APB バス番号については「8. ブロックダイヤグラム」を参照してください。
- *本規格は同リロケート・ポート番号のみの保証です。*
  例えば SCKx_0, SOTx_1 の組み合わせは保証外です。
- *外部負荷容量 C_L = 30 pF 時*



マスタモード

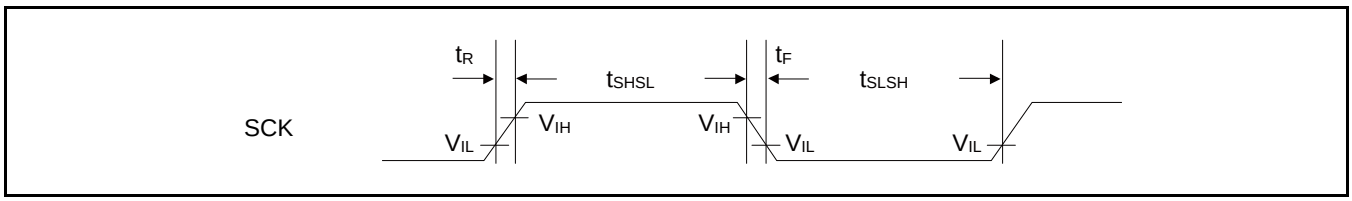


スレーブモード

UART 外部クロック入力(EXT = 1)

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

項目	記号	条件	最小	最大	単位	備考
シリアルクロック"L"パルス幅	t_{SLSH}	C_L = 30 pF	t_{CYCP} + 10	-	ns	
シリアルクロック"H"パルス幅	t_{SHSL}		t_{CYCP} + 10	-	ns	
SCK 立下り時間	t_F		-	5	ns	
SCK 立上り時間	t_R		-	5	ns	



12.4.11 外部入力タイミング

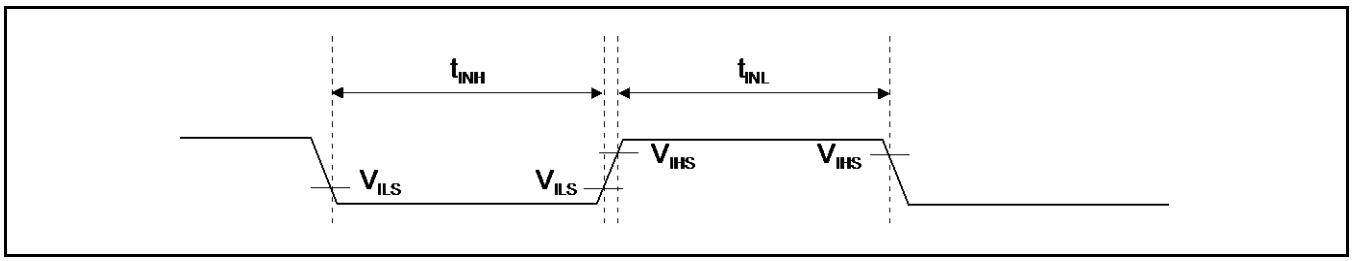
(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
入力パルス幅	t_{INH} t_{INL}	ADTG	-	$2t_{CYCP}$*1	-	ns	A/D コンバータ トリガ入力
		FRCKx					フリーランタイマ入力クロック
		ICxx					インプット キャプチャ
		DTTIxX	-	$2t_{CYCP}$*1	-	ns	波形ジェネレータ
		INTxx, NMIX	*2	$2t_{CYCP}$ + 100*1	-	ns	外部割込み
			*3	500	-	ns	NMI

*1: t_{CYCP} は APB バスクロックのサイクル時間です。A/D コンバータ，多機能タイマ，外部割込みが接続されている APB バス番号については「8.ブロックダイヤグラム」を参照してください。

*2: ランモード，スリープモード時

*3: タイマモード，ストップモード時

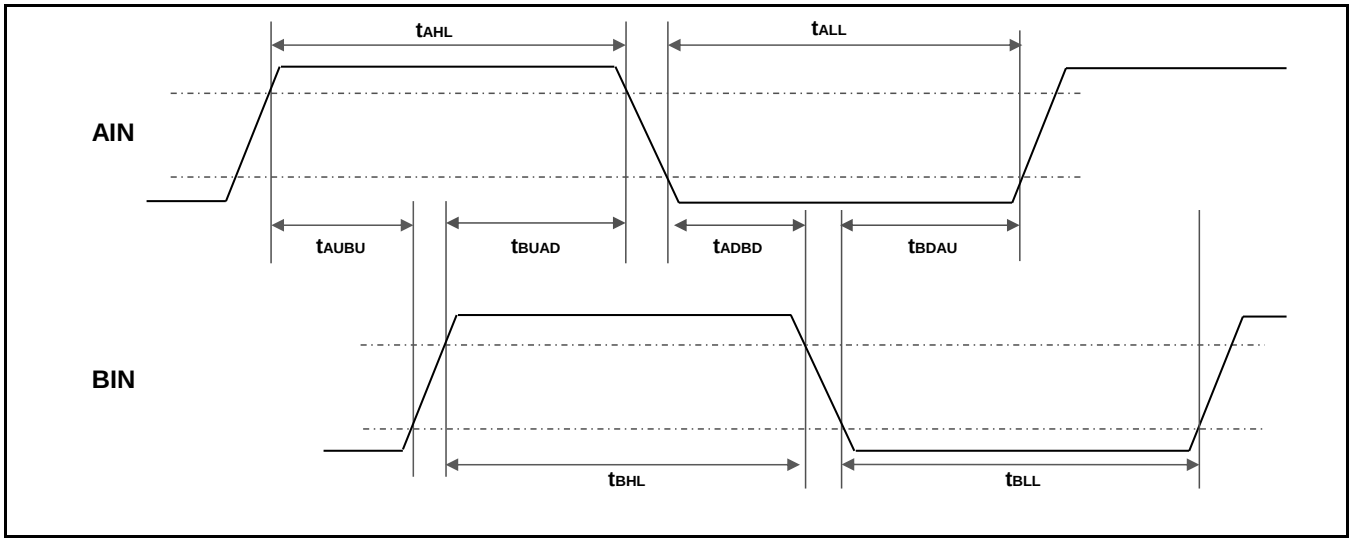


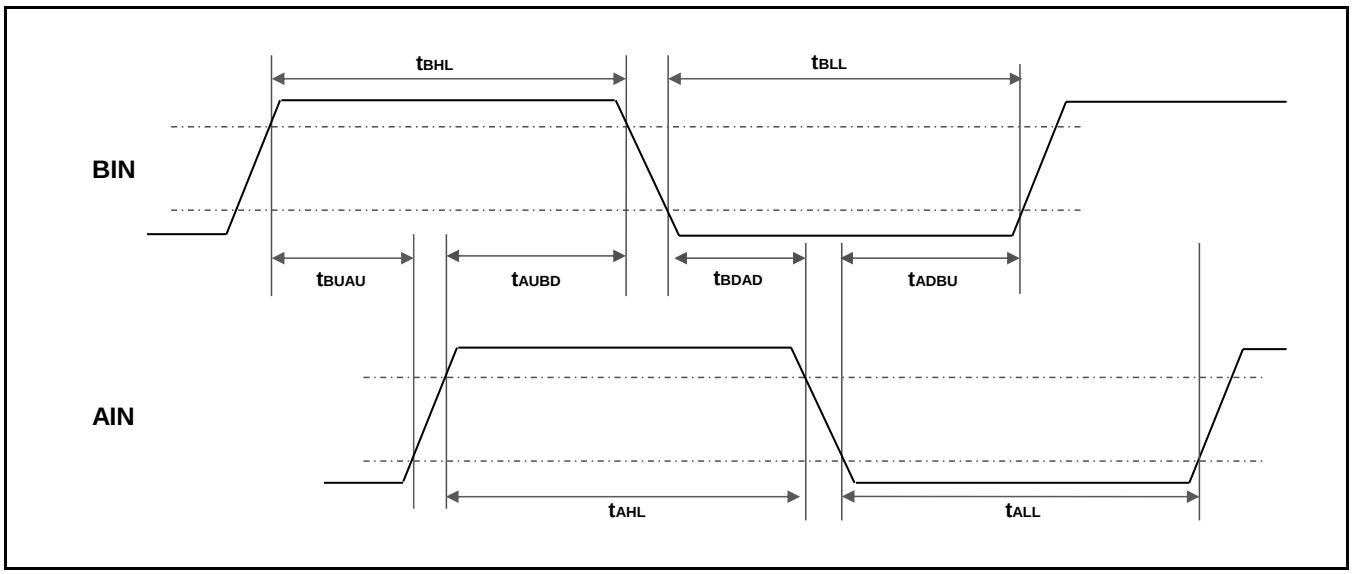
12.4.12 クアッドカウンタ タイミング

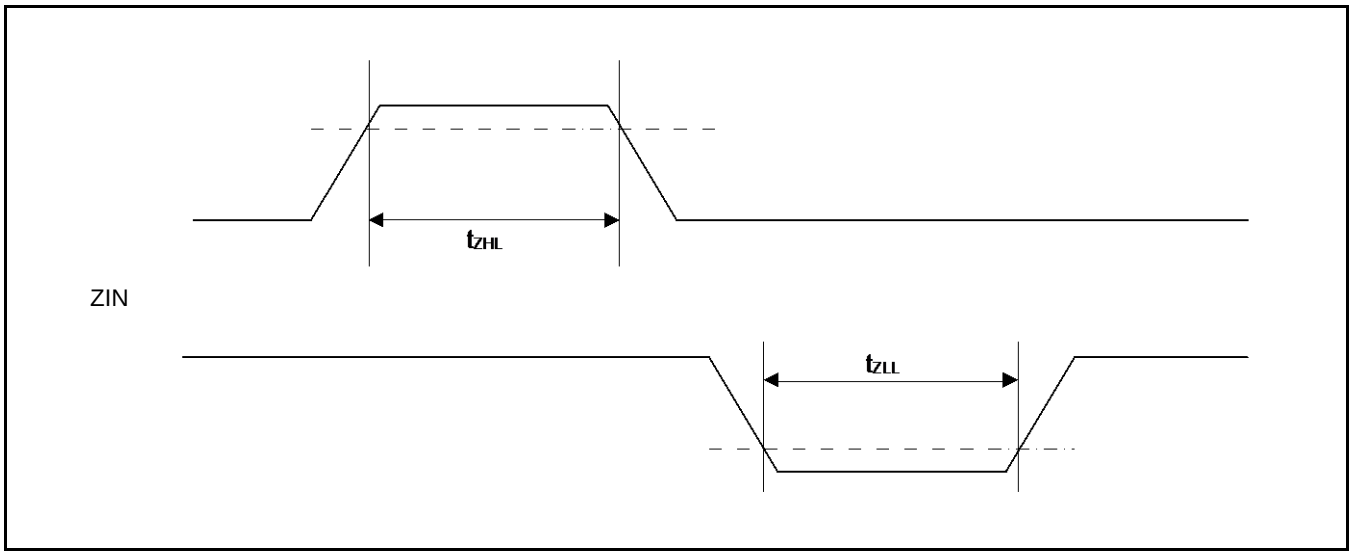
(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

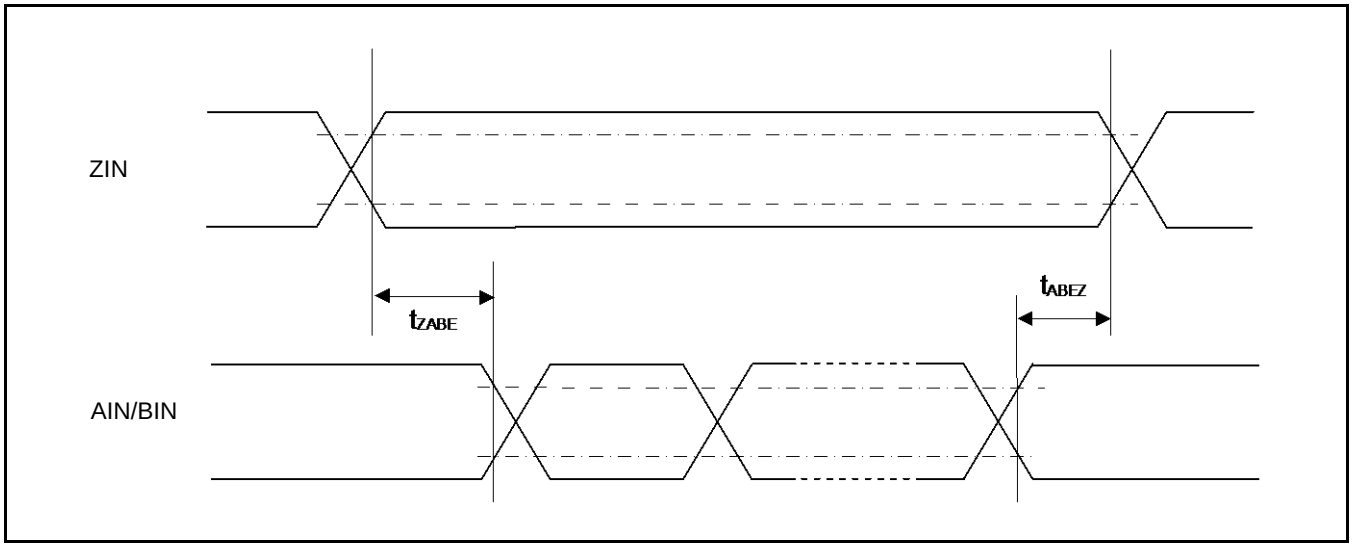
項目	記号	条件	規格値		単位
			最小値	最大値	
AIN 端子"H"幅	t_{AHL}	-	$2t_{CYCP}$*	-	ns
AIN 端子"L"幅	t_{ALL}	-			
BIN 端子"H"幅	t_{BHL}	-			
BIN 端子"L"幅	t_{BLL}	-			
AIN"H"レベルから BIN 立上り時間	t_{AUBU}	PC_Mode2 または PC_Mode3			
BIN"H"レベルから AIN 立下り時間	t_{BUAD}	PC_Mode2 または PC_Mode3			
AIN"L"レベルから BIN 立下り時間	t_{ADBD}	PC_Mode2 または PC_Mode3			
BIN"L"レベルから AIN 立上り時間	t_{BDAU}	PC_Mode2 または PC_Mode3			
BIN"H"レベルから AIN 立上り時間	t_{BUAU}	PC_Mode2 または PC_Mode3			
AIN"H"レベルから BIN 立下り時間	t_{AUBD}	PC_Mode2 または PC_Mode3			
BIN"L"レベルから AIN 立下り時間	t_{BDAD}	PC_Mode2 または PC_Mode3			
AIN"L"レベルから BIN 立上り時間	t_{ADBU}	PC_Mode2 または PC_Mode3			
ZIN 端子"H"幅	t_{ZHL}	QCR:CGSC="0"			
ZIN 端子"L"幅	t_{ZLL}	QCR:CGSC="0"			
ZIN レベル確定から AIN/BIN 立下り立上り時間	t_{ZABE}	QCR:CGSC="1"			
AIN/BIN 立下り立上り時間から ZIN レベル確定	t_{ABEZ}	QCR:CGSC="1"			

*: t_{CYCP} は APB バスクロックのサイクル時間です。
クアッドカウンタが接続されている APB バス番号については「8.ブロックダイヤグラム」を参照してください。




tBHL
tBLL
BIN
tBUAU
tAUBD
tBDAD
tADBU
AIN
tAHL
tALL


tZHL
ZIN
tZLL


ZIN
tZABE
tABEZ
AIN/BIN

12.4.13 I²C タイミング

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

項目	記号	条件	Standard-mode		Fast-mode		単位	備考
			最小	最大	最小	最大		
SCL クロック周波数	f_{SCL}	C_L = 30 pF, R = (Vp/I_{OL})*1	0	100	0	400	kHz	
(反復)「スタート」条件 ホールド時間 SDA↓→SCL↓	t_{HDSTA}		4.0	-	0.6	-	µs	
SCL クロック"L"幅	t_{LOW}		4.7	-	1.3	-	µs	
SCL クロック"H"幅	t_{HIGH}		4.0	-	0.6	-	µs	
反復「スタート」条件 セットアップ時間 SCL↑→SDA↓	t_{SUSTA}		4.7	-	0.6	-	µs	
データホールド時間 SCL↓→SDA↓↑	t_{HDDAT}		0	3.45*2	0	0.9*3	µs	
データセットアップ時間 SDA↓↑→SCL↑	t_{SUDAT}		250	-	100	-	ns	
「ストップ」条件 セットアップ時間 SCL↑→SDA↑	t_{SUSTO}		4.0	-	0.6	-	µs	
「ストップ」条件と「スタート」条件との間のバスフリー時間	t_{BUF}		4.7	-	1.3	-	µs	
ノイズフィルタ	t_{SP}	8 MHz ≦ t_{CYCP}≦40 MHz	2 t_{CYCP}*4	-	2 t_{CYCP}*4	-	ns	*5
		40 MHz < t_{CYCP}≦60 MHz	3 t_{CYCP}*4	-	3 t_{CYCP}*4	-	ns	*5
		60 MHz < t_{CYCP}≦72 MHz	4 t_{CYCP}*4	-	4 t_{CYCP}*4	-	ns	*5

*1: R, C_L は、SCL, SDA ラインのプルアップ抵抗、負荷容量です。Vp はプルアップ抵抗の電源電圧, I_{OL} は V_{OL} 保証電流を示します。

*2: 最大 t_{HDDAT} は少なくともデバイスの SCL 信号の"L"区間(t_{LOW})を延長していないということを満たしていなければなりません。

*3: Fast-mode I²C バスデバイスを Standard-mode I²C バスシステムに使用できますが、要求される条件 t_{SUDAT}≧250 ns を満足しなければなりません。

*4: t_{CYCP} は、APB バスクロックのサイクル時間です。

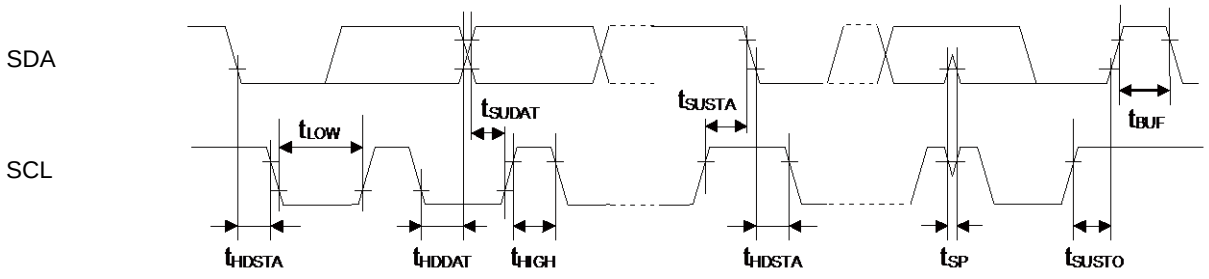
I²C が接続されている APB バス番号については「8.ブロックダイヤグラム」を参照してください。

Standard-mode 使用時は、APB バスクロックを 2 MHz 以上に設定してください。

Fast-mode 使用時は、APB バスクロックを 8 MHz 以上に設定してください。

*5: ノイズフィルタの段数はレジスタ設定により 2, 3, 4 段に切り換えることができます。

APB2 バスクロック周波数に応じて、ノイズフィルタ段数の変更をしてください。



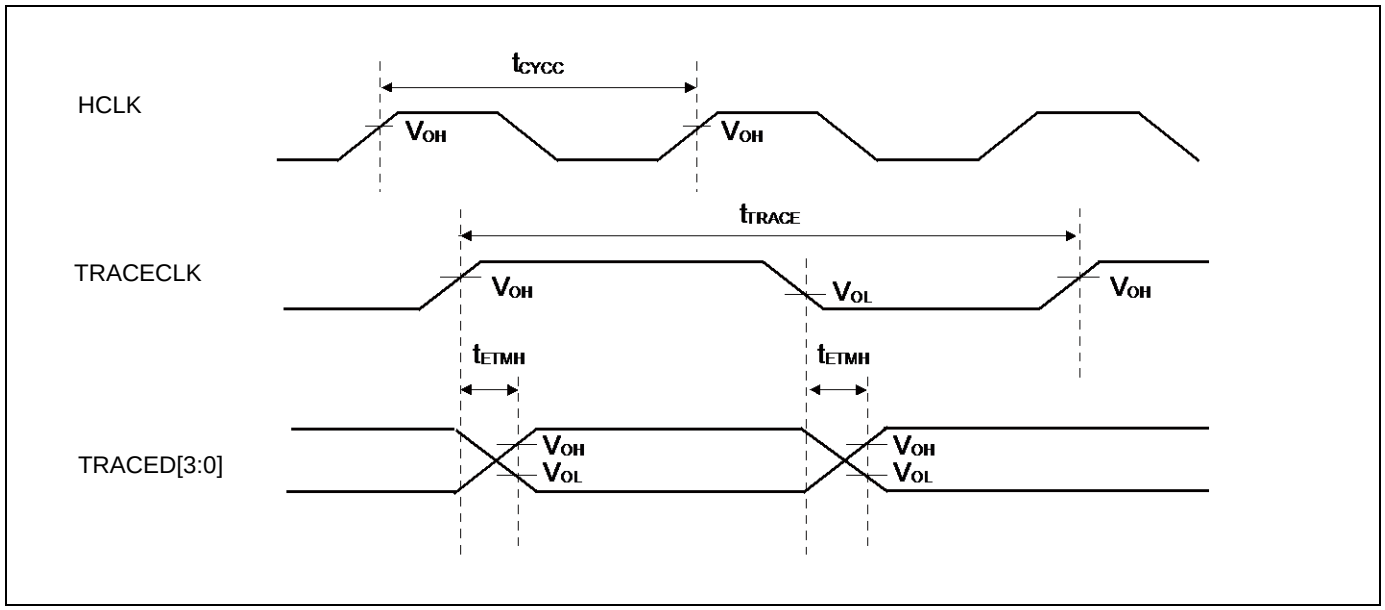
12.4.14 ETM タイミング

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
データホールド	t_{ETMH}	TRACECLK TRACED[3:0]	V_{CC}≧4.5 V	2	9	ns	
			V_{CC} < 4.5 V	2	15		
TRACECLK 周波数	1/ t_{TRACE}	TRACECLK	V_{CC}≧4.5 V	-	50	MHz	
			V_{CC} < 4.5 V	-	32	MHz	
TRACECLK クロック周期	t_{TRACE}		V_{CC}≧4.5 V	20	-	ns	
			V_{CC} < 4.5 V	31.25	-	ns	

<注意事項>

- *外部負荷容量 C_L= 30 pF 時*



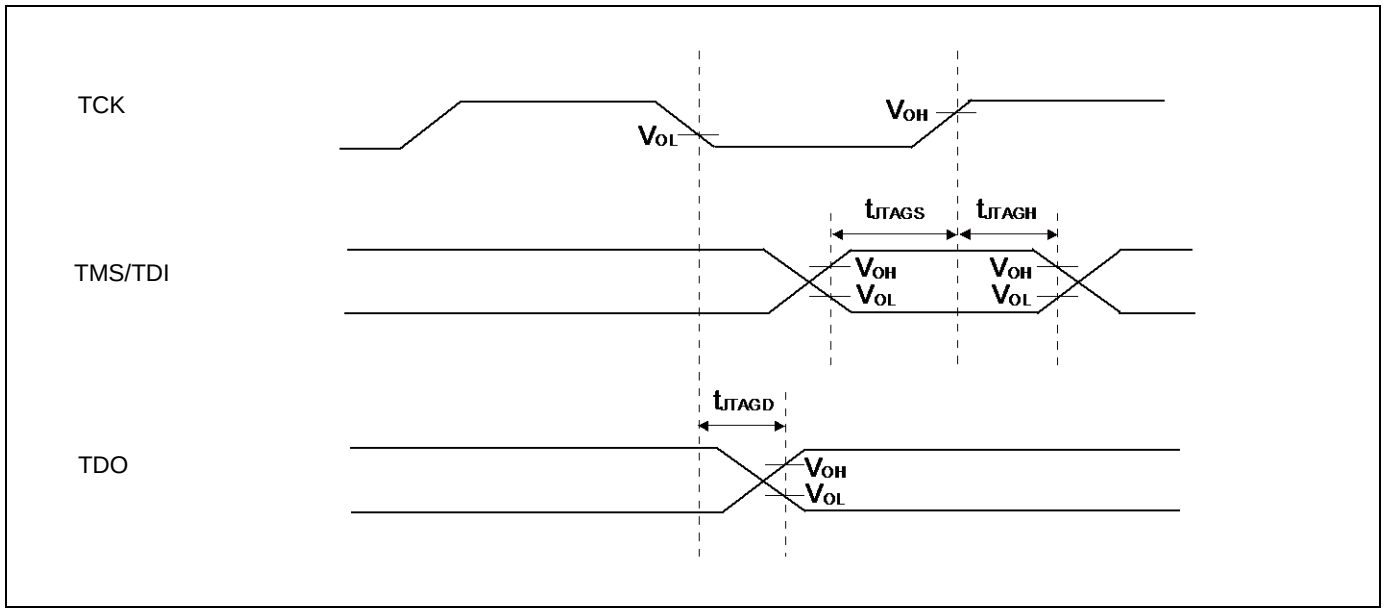
12.4.15 JTAG タイミング

(V_{CC} = 2.7V ~ 5.5V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

項目	記号	端子名	条件	規格値		単位	備考
				最小	最大		
TMS, TDI セットアップ時間	t_{JTAGS}	TCK, TMS, TDI	V_{CC}≧4.5 V	15	-	ns	
			V_{CC} < 4.5 V				
TMS, TDI ホールド時間	t_{JTAGH}	TCK, TMS, TDI	V_{CC}≧4.5 V	15	-	ns	
			V_{CC} < 4.5 V				
TDO 遅延時間	t_{JTAGD}	TCK TDO	V_{CC}≧4.5 V	-	25	ns	
			V_{CC} < 4.5 V	-	45		

＜注意事項＞

- *外部負荷容量 C_L = 30 pF 時*



12.5 12 ビット A/D コンバータ

A/D 変換部電気的特性

(V_{CC} = AV_{CC} = 2.7V ~ 5.5V, V_{SS} = AV_{SS} = 0V, T_A = - 40°C ~ + 85°C)

項目	記号	端子名	規格値			単位	備考
			最小	標準	最大		
分解能	-	-	-	-	12	bit	
積分直線性誤差	-	-	-	± 4.0	± 4.5	LSB	AVRH = 2.7 V ~ 5.5 V
微分直線性誤差	-	-	-	± 2.3	± 2.5	LSB	
ゼロトランジション電圧	V_{ZT}	ANxx	-	± 10	± 15	mV	
フルスケールトランジション電圧	V_{FST}	ANxx	-	AVRH ± 10	AVRH ± 15	mV	
変換時間	-	-	1.0*1	-	-	µs	AV_{CC}≧4.5 V
			1.2*1	-	-		AV_{CC} < 4.5 V
サンプリング時間	t_S	-	*2	-	-	ns	AV_{CC}≧4.5 V
			*2	-	-		AV_{CC} < 4.5 V
コンペアクロック周期 *3	t_{CCK}	-	50	-	2000	ns	
動作許可状態遷移時間	t_{STT}	-	-	-	1.0	µs	
アナログ入力容量	C_{AIN}	-	-	-	12.9	pF	
アナログ入力抵抗	R_{AIN}	-	-	-	2	kΩ	AV_{CC}≧4.5 V
					3.8		AV_{CC} < 4.5 V
チャネル間ばらつき	-	-	-	-	4	LSB	
アナログポート入力リーク電流	-	ANxx	-	-	5	µA	
アナログ入力電圧	-	ANxx	AV_{SS}	-	AVRH	V	
基準電圧	-	AVRH	2.7	-	AV_{CC}	V	

*1: 変換時間は サンプリング時間 (t_S) ＋ コンペア時間 (t_C) の値です。

最小変換時間の条件は、以下の通りです。

AV_{CC}≧4.5 V HCLK=120 MHz サンプリング時間: 300 ns, コンペア時間:700 ns

AV_{CC}＜4.5 V HCLK=120 MHz サンプリング時間: 500 ns, コンペア時間:700 ns

必ずサンプリング時間(tS), コンペアクロック周期(t_{CCK})の規格を満足するようにしてください。

サンプリング時間, コンペアクロック周期の設定については、『FM3 ファミリ ペリフェラルマニュアル アナログマクロ編』の『CHAPTER: 12 ビット A/D コンバータ』の章を参照してください。

A/D コンバータのレジスタ設定は APB バスクロックのタイミングで反映されます。

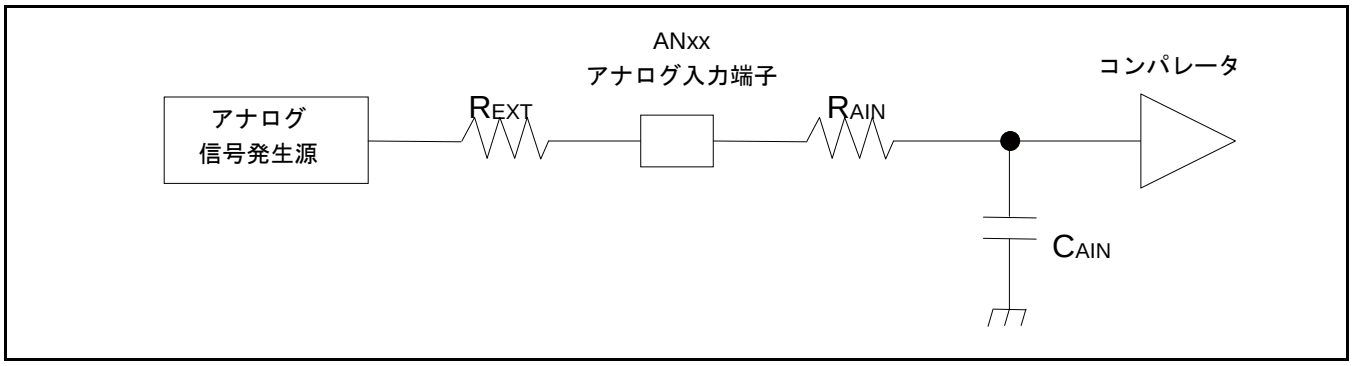
A/D コンバータが接続されている APB バス番号については「8.ブロックダイヤグラム」を参照してください。

サンプリングおよびコンペアクロックはベースクロック(HCLK)から生成されます。

*2: 外部インピーダンスにより必要なサンプリング時間は変わります。

必ず(式 1)を満たすようにサンプリング時間を設定してください。

*3: コンペア時間(t_C) は (式 2)の値です。



(式 1) $ts \geqq (R_{AIN} + R_{EXT}) \times C_{AIN} \times 9$

ts: サンプリング時間

R_{AIN}: A/D の入力抵抗 = 2 kΩ 4.5 V ≦ AV_{CC} ≦ 5.5 V の場合

A/D の入力抵抗 = 3.8 kΩ 2.7 V ≦ AV_{CC} < 4.5 V の場合

C_{AIN}: A/D の入力容量 = 12.9 pF 2.7 V ≦ AV_{CC} ≦ 5.5 V の場合

R_{EXT}: 外部回路の出力インピーダンス

(式 2) $t_C = t_{CCK} \times 14$

t_C: コンペア時間

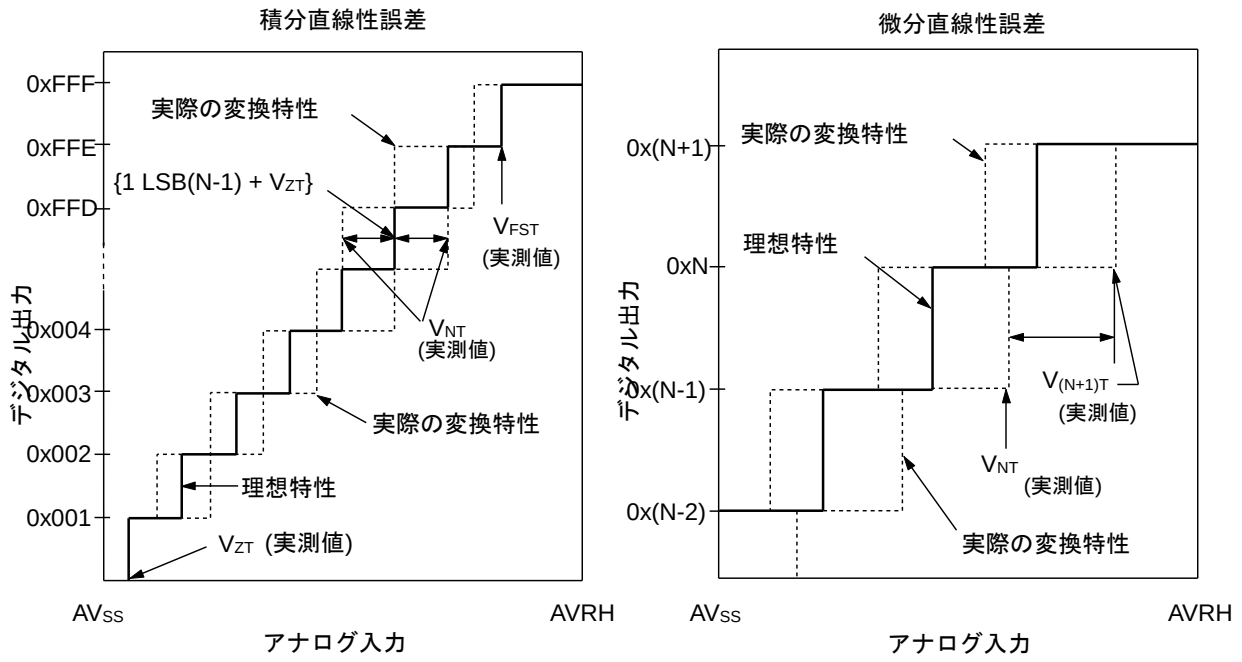
t_{CCK}: コンペアクロック周期

12 ビット A/D コンバータの用語の定義

■分解能: A/D コンバータにより識別可能なアナログ変化

■積分直線性誤差: ゼロトランジション点(0b000000000000 ⟷ 0b000000000001)とフルスケールトランジション点(0b111111111110 ⟷ 0b111111111111)を結んだ直線と実際の変換特性との偏差

■微分直線性誤差: 出力コードを 1LSB 変化させるのに必要な入力電圧の理想値からの偏差



$$\text{デジタル出力 N の直線性誤差} = \frac{V_{NT} - \{1LSB \times (N - 1) + V_{ZT}\}}{1LSB} \text{ [LSB]}$$

$$\text{デジタル出力 N の微分直線性誤差} = \frac{V_{(N+1)}T - V_{NT}}{1LSB} - 1 \text{ [LSB]}$$

$$1LSB = \frac{V_{FST} - V_{ZT}}{4094}$$

N: A/D コンバータデジタル出力値
V_{ZT}: デジタル出力が 0x000 から 0x001 に遷移する電圧
V_{FST}:デジタル出力が 0xFFE から 0xFFF に遷移する電圧
V_{NT}: デジタル出力が 0x (N - 1)から 0xN に遷移する電圧

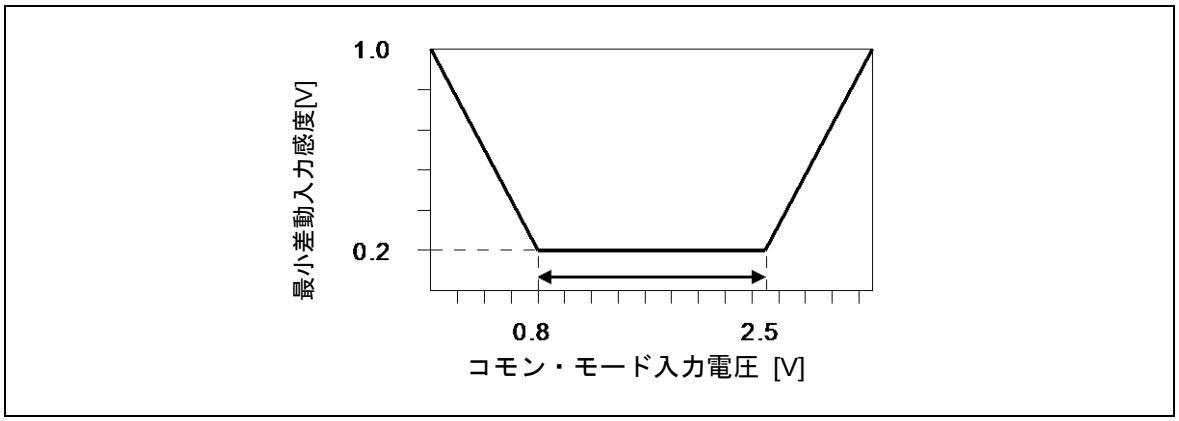
12.6 USB 特性

(V_{CC} = 2.7V ~ 5.5V, $USBV_{CC}$ = 3.0V ~ 3.6V, V_{SS} = 0V, T_A = - 40°C ~ + 85°C)

項目		記号	端子名	条件	規格値		単位	備考
					最小	最大		
入力特性	入力"H"レベル電圧	V_{IH}	UDP0,UDM0	-	2.0	$USBV_{CC}$ + 0.3	V	*1
	入力"L"レベル電圧	V_{IL}		-	V_{SS} - 0.3	0.8	V	*1
	差動入力感度	V_{DI}		-	0.2	-	V	*2
	差動コモンモードレンジ	V_{CM}		-	0.8	2.5	V	*2
出力特性	出力"H"レベル電圧	V_{OH}		外部プルダウン抵抗= 15 kΩ	2.8	3.6	V	*3
	出力"L"レベル電圧	V_{OL}		外部プルアップ抵抗= 1.5 kΩ	0.0	0.3	V	*3
	クロスオーバ電圧	V_{CRS}		-	1.3	2.0	V	*4
	立上り時間	t_{FR}		Full-Speed	4	20	ns	*5
	立下り時間	t_{FF}		Full-Speed	4	20	ns	*5
	立上り/立下り時間マッチング	t_{FRFM}		Full-Speed	90	111.11	%	*5
	出力インピーダンス	Z_{DRV}		Full-Speed	28	44	Ω	*6
	立上り時間	t_{LR}		Low-Speed	75	300	ns	*7
	立下り時間	t_{LF}		Low-Speed	75	300	ns	*7
	立上り/立下り時間マッチング	t_{LRFM}		Low-Speed	80	125	%	*7

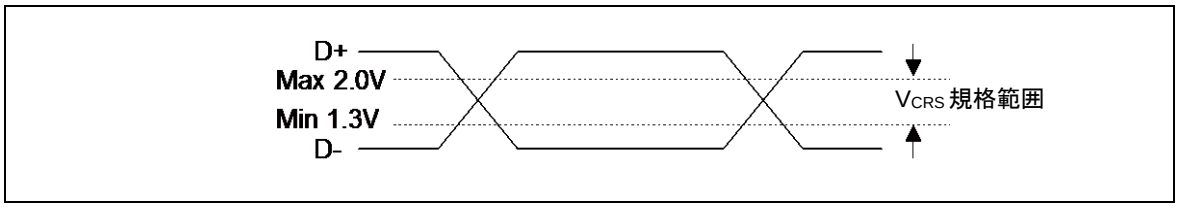
*1: USB I/O の Single-End-Receiver のスイッチング・スレッショルド電圧は V_{IL}(Max)=0.8 V, V_{IH}(Min)=2.0 V(TTL 入力規格)の範囲内に設定されています。また、ノイズ感度を低下させるためヒステリシス特性を持たせています。

*2: USB 差動データ信号の受信には、Differential-Receiver を使用します。
Differential-Receiver は、差動データ入力がローカル・グランド・リファレンス レベルに対し、
0.8 V ~ 2.5 V の範囲内にあるときには、200 mV の差動入力感度があります。
上記電圧範囲は、コモン・モード入力電圧範囲と言われています。

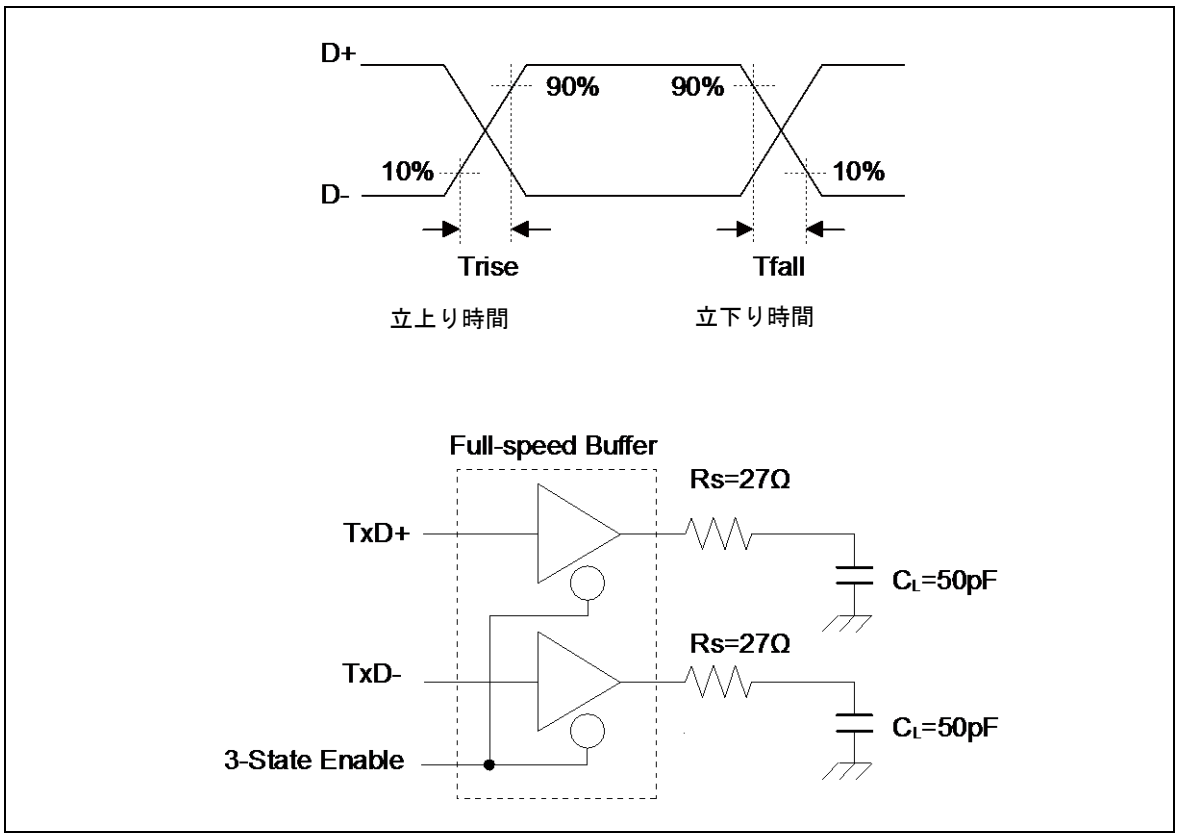


*3: ドライバの出力駆動能力は、Low-State(V_{OL})で 0.3 V 以下(対 3.6 V, 1.5 kΩ 負荷)、High-State(VOH)で 2.8 V 以上(対グランド, 15 kΩ 負荷)です。

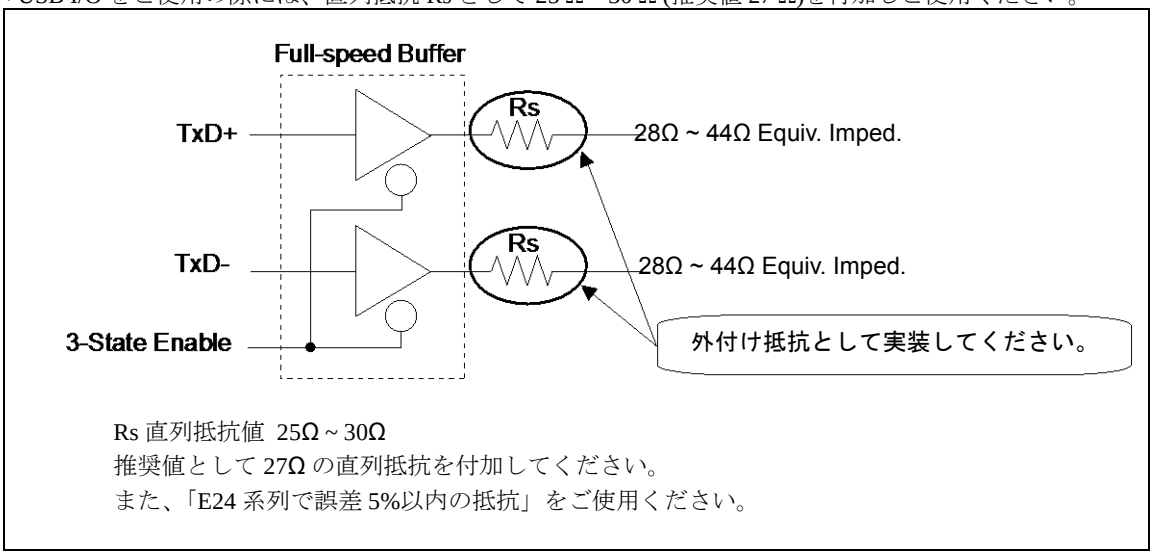
*4: USB I/O の外部差動出力信号(D+/D-)のクロス電圧は、1.3 V ~ 2.0 V の範囲内にあります。



*5: Full-Speed 差動データ信号の立上り(Trise)と立下り(Tfall)時間規定です。
出力信号電圧の 10% ~ 90%間の時間で定義されます。
また Full-speed Buffer に関しては、Tr/Tf は、RFI 放射を最小にするために、Tr/Tf 比を±10%以内と規定されています。

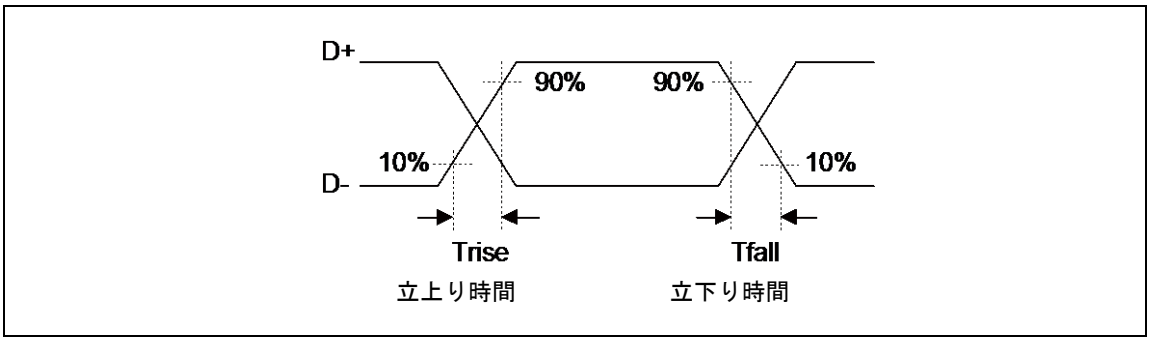


*6: USB Full-speed 接続は、90 Ω ± 15%の特性インピーダンス(Differential Mode)で、シールドされたツイスト・ペアケーブルを介して行われます。
USB 規格は、USB Driver の出力インピーダンスは 28 Ω ~ 44 Ω の範囲内になければならないことを規定しており、上記規格を満足し、バランスをとるために、ディスクリート直列抵抗器(Rs)を付加することを規定しています。
本 USB I/O をご使用の際には、直列抵抗 Rs として 25 Ω ~ 30 Ω (推奨値 27 Ω)を付加しご使用ください。



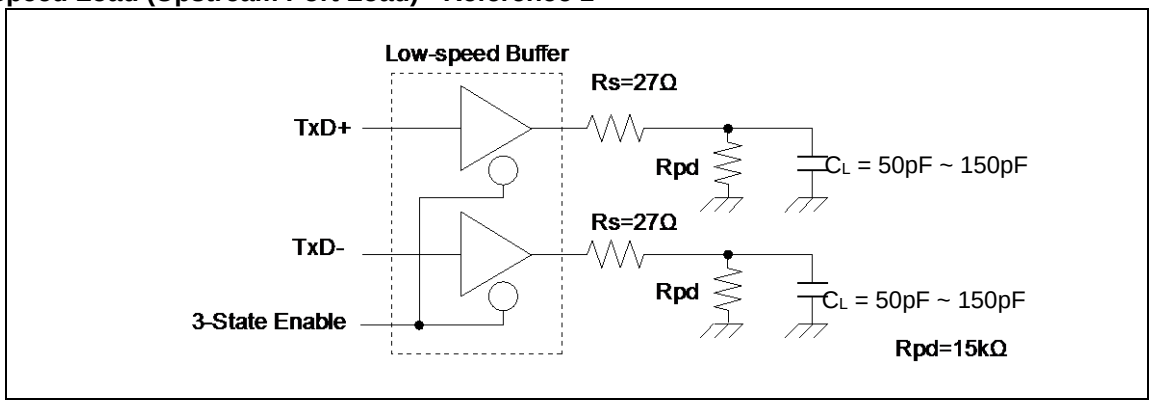
Rs 直列抵抗値 25Ω ~ 30Ω
推奨値として 27Ω の直列抵抗を付加してください。
また、「E24 系列で誤差 5%以内の抵抗」をご使用ください。

*7: Low-Speed 差動データ信号の立上り(Trise)と立下り(Tfall)時間規定です。
出力信号電圧の 10% ~ 90%間の時間で定義されます。

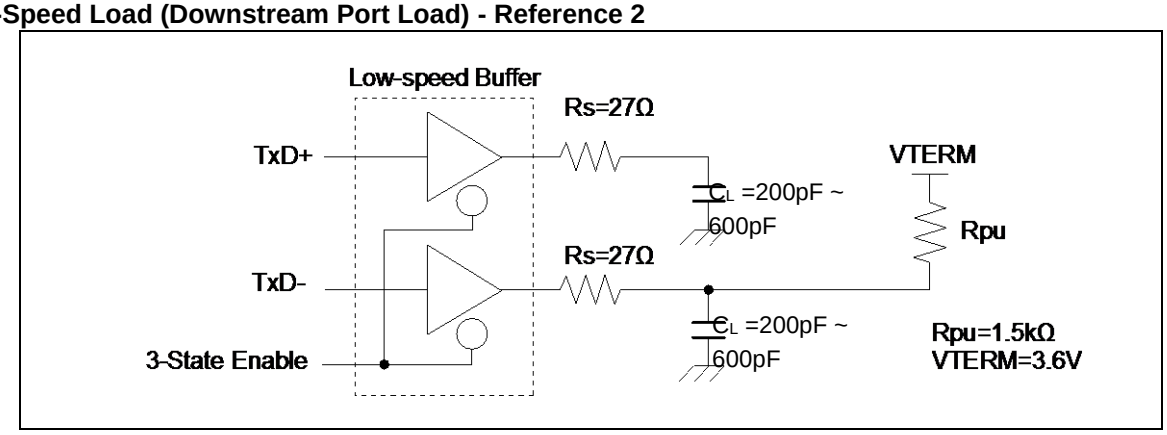


外部負荷条件は、「Low-Speed Load (Compliance Load)」を参照してください。

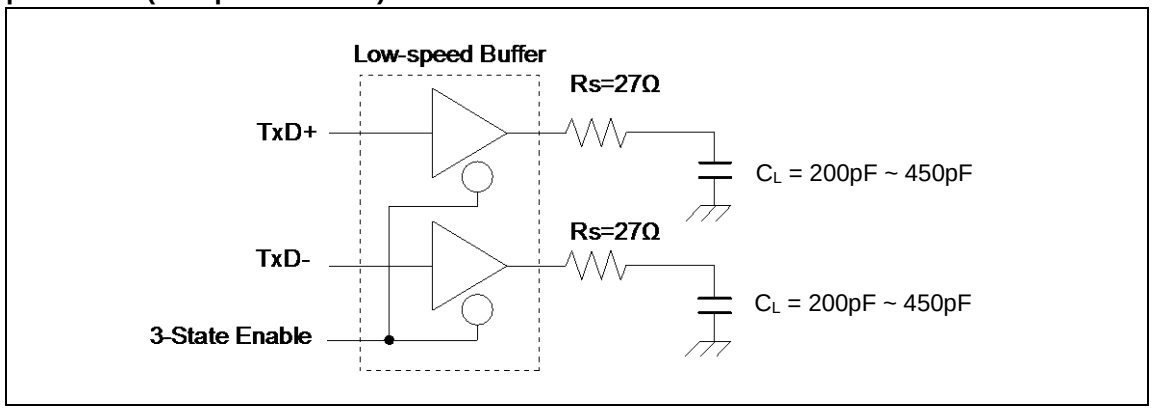
Low-Speed Load (Upstream Port Load) - Reference 1



Low-Speed Load (Downstream Port Load) - Reference 2



Low-Speed Load (Compliance Load)



12.7 低電圧検出特性

12.7.1 低電圧検出リセット

(T_A = - 40°C ~ + 85°C)

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
検出電圧	VDL	-	2.25	2.45	2.65	V	電圧降下時
解除電圧	VDH	-	2.30	2.50	2.70	V	電圧上昇時

12.7.2 低電圧検出割込み

(T_A = - 40°C ~ + 85°C)

項目	記号	条件	規格値			単位	備考
			最小	標準	最大		
検出電圧	VDL	SVHI = 0000	2.58	2.8	3.02	V	電圧降下時
解除電圧	VDH		2.67	2.9	3.13	V	電圧上昇時
検出電圧	VDL	SVHI = 0001	2.76	3.0	3.24	V	電圧降下時
解除電圧	VDH		2.85	3.1	3.34	V	電圧上昇時
検出電圧	VDL	SVHI = 0010	2.94	3.2	3.45	V	電圧降下時
解除電圧	VDH		3.04	3.3	3.56	V	電圧上昇時
検出電圧	VDL	SVHI = 0011	3.31	3.6	3.88	V	電圧降下時
解除電圧	VDH		3.40	3.7	3.99	V	電圧上昇時
検出電圧	VDL	SVHI = 0100	3.40	3.7	3.99	V	電圧降下時
解除電圧	VDH		3.50	3.8	4.10	V	電圧上昇時
検出電圧	VDL	SVHI = 0111	3.68	4.0	4.32	V	電圧降下時
解除電圧	VDH		3.77	4.1	4.42	V	電圧上昇時
検出電圧	VDL	SVHI = 1000	3.77	4.1	4.42	V	電圧降下時
解除電圧	VDH		3.86	4.2	4.53	V	電圧上昇時
検出電圧	VDL	SVHI = 1001	3.86	4.2	4.53	V	電圧降下時
解除電圧	VDH		3.96	4.3	4.64	V	電圧上昇時
LVD 安定待ち時間	t_{LVDW}	-	-	-	4032×t_{CYCP}*	µs	

*: t_{CYCP} は APB2 バスクロックのサイクル時間です。

12.8 メインフラッシュメモリ書込み/消去特性

12.8.1 書込み/消去時間

(V_{CC} = 2.7V ~ 5.5V, T_A = - 40°C ~ + 85°C)

項目		規格値			単位	備考
		最小	標準	最大		
セクタ消去時間	Large Sector	-	0.7	3.7	s	内部での消去前書込み時間を含む
	Small Sector		0.3	1.1		
ハーフワード(16 ビット) 書込み時間		-	12	384	µs	システムレベルのオーバヘッド時間は除く
チップ消去時間		-	8	38.4	s	内部での消去前書込み時間を含む

*: 標準は出荷直後の代表値、最大は書換え 10 万回までの保証値です。

12.8.2 書込みサイクルとデータ保持時間

消去/書込みサイクル(cycle)	保持時間(年)
1,000	20 *
10,000	10 *
100,000	5 *

*: 平均温度+85℃時

12.9 ワークフラッシュメモリ書込み/消去特性

12.9.1 書込み/消去時間

(V_{CC} = 2.7V ~ 5.5V, T_A = - 40°C ~ + 85°C)

項目	規格値			単位	備考
	最小	標準	最大		
セクタ消去時間	-	0.3	1.5	s	内部での消去前書込み時間を含む
ハーフワード(16 ビット) 書込み時間	-	20	384	µs	システムレベルのオーバヘッド時間は除く
チップ消去時間	-	1.2	6	s	内部での消去前書込み時間を含む

*: 標準は出荷直後の代表値、最大は書換え 1 万回までの保証値です。

12.9.2 書込みサイクルとデータ保持時間

消去/書込みサイクル(cycle)	保持時間(年)
1,000	20 *
10,000	10 *

*: 平均温度+85℃時

12.10スタンバイ復帰時間

12.10.1 復帰要因： 割込み

内部回路の復帰要因受付からプログラム動作開始までの時間を示します。

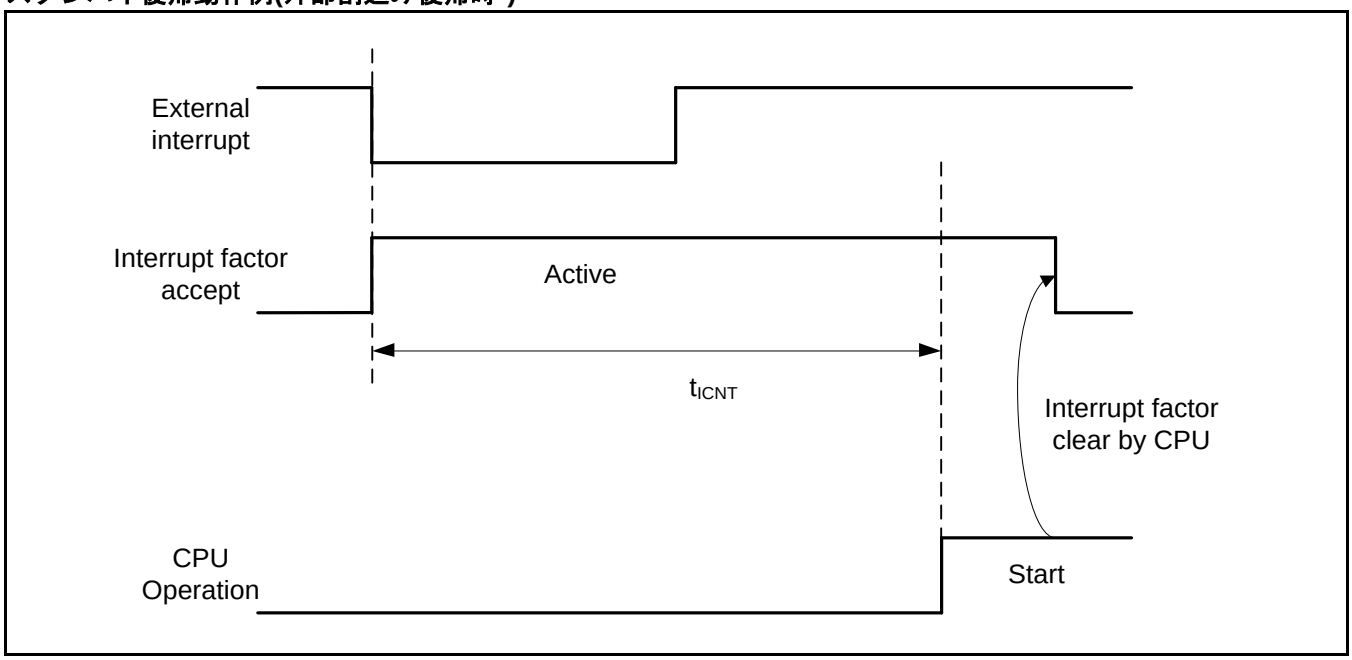
復帰カウント時間

(V_{CC} = 2.7V～5.5V, T_A = - 40°C～+ 85°C)

項目	記号	規格値		単位	備考
		標準	最大*		
スリープモード	t_{ICNT}	t_{CYCC}		ns	
高速 CR タイマモード, メインタイマモード, PLL タイマモード		40	80	µs	
低速 CR タイマモード		453	737	µs	
サブタイマモード		453	737	µs	
ストップモード		453	737	µs	

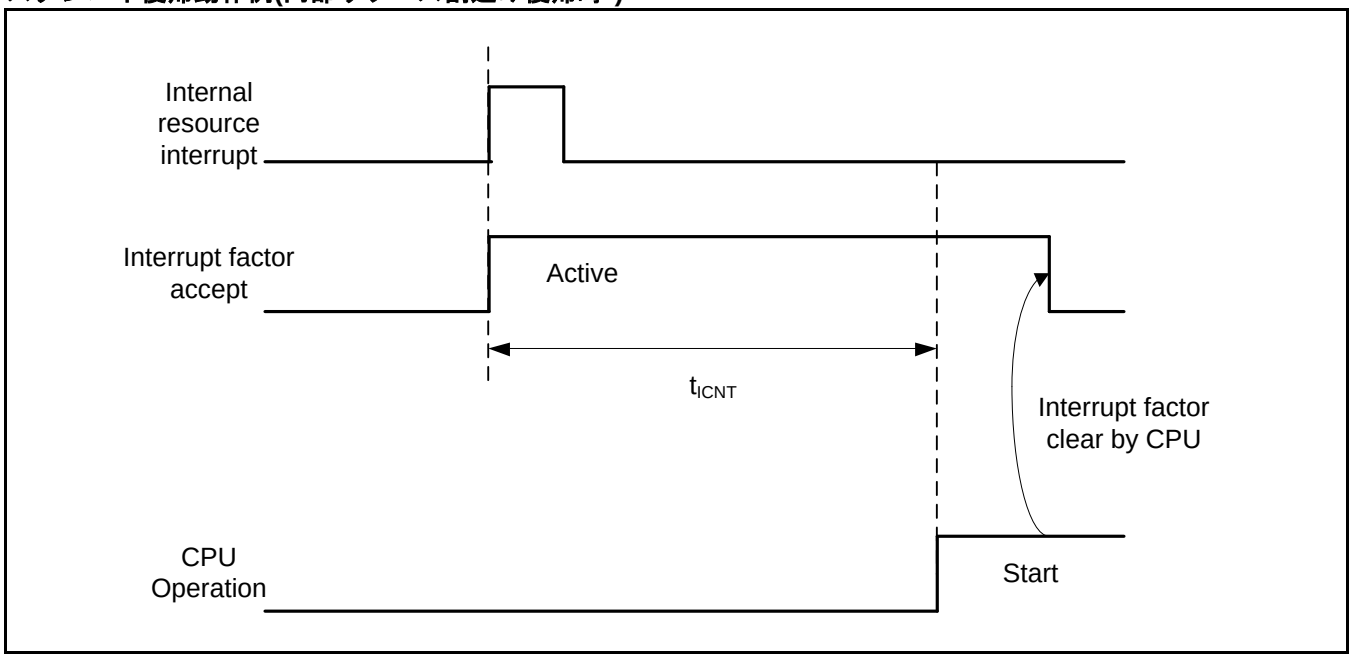
*: 規格値の最大値は内蔵 CR の精度に依存します。

スタンバイ復帰動作例(外部割込み復帰時*)



*: 外部割込みは立下りエッジ検出設定時

スタンバイ復帰動作例(内部リソース割込み復帰時*)



*: 低消費電力モードのとき、内部リソースからの割込みは復帰要因に含まれません。

＜注意事項＞

- *復帰要因は低消費電力モードごとに異なります。*

  各低消費電力モードからの復帰要因は『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 6:低消費電力モード』のスタンバイモード動作説明を参照してください。

- *割込み復帰時、CPU が復帰する動作モードは低消費電力モード遷移前の状態に依存します。詳細は『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』を参照してください。*

12.10.2 復帰要因： リセット

リセット解除からプログラム動作開始までの時間を示します。

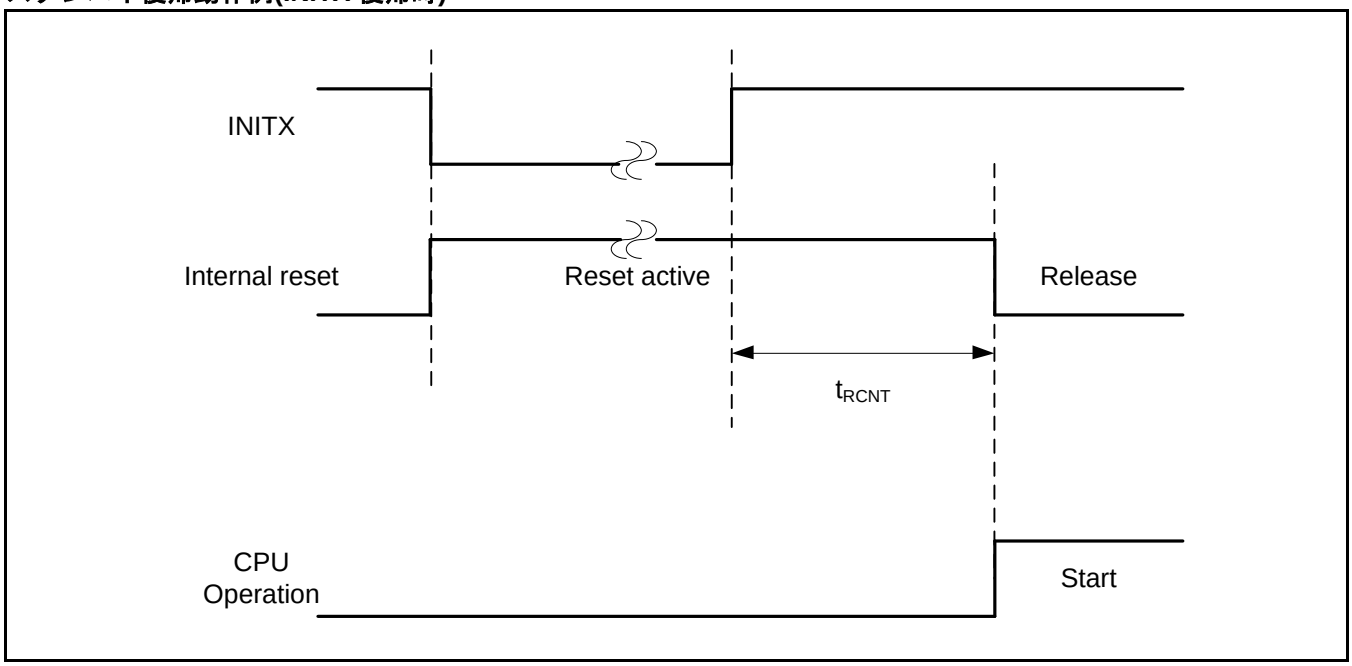
復帰カウント時間

(V_{CC} = 2.7V～5.5V, T_A = - 40°C～+ 85°C)

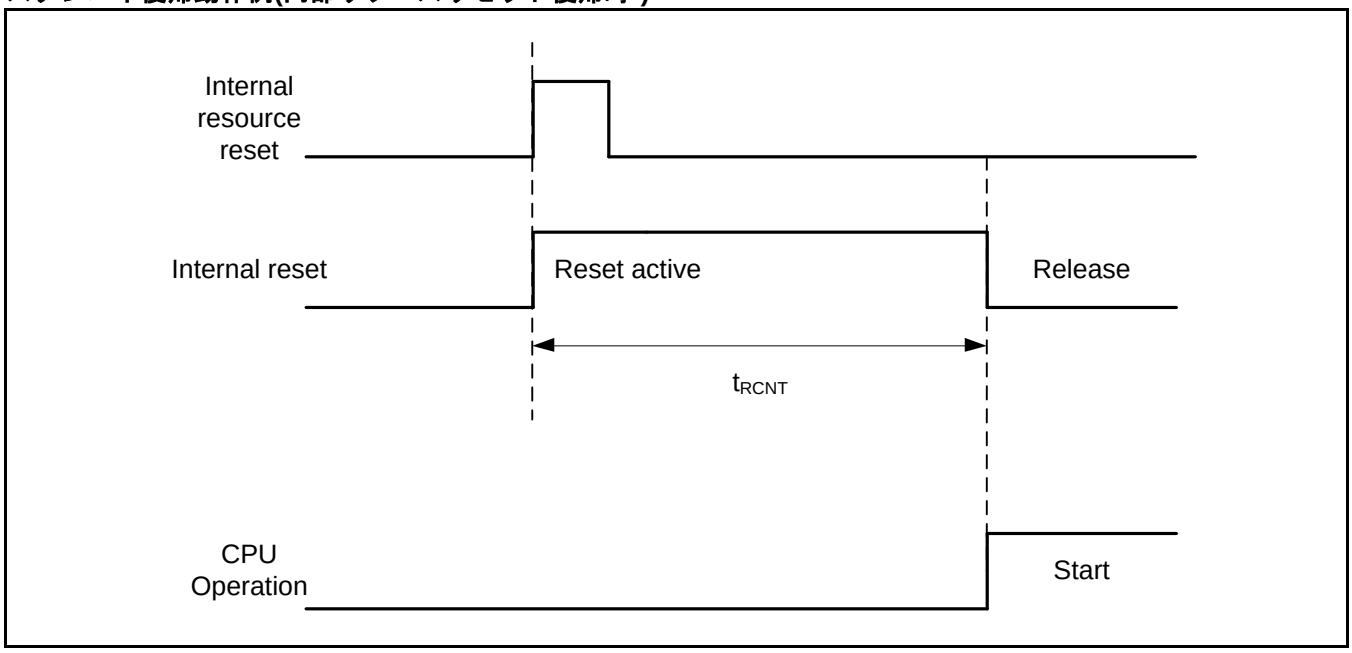
項目	記号	規格値		単位	備考
		標準	最大*		
スリープモード	t_{RCNT}	321	461	µs	
高速 CR タイマモード, メインタイマモード, PLL タイマモード		321	461	µs	
低速 CR タイマモード		441	701	µs	
サブタイマモード		441	701	µs	
ストップモード		441	701	µs	

*: 規格値の最大値は内蔵 CR の精度に依存します。

スタンバイ復帰動作例(INITX 復帰時)



スタンバイ復帰動作例(内部リソースリセット復帰時*)



*: 低消費電力モードのとき、内部リソースからのリセット発行は復帰要因に含まれません。

<注意事項>

- *復帰要因は低消費電力モードごとに異なります。*

  各低消費電力モードからの復帰要因は、『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』のスタンバイモード動作説明を参照してください。
- *割込み復帰時、CPU が復帰する動作モードは低消費電力モード遷移前の状態に依存します。詳細は『FM3 ファミリ ペリフェラルマニュアル』の『CHAPTER 6: 低消費電力モード』を参照してください。*
- *パワーオンリセット/低電圧検出リセット時は、復帰要因には含まれません。パワーオンリセット/低電圧検出リセット時は、「12.4.7.パワーオンリセットタイミング」を参照してください。*
- *リセットからの復帰時、CPU は高速 CR ランモードに遷移します。*

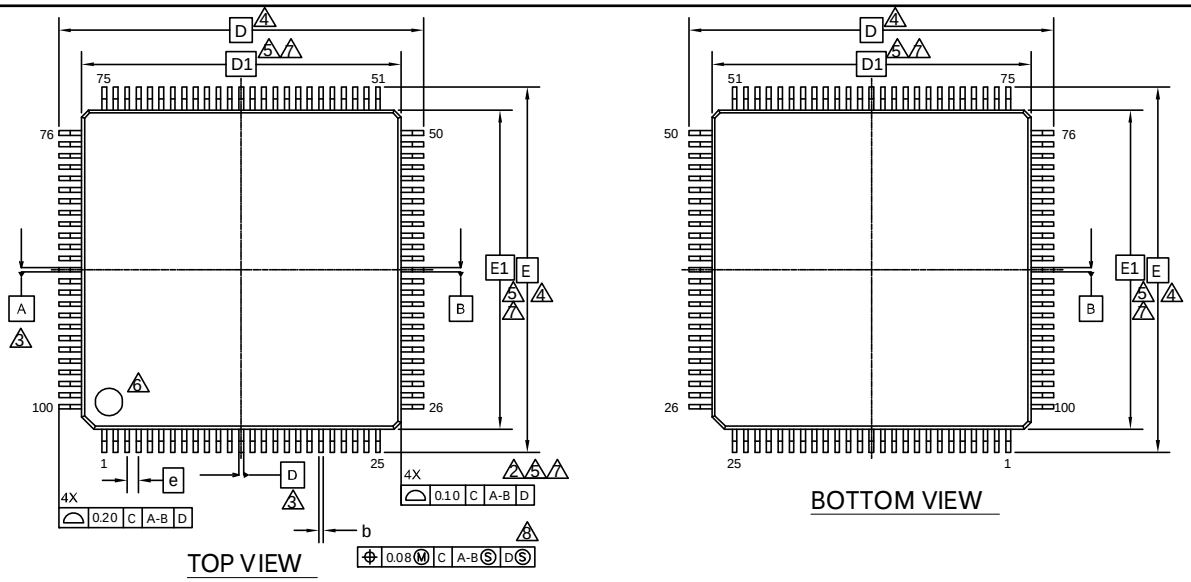
  メインクロックや PLL クロックを使用する場合、追加でメインクロック発振安定待ち時間や、メイン PLL クロックの安定待ち時間が必要になります。
- *内部リソースリセットとは、ウォッチドッグリセット, CSV リセットを指します。*

13. オーダ型格

型格	オンチップ フラッシュ メモリ	オンチップ SRAM	パッケージ	包装
MB9BF312NPQC-G-JNE2	Main: 128 Kbyte Work: 32 Kbyte	16 Kbyte	プラスチック・QFP, 100 ピン (0.65 mm ピッチ) (PQH100)	トレイ
MB9BF314NPQC-G-JNE2	Main: 256 Kbyte Work: 32 Kbyte	32 Kbyte		
MB9BF315NPQC-G-JNE2	Main: 384 Kbyte Work: 32 Kbyte	48 Kbyte		
MB9BF316NPQC-G-JNE2	Main: 512 Kbyte Work: 32 Kbyte	64 Kbyte		
MB9BF312NPMC-G-JNE2	Main: 128 Kbyte Work: 32 Kbyte	16 Kbyte	プラスチック・LQFP, 100 ピン (0.5 mm ピッチ) (LQI100)	
MB9BF314NPMC-G-JNE2	Main: 256 Kbyte Work: 32 Kbyte	32 Kbyte		
MB9BF315NPMC-G-JNE2	Main: 384 Kbyte Work: 32 Kbyte	48 Kbyte		
MB9BF316NPMC-G-JNE2	Main: 512 Kbyte Work: 32 Kbyte	64 Kbyte		
MB9BF312RPMC-G-JNE2	Main: 128 Kbyte Work: 32 Kbyte	16 Kbyte	プラスチック・LQFP, 120 ピン (0.5 mm ピッチ) (LQM120)	
MB9BF314RPMC-G-JNE2	Main: 256 Kbyte Work: 32 Kbyte	32 Kbyte		
MB9BF315RPMC-G-JNE2	Main: 384 Kbyte Work: 32 Kbyte	48 Kbyte		
MB9BF316RPMC-G-JNE2	Main: 512 Kbyte Work: 32 Kbyte	64 Kbyte		
MB9BF312NBGL-GE1	Main: 128 Kbyte Work: 32 Kbyte	16 Kbyte	プラスチック・FBGA, 112 ピン (0.8 mm ピッチ) (LBC112)	
MB9BF314NBGL-GE1	Main: 256 Kbyte Work: 32 Kbyte	32 Kbyte		
MB9BF315NBGL-GE1	Main: 384 Kbyte Work: 32 Kbyte	48 Kbyte		
MB9BF316NBGL-GE1	Main: 512 Kbyte Work: 32 Kbyte	64 Kbyte		

14.パッケージ・外形寸法図

Package Type	Package Code
LQFP 100	LQI100



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.05	—	0.15
b	0.15	—	0.27
c	0.09	—	0.20
D	16.00 BSC		
D1	14.00 BSC		
e	0.50 BSC		
E	16.00 BSC		
E1	14.00 BSC		
L	0.45	0.60	0.75
L1	0.30	0.50	0.70

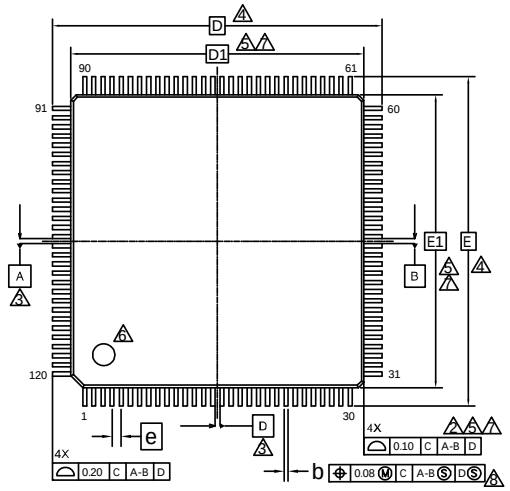
NOTES :

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
3. DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
4. TO BE DETERMINED AT SEATING PLANE C.
5. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
6. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
7. REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS. DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
8. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
9. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
10. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

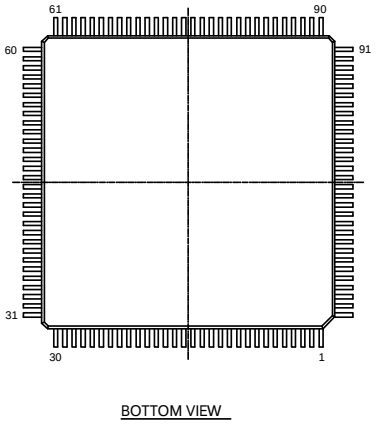
PACKAGE OUTLINE, 100 LEAD LQFP
14.0X14.0X1.7 MM LQI100 REV*A

002-11500 *A

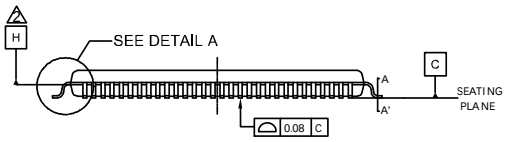
Package Type	Package Code
LQFP 120	LQM120



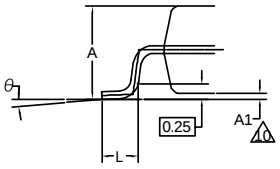
TOP VIEW



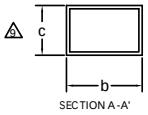
BOTTOM VIEW



SIDE VIEW



DETAIL A



SECTION A-A'

SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.70
A1	0.05	—	0.15
b	0.17	0.22	0.27
c	0.115	—	0.195
D		18.00 BSC	
D1		16.00 BSC	
e		0.50 BSC	
E		18.00 BSC	
E1		16.00 BSC	
L	0.45	0.60	0.75
θ	0°	—	8°

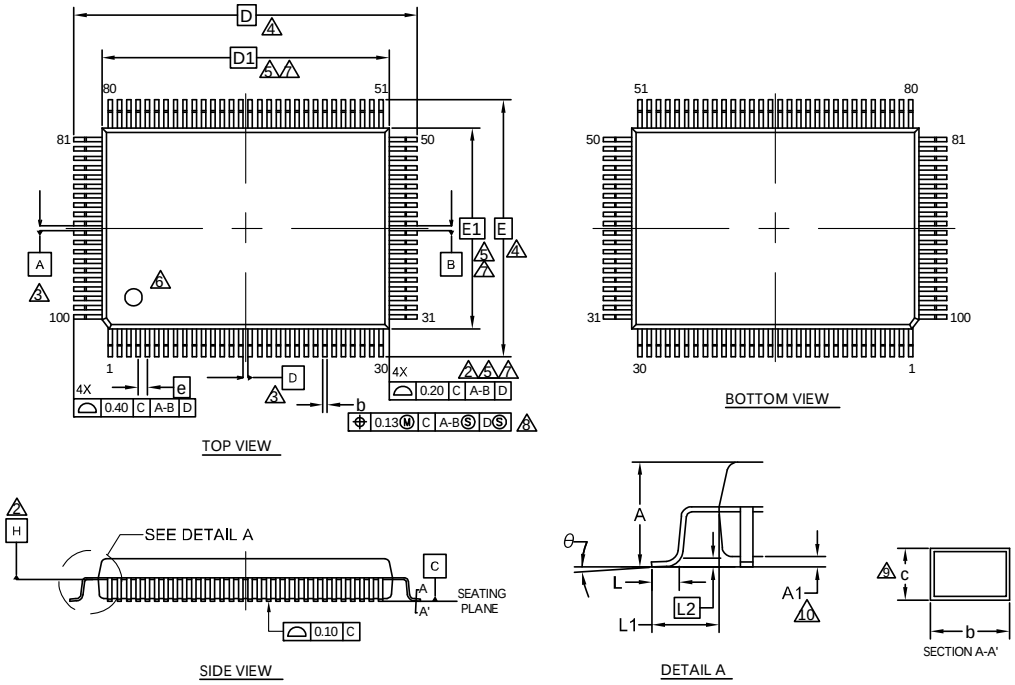
NOTES

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
3. DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
4. TO BE DETERMINED AT SEATING PLANE C.
5. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
6. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
7. REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS. DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
8. DIMENSION b DOES NOT INCLUDE DAMBER PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
9. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
10. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.
11. JEDEC SPECIFICATION NO. REF: N/A.

PACKAGE OUTLINE, 120 LEAD LQFP
18.0X18.0X1.7 MM LQM120 REV**

002-16172 **

Package Type	Package Code
QFP 100	PQH100



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	3.35
A1	0.05	—	0.45
b	0.27	0.32	0.37
c	0.11	—	0.23
D	23.90 BSC		
D1	20.00 BSC		
e	0.65 BSC		
E	17.90 BSC		
E1	14.00 BSC		
θ	0°	—	8°
L	0.73	0.88	1.03
L1	1.95 REF		
L2	0.25 BSC		

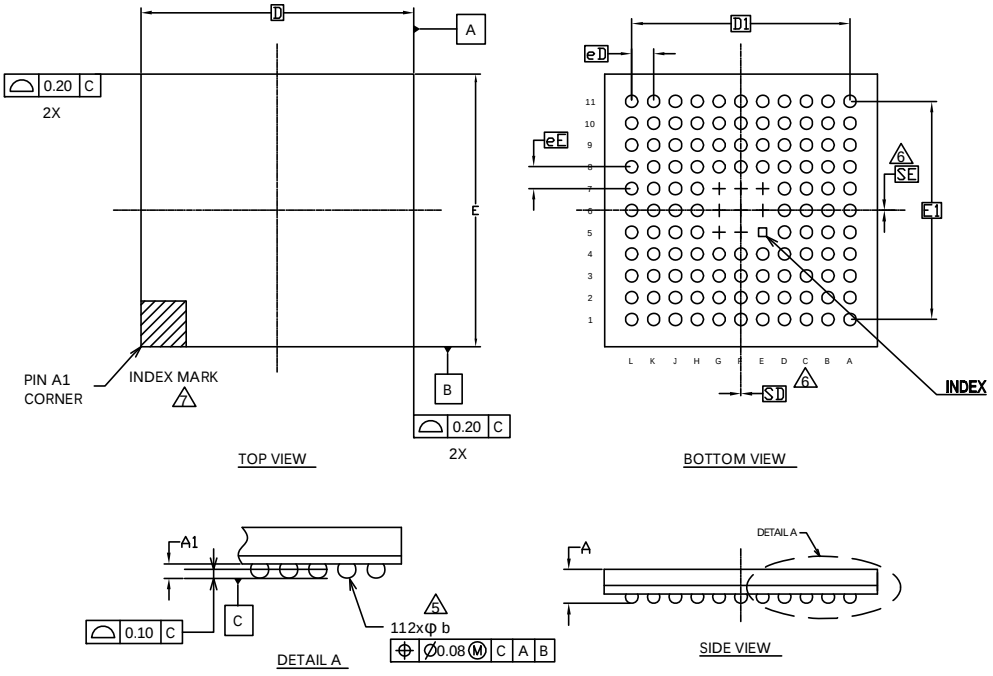
NOTES

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. DATUM PLANE H IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
3. DATUMS A-B AND D TO BE DETERMINED AT DATUM PLANE H.
4. TO BE DETERMINED AT SEATING PLANE C.
5. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25mm PRE SIDE. DIMENSIONS D1 AND E1 INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE H.
6. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED.
7. REGARDLESS OF THE RELATIVE SIZE OF THE UPPER AND LOWER BODY SECTIONS. DIMENSIONS D1 AND E1 ARE DETERMINED AT THE LARGEST FEATURE OF THE BODY EXCLUSIVE OF MOLD FLASH AND GATE BURRS. BUT INCLUDING ANY MISMATCH BETWEEN THE UPPER AND LOWER SECTIONS OF THE MOLDER BODY.
8. DIMENSION b DOES NOT INCLUDE DAMBER PROTRUSION. THE DAMBAR PROTRUSION (S) SHALL NOT CAUSE THE LEAD WIDTH TO EXCEED b MAXIMUM BY MORE THAN 0.08mm. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE LEAD FOOT.
9. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
10. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.

PACKAGE OUTLINE, 100 LEAD QFP
20.00X14.00X3.35 MM PQH100 REV**

002-15156 **

Package Type	Package Code
FBGA 112	LBC112



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	1.45
A1	0.25	0.35	0.45
D		10.00 BSC	
E		10.00 BSC	
D1		8.00 BSC	
E1		8.00 BSC	
MD		11	
ME		11	
N		112	
Ø b	0.35	0.45	0.55
eD		0.80 BSC	
eE		0.80 BSC	
SD		0.00	
SE		0.00	

NOTES:

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. SOLDER BALL POSITION DESIGNATIO N PER JEP95, SECTION 3, SPP-020.
3. "e" REPRESENTS THE SOLDER BALL GRID PITCH.
4. SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION.
   SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION.
   N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
5. DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
6. "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW.
   WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" OR "SE" = 0.
   WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
7. A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK METALIZED MARK, INDENTATION OR OTHER MEANS.
8. "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED SOLDER BALLS.

PACKAGE OUTLINE, 112 BALL FBGA
10.00X10.00X1.45 MM LBC112 REV** 002-13225 **

15. 主な変更内容

Spansion Publication Number: DS706-00027

ページ	場所	変更箇所
Revision 1.0		
-	-	Initial release
Revision 2.0		
6	■特長 ・外部割込み制御ユニット	外部割込み入力端子を訂正
101	■電気的特性 5. 12 ビット A/D コンバータ ・A/D 変換部電気的特性	コンペアクロック周期の規格値を訂正 最大: 10000 → 2000
110	■オーダ型格	型格を訂正
Revision 2.1		
-	-	社名変更および記述フォーマットの変換
Revision 3.0		
2	■特長 ・外部バスインターフェース	最大アクセスサイズ 256M バイトを追記
3	■特長 ・USB インターフェース	USB 用 PLL 搭載を追記
10	■パッケージと品種対応	ES 品の記載を削除
28, 29	■端子機能一覧 ・端子番号別	P63~P68 の入出力回路形式を E→G に修正
48-50	■入出力回路形式	回路形式 E と F と G と I に I^2C 端子使用時の動作を追記
48, 49	■入出力回路形式	+B 入力可能な回路形式に追記
55	■デバイス使用上の注意	"・電源電圧の安定化について"を追記
55	■デバイス使用上の注意 ・水晶発振回路について	以下の文を追記 実装基板にて、使用する水晶振動子の発振評価を実施してください。
56	■デバイス使用上の注意 ・C 端子について	文を変更
58	■ブロックダイヤグラム	図を修正
59	■メモリマップ ・メモリマップ(1)	"Extarnal Device Area"の領域を修正
60, 61	■メモリマップ ・メモリマップ(2)	フラッシュメモリのセクタ構成の概略と、詳細はフラッシュプログラミングマニュアルを参照するよう追記
67, 68	■電気的特性 1. 絶対最大定格	・最大クランプ電流を追加。 ・P80, P81 の出力電流を追加。 ・+B 入力について追加。
69	■電気的特性 2. 推奨動作条件	・アナログ基準電圧の最小値を AV_{SS}→2.7V に修正 ・平滑コンデンサ容量を追記 ・電源電圧が最小値未満について追記
70, 71	■電気的特性 3. 直流規格 (1) 電流規格	・表の形式を変更 ・メインタイマモード電流を追加 ・フラッシュメモリ電流を追加 ・A/D コンバータ電流を移動 ・低電圧検出回路(LVD)電源電流の単位を修正
74	■電気的特性 4. 交流規格 (1) メインクロック入力規格	内部動作クロック周波数にマスタクロックを追加
75	■電気的特性 4. 交流規格 (3) 内蔵 CR 発振規格	内蔵高速 CR の周波数安定時間を追加

ページ	場所	変更箇所
76	■電気的特性 4. 交流規格 (4-1) メイン PLL・USB 用 PLL の使用条件 (4-2) メイン PLL の使用条件	・メイン PLL クロック周波数を追加 ・USB クロック周波数を追加 ・メイン PLL 接続図と USB 用 PLL 接続図を追加
77	■電気的特性 4. 交流規格 (6) パワーオンリセットタイミング	・パワーオンリセット解除までの時間を追加 ・タイミング図を変更
79-81	■電気的特性 4. 交流規格 (7) 外バスタイミング	データ出力時間を修正
89-96	■電気的特性 4. 交流規格 (7) CSIO/UART タイミング	・UART タイミング→CSIO/UART タイミングに修正 ・内部シフトクロック動作→マスタモードに変更 ・外部シフトクロック動作→スレーブモードに変更
103	■電気的特性 5. 12 ビット A/D コンバータ	・積分/微分直線性誤差、ゼロ/フルスケールトランジション電圧の標準値を追加 ・AVcc＜4.5V 時の変換時間を追加 ・動作許可状態遷移期間を最小値から最大値に修正 ・基準電圧の最小値を AV_{SS}→2.7V に修正
106	■電気的特性 6. USB 特性	出力 Low レベル電圧の条件を修正
110	■電気的特性 7. 低電圧検出特性 (2) 低電圧検出割込み	LVD 安定待ち時間を修正
112-115	■電気的特性 9. スタンバイ復帰時間	スタンバイ復帰時間を追加
116	■オーダ型格	型格の表記を変更
117-120	■パッケージ・外形寸法図	FPT-100P-M20 と FPT-120P-M21 を削除

注意事項: 以降の変更点に関しては、「改訂履歴」を参照してください。

改訂履歴

文書名: MB9B310R シリーズ 32 ビット ARM® Cortex®-M3 FM3 マイクロコントローラ
文書番号: 002-05620

版	ECN 番号	変更者	発行日	変更内容
**	-	TOYO	03/13/2015	サイプレスとしてドキュメントコード 002-05620 に登録しました。 本版の内容およびフォーマットに変更はありません。 (これは英語版の 002-05619 Rev.** を翻訳した日本語版です。)
*A	5175346	TOYO	03/18/2016	これは英語版の 002-05619 Rev.*A を翻訳した日本語版です。 社名変更と記述フォーマットの変換 パッケージコードを以下の通り変更 FPT-100P-M23 → LQI100-02 FPT-120P-M37 → LQM120-02 FPT-100P-M36 → PQH100 BGA-112P-M04 → LBC112 USB ファンクションを USB デバイスに修正 P.20 MD0 の入出力回路形式を修正 P.44 JTAG 端子についての注意事項を追加 P.56 ブロック図の X1A を修正 P.75-76 PLL マクロ発振クロック周波数の最大値を 144MHz に修正 P.116-119 パッケージ外形寸法図を変更
*B	5314951	TOYO	06/23/2016	これは英語版の 002-05619 Rev.*B を翻訳した日本語版です。 P.115 型格を修正
*C	5668294	YSKA	03/23/2017	これは英語版の 002-05619 Rev.*C を翻訳した日本語版です。 “12.4.7 パワーオンリセット タイミング”の「電源立上がり時間(t_{VCCR})[ms]」 を「電源立上り速度(dV/dt)[mV/µs]」に変更。また、備考および<注意事項>としてコメントを追記(78 ページ) “特長”のリアルタイムクロック(RTC:Real Time Clock) のカウント年数を 00～に修正。割込み機能の指定条件から「秒/曜日」を削除(3 ページ) パッケージコードを以下の様に変更(9-13, 68, 116 ページ) LQI100-02 -> LQI100, LQM120-02 -> LQM120 “14. パッケージ・外形寸法図”を更新(117-120 ページ) “13. オーダ型格”の誤記を修正(116 ページ) ”12.4.10 CSIO/UART タイミング”の項目にボーレートを追加(89, 91, 93, 95 ページ)

セールス，ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、サイプレスのロケーション ページをご覧ください。

製品

ARM® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック&バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス／RF	cypress.com/wireless

PSoC® ソリューション

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

フォーラム | WICED IOT Forums | Projects | ビデオ | ブログ | トレーニング | Components

テクニカルサポート

cypress.com/support

ARM and Cortex are the registered trademarks of ARM Limited in the EU and other countries.

All other trademarks or registered trademarks referenced herein are the property of their respective owners.

© Cypress Semiconductor Corporation, 2012-2017. 本書面は, Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社（以下「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア（以下「本ソフトウェア」という。）を含む）は，アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し，本段落で特に記載されているものを除き，その特許権，著作権，商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず，かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合，Cypress は，(1) 本ソフトウェアの著作権に基づき，(a) ソースコード形式で提供されている本ソフトウェアについて，Cypress ハードウェア製品と共に用いるためにのみ，かつ組織内部でのみ，本ソフトウェアの修正及び複製を行うこと，並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ，（直接又は再販売者及び販売代理店を介して間接のいずれかで）本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること，並びに (2) 本ソフトウェア（Cypress により提供され，修正がなされていないもの）が抵触する Cypress の特許権のクレームに基づき，Cypress ハードウェア製品と共に用いるためにのみ，本ソフトウェアの作成，利用，配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用，複製，修正，変換又はコンパイルを禁止する。

適用される法律により許される範囲内で，Cypress は，本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても，明示又は黙示をとわず，いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。適用される法律により許される範囲内で，Cypress は，別途通知することなく，本書面を変更する権利を留保する。Cypress は，本書面に記載のある，いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は，参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計，プログラム，かつテストすることは，本書面のユーザーの責任において行われるものとする。Cypress 製品は，兵器，兵器システム，原子力施設，生命維持装置若しくは生命維持システム，蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム，汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用，又は装置若しくはシステムの不具合が人身傷害，死亡若しくは物的損害を生じさせるようなその他の使用（以下「本目的外使用」という。）のためには設計，意図又は承認されていない。重要な構成部分とは，それの不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ，若しくは本目的外使用に関連するいかなる請求，損害又はその他の責任についても，Cypress はその全部又は一部をとわず一切の責任を負わず，かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求，費用，損害及びその他の責任（人身傷害又は死亡に基づく請求を含む）から免責補償される。

Cypress、Cypress のロゴ、Spansion、Spansion のロゴ及びこれらの組み合わせ、WICED、PSoC、CapsSense、EZ-USB、F-RAM、及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress の商標のより完全なリストは、cypress.com を参照のこと。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。