MS6616 数据手册

2025 年 06 月
V1.1

16 通道 16-Bit，1MSPS 双路同步采样 ADC

1.0 概述

MS6616 内置 16 个采样通道的 16 位 ADC，支持双通道同步采样，采样速率为 1 MSPS。

MS6616 仅采用 5V 电源供电，即可支持转换±10V/±5V/ ±2.5V 的真双极性输入信号。每个通道可达到 89dB 的信噪比。通过片上过采样模式，可以获得更优的信噪比性能。输入端口集成钳位保护电路，可以承受高达±22 V 钳位电压。

为了简化数据采集系统的 PCB 设计，MS6616 内置了具有 1MΩ 输入阻抗的输入缓冲器和抗混叠滤波器，以便于直接采集模拟信号，无需驱动运算放大器和外部双极性电源。MS6616 集成了可灵活配置的高精度基准电压产生器和缓冲器。

MS6616 支持并行模式或串行模式，通过硬件引脚的不同连接模式进行配置。该功能为器件与微处理器或 DSP 的接口连接创造了多种连接条件。MS6616 采用 80 管脚 LQFP 封装。

2.0 应用

- 电源线路监测保护系统
- 继电保护系统
- 多相电机控制
- 仪表和控制系统
- 数据采集系统

3.0 特点

- 双路 16 位逐次逼近型 ADC
- 真双极性模拟输入
- 输入信号范围：±10V，±5V，±2.5V
- 转换速率：2×1MSPS
- 低功耗：210mW（内部基准）
- 片内基准电压源及缓冲器
- 并行、串行接口模式
- 高速串行接口兼容 SPI 接口协议
- 80 引脚 LQFP 封装
- 模拟输入通道提供 4kV ESD 额定值

4.0 主要性能指标

- ENOB： 14.5 Bit (典型值)
- SNR： 89 dB (典型值)
- SINAD： 88 dB (典型值)
- SFDR： -106 dB (典型值)
- INL： ±1 LSB (典型值)
- DNL: ±0.5 LSB (典型值)
- 工作功耗： 210 mW (内部基准)
- 工作温度： -40℃~+125℃

5.0 简化框图

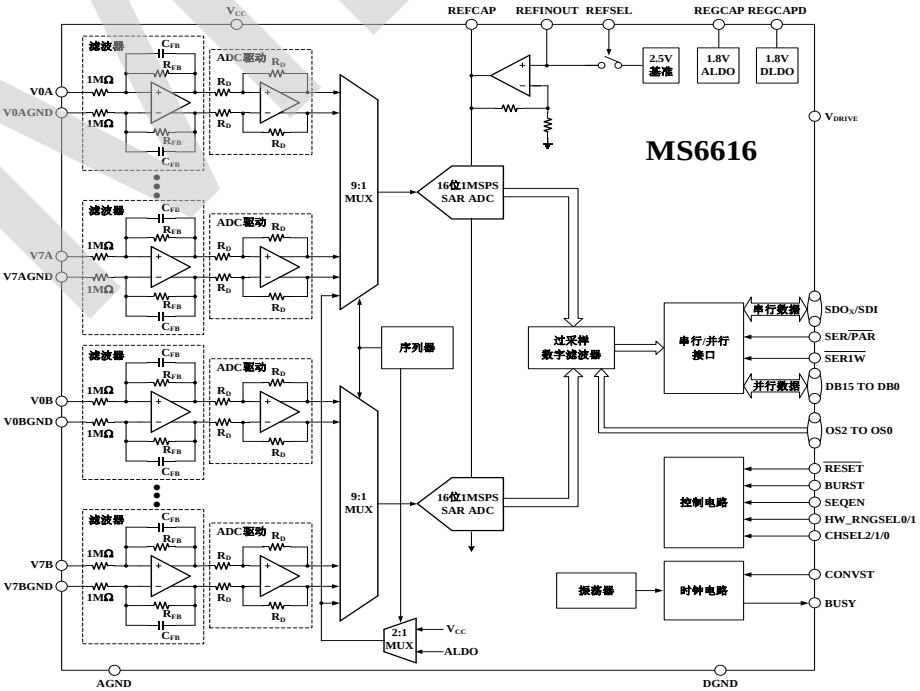


图 1.MS6616 系统框图

6.0 技术规格

除非另有说明，内部/外部基准电压均为 V_{REF}=2.5V，AV_{CC}=4.75V 至 5.25V，V_{DRIVE}=2.3V 至 5V，f_{SAMPLE}=1MSPS。

表 1

参数	测试条件/注释	最小值	典型值	最大值	单位
动态性能（f_{in}=1.1kHz 正弦波，除非另有说明）					
信纳比（SINAD）	无过采样，±10 V 范围	87	90		dB
	无过采样，±5 V 范围	86.5	89		dB
	无过采样，±2.5 V 范围	85.5	86.5		dB
信噪比（SNR）	无过采样，±10V 范围	88	90		dB
	无过采样，±5V 范围	87.5	89		dB
	无过采样，±2.5V 范围	86	87		dB
	过采样，见表 5				
总谐波失真（THD）	无过采样，±10V 范围		-103	-102	dB
	无过采样，±5V 范围		-103	-101	dB
	无过采样，±2.5V 范围		-102	-101	dB
峰值谐波或杂散噪声（SFDR）	无过采样，±10V 范围		-107	-105	dB
	无过采样，±5V 范围		-106	-104	dB
	无过采样，±2.5V 范围		-104	-103	dB
全功率带宽	-3 dB，±10V 范围		22		kHz
	-3 dB，±5V 范围		15		kHz
	-3 dB，±2.5V 范围		14		kHz
	-0.1 dB，±10V 范围		10		kHz
	-0.1 dB，±5V 范围		5		kHz
	-0.1 dB，±2.5V 范围		5		kHz
通道隔离度	未选中的通道 f_{in} 高达 160kHz		-100		dB
直流精度					
分辨率			16		Bit
无失码		16			Bit
积分非线性（INL）			±1	±1.5	LSB
微分非线性（DNL）			±0.5	±0.99	LSB
双极性零电平误差			±2	±6	LSB
正满量程误差	±10V 范围		±8	±45	LSB
	±5V 范围		±10	±32	LSB
	±2.5V 范围		±10	±32	LSB
正满量程误差漂移	±10V 范围/内部基准		±5		ppm/°C
	±5V 范围/内部基准		±5		ppm/°C
	±2.5V 范围/内部基准		±5		ppm/°C
正满量程误差匹配	±10V 范围		5	32	LSB
	±5V 范围		10	40	LSB
	±2.5V 范围		10	40	LSB
负满量程误差	±10V 范围		±8	±45	LSB
	±5V 范围		±10	±32	LSB
	±2.5V 范围		±10	±32	LSB
负满量程误差漂移	±10V 范围/内部基准		±5		ppm/°C
	±5V 范围/内部基准		±5		ppm/°C
	±2.5V 范围/内部基准		±5		ppm/°C
负满量程误差匹配	±10V 范围		5	32	LSB
	±5V 范围		10	40	LSB

MECS

	±2.5V 范围		5	40	LSB
模拟输入					
输入电压范围	HW_RNGSEL<1:0> = 11	−10		10	V
	HW_RNGSEL<1:0> = 10	−5		5	V
	HW_RNGSEL<1:0> = 01	−2.5		2.5	V
	HW_RNGSEL<1:0> = 00		寄存器配置		
输入电容			10		pF
模拟输入电流		−10		10	μA
输入阻抗			1		MΩ
基准电压输入/输出范围					
基准输出电压		2.45	2.5		V
基准电压源温度系数			±5	±12	ppm/°C
逻辑输入					
输入高电压（VINH）		0.7*V_{DRIVE}			V
输入低电压（VINL）				0.3*V_{DRIVE}	V
逻辑输出					
输出高电压（VOH）	I_{SOURCE}=100μA	V_{DRIVE}-0.2			V
输出低电压（VOL）	I_{SINK}=100μA			0.2	V
转换速率					
转换时间	每对通道		**0.6**		μs
采样保持器采集时间	每对通道		**0.4**		μs
吞吐率	每对通道			1	MSPS
电源要求					
A_{VCC}		4.75	5	5.25	V
V_{DRIVE}		2.3	3.3	5	V
I_{AVCC}	f_{SAMPLE} = 1 MSPS		40		mA
I_{DRIVE}	f_{SAMPLE} = 1 MSPS		1		mA
功耗					
正常模式	f_{SAMPLE} = 1 MSPS		210	230	mW

注：LSB 表示最低有效位。±2.5 V 输入范围时，1 LSB = 76.293μV。±5 V 输入范围时，1 LSB = 152.58μV。±10 V 输入范围时，1 LSB = 305.175μV。

MECS

7.0 时序规格

除非另有说明，内部/外部基准电压均为 V_{REF}=2.5V，AV_{CC}=4.75V 至 5.25V，V_{DRIVE}=2.3V 至 5V，T_A = −40°C 至+125°C。

表 2

参数	描述	最小值	典型值	最大值	单位
通用时序					
t_{CYCLE}	吞吐速率（**连续 CONVST 上升沿之间的最短时间（不包括突发和过采样模式）**）	1			μs
t_{CONV_low}	CONVST 低电平脉冲宽度	50			ns
t_{CONV_high}	CONVST 高电平脉冲宽度	50			ns
t_{BUSY_delay}	CONVST 高电平到 BUSY 高电平			40	ns
t_{CS_setup}	BUSY 下降沿到$\overline{CS}$下降沿建立时间	20			ns
t_{CH_setup}	硬件模式下 CHSELx 的通道选择建立时间	50			ns
t_{CH_hold}	硬件模式下 CHSELx 的通道选择保持时间	20			ns
t_{CONV}	**选定通道对的转换时间**		600	650	ns
t_{ACQ}	**选定通道对的采集时间**	350			ns
t_{QUIET}	$\overline{CS}$上升沿到下一 CONVST 上升沿时间	50			ns
复位时序					
$t_{\overline{RESET}_low}$					
部分复位	部分复位时$\overline{RESET}$低电平脉冲宽度	40		500	ns
完全复位	完全复位时$\overline{RESET}$低电平脉冲宽度	1.2			μs
t_{DEVICE_setup}					
部分复位	部分$\overline{RESET}$高电平到 CONVST 上升沿时间	50			ns
完全复位	完全$\overline{RESET}$高电平到 CONVST 上升沿时间	15			ms
t_{WRITE}					
部分复位	对于写操作，$\overline{RESET}$上升沿到$\overline{CS}$下降沿之间的时间	50			ns
完全复位	对于写操作，$\overline{RESET}$上升沿到$\overline{CS}$下降沿之间的时间	2			ms
$t_{\overline{RESET}_wait}$	电源 A_{VCC} 稳定到$\overline{RESET}$释放时间	1			ms
$t_{\overline{RESET}_setup}$	在释放$\overline{RESET}$之前，被查询硬件输入建立时间				
部分复位		10			ns
完全复位		0.05			ms
$t_{\overline{RESET}_hold}$	在释放$\overline{RESET}$之后，被查询硬件输入保持稳定时间				
部分复位		10			ns
完全复位		0.24			ms
并行模式时序					
$t_{\overline{RD}_setup}$	$\overline{CS}$下降沿到$\overline{RD}$下降沿建立时间	10			ns
$t_{\overline{RD}_hold}$	$\overline{RD}$上升沿到$\overline{CS}$上升沿保持时间	10			ns
$t_{\overline{RD}_high}$	$\overline{RD}$高电平脉冲宽度	10			ns
$t_{\overline{RD}_low}$	$\overline{RD}$低电平脉冲宽度	30			ns
t_{DOUT_setup}	$\overline{RD}$下降沿后的数据访问时间			30	ns
t_{DOUT_3state}	$\overline{CS}$上升沿到 DBx 的高阻抗状态			11	ns
$t_{\overline{WR}_setup}$	$\overline{CS}$到$\overline{WR}$建立时间	10			ns
$t_{\overline{WR}_high}$	$\overline{WR}$高电平脉宽	20			ns
$t_{\overline{WR}_low}$	$\overline{WR}$低电平脉宽	30			ns
$t_{\overline{WR}_hold}$	$\overline{WR}$保持时间	10			ns
t_{DIN_setup}	配置数据到$\overline{WR}$建立时间	30			ns
t_{DIN_hold}	SCLK 下降沿后的数据输入保持时间	10			ns
t_{CONF_settle}	配置数据稳定时间，$\overline{WR}$上升沿到CONVST上升沿	20			ns

MECS

表 2 续

参数	描述	最小值	典型值	最大值	单位
串行模式时序					
f_{SCLK}	SCLK 频率			25	MHz
t_{DOUT_setup}	SCLK 上升沿后的数据访问时间				
	VDRIVE 高于 3.3V			30	ns
	VDRIVE 高于 2.7V			35	ns
	VDRIVE 高于 2.3V			40	ns
t_{SCLK_low}	SCLK 低电平脉冲宽度	20			ns
t_{SCLK_high}	SCLK 高电平脉冲宽度	20			ns
t_{SCLK_hold}	SCLK 到$\overline{CS}$上升沿保持时间	10			ns
t_{SCLK_setup}	$\overline{CS}$下降沿直到 SCLK 下降沿建立时间				
	VDRIVE 高于 3.3V			20	ns
	VDRIVE 高于 2.7V			25	ns
	VDRIVE 高于 2.3V			30	ns
t_{DOUT_hold}	SCLK 上升沿后的数据输出保持时间	4			ns
t_{DIN_setup}	SCLK 下降沿前的数据输入建立时间	10			ns
t_{DIN_hold}	SCLK 下降沿前的数据输入保持时间	8			ns
t_{DOUT_3state}	$\overline{CS}$上升沿到 DOUT 高阻状态			10	ns

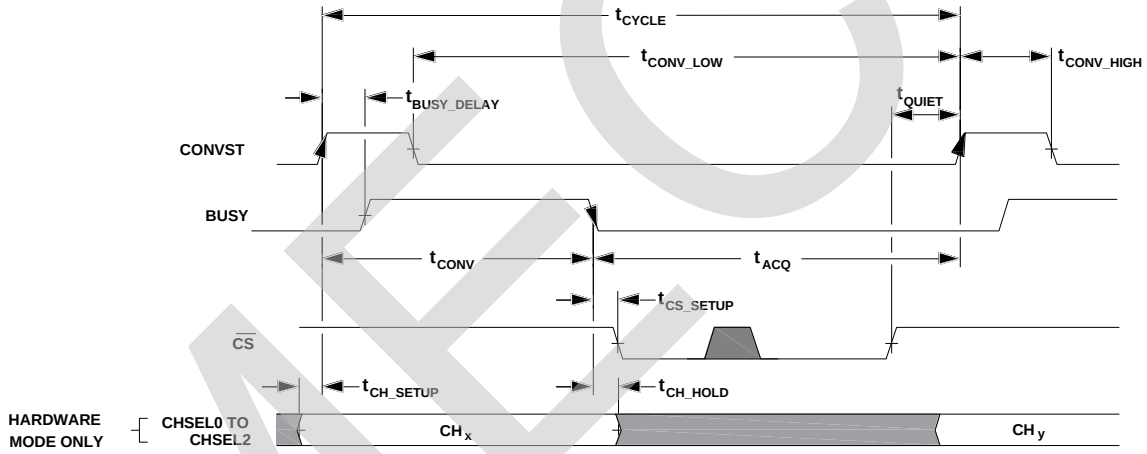


图 2.所有接口通用时序图

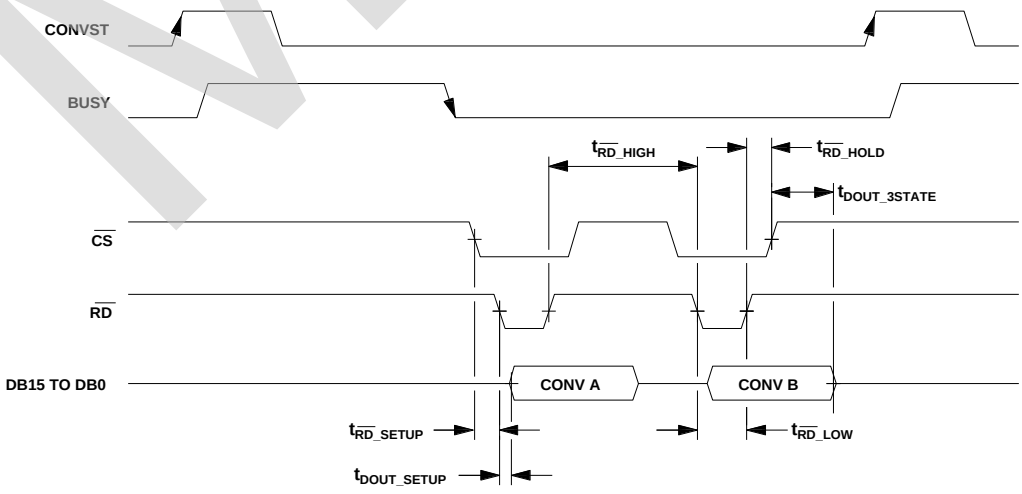


图 3.并行读取时序图

MECS

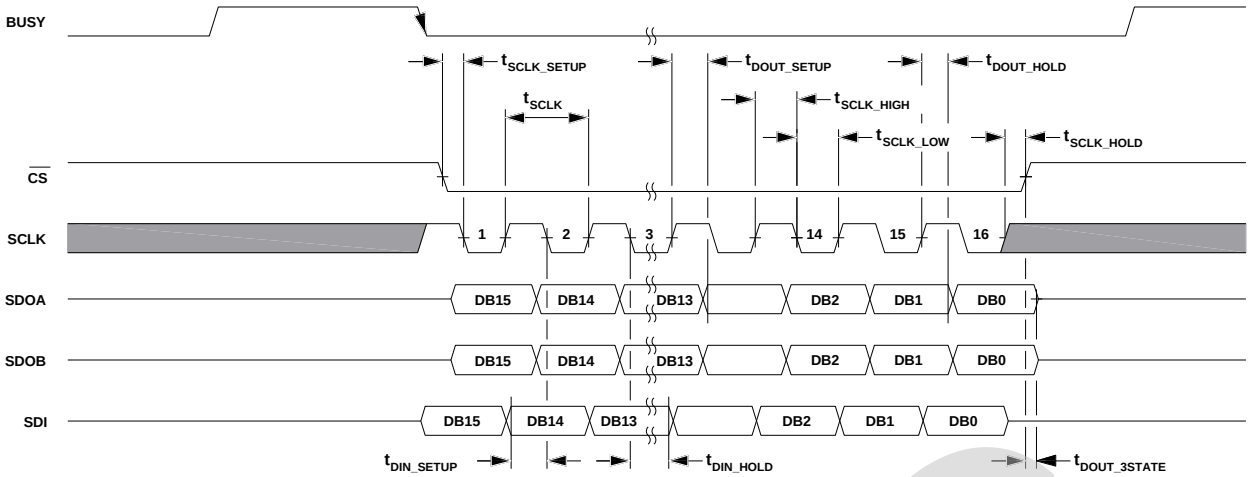


图 4.串行时序图

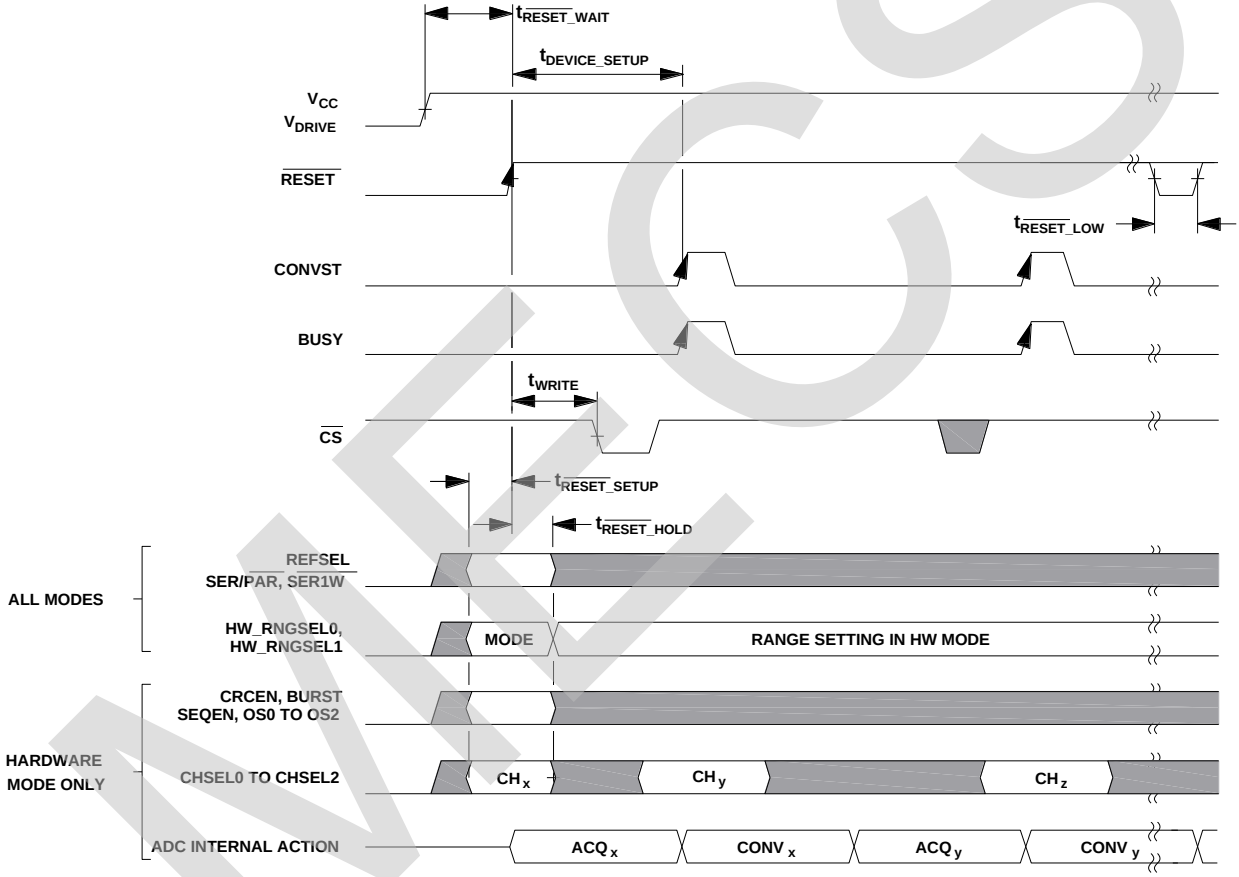


图 5.复位时序图

MECS

8.0 引脚图

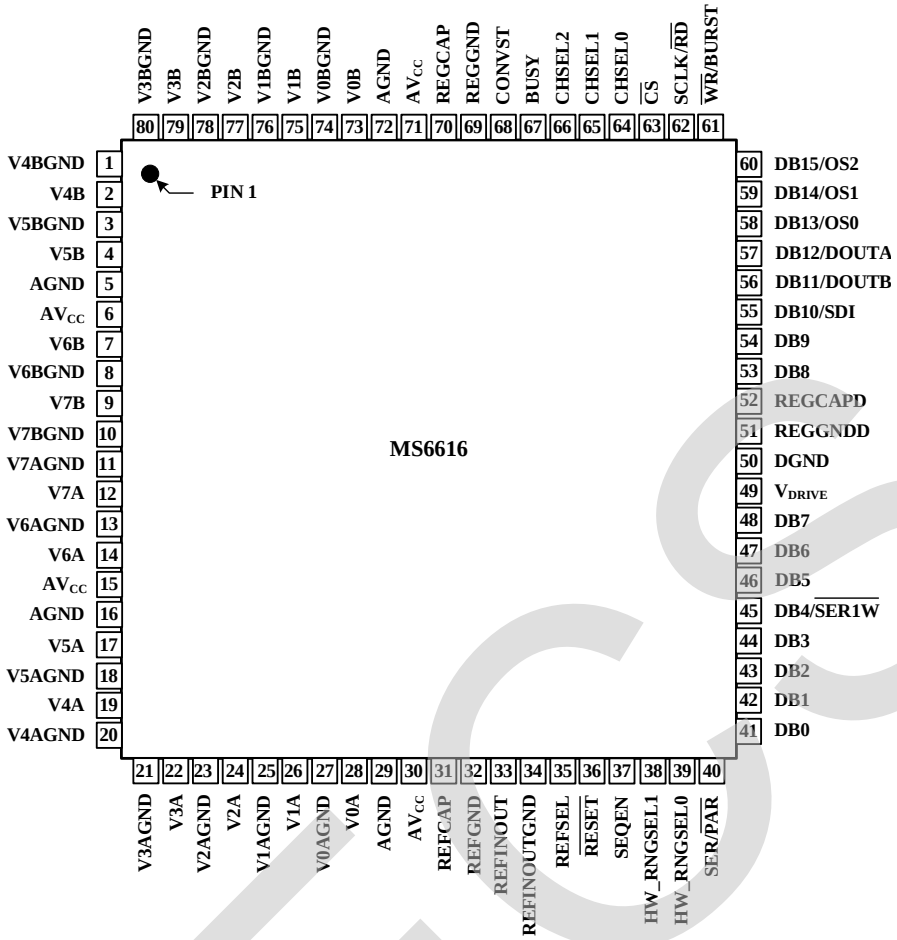


图 6.MS6616 引脚图

表 3

引脚编号	引脚名称	描述
6, 15, 30 ,71	AV_{CC}	模拟电源电压，4.75V 至 5.25V。这是内部前端放大器和 ADC 内核的电源电压。应将这些电源引脚去耦至 AGND，并且 10μF 和 100nF 去耦电容应接在 AV_{CC} 引脚上。
5, 16, 29, 72	AGND	模拟地。这些引脚是 ADC 上所有模拟电路的接地基准点。所有模拟输入信号和外部基准信号都应参考这些引脚。所有 4 个 AGND 引脚均应连接到系统的 AGND 平面。
50	DGND	数字地。此引脚是 MS6616 上所有数字电路的接地基准点。DGND 引脚必须连接到系统的 DGND 平面。
31	REFCAP	基准电压缓冲输出强制/检测引脚。并通过低 ESR 10μF 陶瓷电容去耦至 AGND，电容应尽可能靠近 REFCAP 引脚。该引脚上的电压为 4.0V。
32	REFGND	基准电压接地引脚。此引脚应连接到 AGND。
33	REFIN/OUT	基准电压输入/基准电压输出。当 REFSEL 引脚设置为逻辑高电平时，此引脚提供 2.5V 片内基准电压供外部使用。或者，可将 REFSEL 引脚设置为逻辑低电平以禁用内部基准电压，并将 2.5V 外部基准电压施加到此输入端。无论使用内部还是外部基准电压，都需要对此引脚去耦。应将一个 100nF 电容连接在 REFIN/OUT 引脚与 REFINOUTGND 之间且尽可能靠近 REFIN/OUT 引脚。如果使用外部基准电压源，应将一个 10kΩ 串联电阻连接到此引脚以限制基准信号带宽。
34	REFINOUTGND	基准电压输入、基准电压输出接地引脚。
36	$\overline{\text{RESET}}$	复位输入，提供完全和部分复位选项。复位类型由$\overline{\text{RESET}}$ 信号长度决定。$\overline{\text{RESET}}$保持低电平时，器件将被置于关断模式。详情参见“复位功能”部分。
35	REFSEL	内部/外部基准电压选择输入。REFSEL 为逻辑输入。若此引脚设为逻辑高电平（**如果接上拉电阻，上拉电阻的值推荐为 1KΩ**），则选择并使能内部基准电压模式（**推荐使用内部基准模式**）。若此引脚设为逻辑低电平，则内部基准电压禁用，必须将外部基准电压施加到 REFINOUT 引脚。完全复位释放时，信号状态被锁存，需要再一次完全复位才能重新配置。

引脚编号	引脚名称	描述
37	SEQEN	通道序列器使能输入（仅硬件模式下）。当 SEQEN 接低电平时，序列器禁用。 当 SEQEN 为高电平时，序列器使能（硬件模式下功能受限）。详情参见“序列器”部分。完全复位释放时，信号状态被锁存，需要再一次完全复位才能重新配置。 在软件模式下，此引脚必须连接到 DGND。
38,39	HW_RNGSEL1, HW_RNGSEL0	硬件/软件模式选择，硬件模式范围选择输入。完全复位时，硬件/软件模式选择被锁存。硬件模式下的范围选择不会被锁存。 HW_RNGSELx = 00：软件模式；MS6616 通过软件寄存器配置。 HW_RNGSELx = 01：硬件模式；模拟输入范围为±2.5 V。 HW_RNGSELx = 10：硬件模式；模拟输入范围为±5 V。 HW_RNGSELx = 11：硬件模式；模拟输入范围为±10 V。
40	SER/$\overline{\text{PAR}}$	并行/串行接口选择输入。逻辑输入。如果此引脚与逻辑低电平相连，则选择并行接口。如果此引脚与高电平相连，则选择串行接口。完全复位释放时，信号状态被锁存，需要再一次完全复位才能重新配置。 串行模式下，SCLK/$\overline{\text{RD}}$引脚用作串行时钟输入。DB11/DOUTB 引脚和 DB12/DOUTA 引脚用作串行数据输出，DB10/SDI 引脚用作串行数据输入。当选择串行接口时，应将引脚 DB[6:9]和 DB[3:0]连接到 DGND。
64, 65, 66	CHSEL0,CHSEL1, CHSEL2	通道选择输入 0 至输入 2。在硬件模式下，这些输入在通道组 A 和通道组 B 中选择下一转换的输入通道。例如，CHSELx=0x000 选择 V0A 和 V0B 进行下一转换；CHSELx=0x001 选择 V1A 和 V1B 进行下一转换。同时，当序列器使能时，CHSELx 引脚的逻辑电平决定选择哪些通道在序列中进行转换，详情参见“序列器”部分。 在软件模式下，这些引脚必须连接到 DGND。
62	$\overline{\text{RD}}$/SCLK	选择并行接口时为并行数据读取控制输入（$\overline{\text{RD}}$）/选择串行接口时为串行时钟输入（SCLK）。在并行模式下，如果$\overline{\text{CS}}$和$\overline{\text{RD}}$均处于逻辑低电平，则会启用输出总线。在串行模式下，此引脚用作数据传输的串行时钟输入。$\overline{\text{CS}}$下降沿使数据输出线路 DOUTA 和 DOUTB 脱离三态，并逐个输出转换结果的 MSB。SCLK 上升沿将随后的所有数据位逐个送至串行数据输出 DOUTA 和 DOUTB。
63	$\overline{\text{CS}}$	片选。此低电平有效逻辑输入使能数据帧传输。在并行模式下，如果$\overline{\text{CS}}$和$\overline{\text{RD}}$均处于逻辑低电平，则会使能输出总线 DB[15:0]，使转换结果输出在并行数据总线上。在串行模式下，利用$\overline{\text{CS}}$使能串行数据帧传输，并逐个输出串行数据的最高有效位（MSB）。
67	BUSY	输出繁忙。CONVST 达到上升沿之后，此引脚变为逻辑高电平，表示转换过程已开始。BUSY 输出保持高电平，直到所有通道的转换过程完成为止。BUSY 下降沿表示转换数据正被锁存至输出数据寄存器，稍后便可供读取。数据必须在 BUSY 变为低电平之后读取。当 BUSY 信号为高电平时，CONVST 的上升沿不起作用。
68	CONVST	通道组 A 和通道组 B 的转换开始输入。此逻辑输入启动模拟输入通道上的转换。 对于选定的模拟输入对，当 CONVST 从低电平变为高电平时，转换启动。当突发模式和过采样模式被禁用时，每次 CONVST 从低电平变为高电平都会转换一对通道。在序列器模式下，当突发模式或过采样模式使能时，为了执行所需数量的转换，只需 CONVST 从低电平变为高电平一次。
69	REGGND	内部模拟稳压器地。此引脚必须连接到系统的 AGND 平面。
70	REGCAP	内部模拟稳压器电压输出的去耦电容引脚。应将此输出引脚通过一个 10uF 电容独立去耦至 REGGND。此引脚的电压典型值为 **2.6V**。
51	REGGNDD	内部数字稳压器地。此引脚建议连接到系统的 DGND 平面
52	REGCAPD	内部数字稳压器电压输出的去耦电容引脚。应将此输出引脚通过一个 10uF 电容独立去耦至 REGGNDD。此引脚的电压典型值为 **2.6V**。
41, 42, 43 , 44	DB [3:0]	并行输出数据位 DB3 至 DB0。当 SER/$\overline{\text{PAR}}$=0 时，这些引脚充当三态并行数字输入/输出引脚。当 SER/$\overline{\text{PAR}}$ =1 时，这些引脚应与 DGND 相连。 详情参见“工作模式”部分。

引脚编号	引脚名称	描述
45	DB4/$\overline{\text{SER1W}}$	并行输出/输入数据位 DB4/串行输出选择。在并行模式下，此引脚充当三态并行数字输出/输入引脚。详情参见“工作模式”部分。 在串行模式下，此引脚决定串行输出是工作在 DOUTA 和 DOUTB 上，还是仅工作在DOUTA 上。当SER1W为低电平时，串行输出仅工作在DOUTA上。当 SER1W 为高电平时，串行输出工作在 DOUTA 和 DOUTB 上。完全复位释放时，信号状态被锁存，需要再一次完全复位才能重新配置。
46	DB5	并行输出/输入数据位 DB5，在并行模式下，此引脚充当三态并行数字输入/输出。在串行模式下，当 SER/$\overline{\text{PAR}}$=1 时，这些引脚必须与 DGND 相连。 在软件模式下，此引脚必须连接到 DGND。
49	V_{DRIVE}	逻辑电源输入。此引脚的电源电压（2.3V 至 5V）决定逻辑接口的工作电压。此引脚的标称电源与主机接口电源相同。应将此引脚去耦至 DGND，并且 10μF 和 100nF 去耦电容应接在 V_{DRIVE} 引脚上。
47, 48, 53, 54	DB6，DB7，DB8，DB9	并行输出/输入数据位 DB6 到数据位 DB9。当 SER/$\overline{\text{PAR}}$ = 0 时，这些引脚充当三态并行数字输入/输出。详情参见“工作模式”部分。 在串行模式下，当 SER/$\overline{\text{PAR}}$=1 时，这些引脚必须与 DGND 相连。
55	DB10/SDI	并行输出/输入数据位 DB10/串行数据输出。当 SER/PAR=0 时，此引脚充当三态并行数字输入/输出。详情参见“工作模式”部分。 在串行模式下，当 SER/$\overline{\text{PAR}}$=1 时，此引脚用作 SPI 接口的数据输入。
56	DB11/DOUTB	并行输出/输入数据位 DB11/串行数据输出 B。当 SER/$\overline{\text{PAR}}$=0 时，此引脚充当三态并行数字输入/输出。详情参见“工作模式”部分。 在串行模式下，当 SER/$\overline{\text{PAR}}$= 1 时，此引脚用作 DOUTB，输出串行转换数据。
57	DB12/DOUTA	并行输出/输入数据位 DB12/串行数据输出 A。当 SER/$\overline{\text{PAR}}$=0 时，此引脚充当三态并行数字输入/输出。详情参见“工作模式”部分。 在串行模式下，当 SER/$\overline{\text{PAR}}$= 1 时，此引脚用作 DOUTA，输出串行转换数据。
58, 59, 60	DB13/OS0, DB14/OS1, DB15/OS2	并行输出/输入数据位 DB13、数据位 DB14 和数据位 DB15/过采样率选择。当 SER/$\overline{\text{PAR}}$=0 时，这些引脚充当三态并行数字输入/输出。详情参见“工作模式”部分。 在串行硬件模式下，这些引脚控制过采样设置。完全复位释放时，信号状态被锁存，需要再一次完全复位才能重新配置。详情参见“过采样配置”部分。 在软件串行模式下，这些引脚必须连接到 DGND。
61	$\overline{\text{WR}}$/BURST	写入/突发模式使能。在软件并行模式下，此引脚用作并行接口的$\overline{\text{WR}}$。 在硬件并行或串行模式下，此引脚接高电平使能 BURST 模式（突发模式下需 SEQEN 置高电平使能序列器一起使用）。完全复位释放时，信号状态被锁存，需要再一次完全复位才能重新配置。详情参见“突发时序发生器”部分。 在软件串行模式下，此引脚应连接到 DGND。
28	V0A	ADC A 模拟输入通道 0。此引脚为单端模拟输入。
27	V0AGND	模拟输入接地引脚。此引脚对应于模拟输入引脚V0A。所有模拟输入AGND引脚都应连到系统的AGND平面。
26	V1A	ADC A 模拟输入通道 1。此引脚为单端模拟输入。
25	V1AGND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V1A。
24	V2A	ADC A 模拟输入通道 2。此引脚为单端模拟输入。
23	V2AGND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V2A。
22	V3A	ADC A 模拟输入通道 3。此引脚为单端模拟输入。
21	V3AGND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V3A。
19	V4A	ADC A 模拟输入通道 4。此引脚为单端模拟输入。
20	V4AGND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V4A。
17	V5A	ADC A 模拟输入通道 5。此引脚为单端模拟输入。
18	V5AGND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V5A。
14	V6A	ADC A 模拟输入通道 6。此引脚为单端模拟输入。
13	V6AGND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V6A。

引脚编号	引脚名称	描述
12	V7A	ADC A 模拟输入通道 7。此引脚为单端模拟输入。
11	V7AGND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V7A。
73	V0B	ADC B 模拟输入通道 0。此引脚为单端模拟输入。
74	V0BGND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V0B。
75	V1B	ADC B 模拟输入通道 1。此引脚为单端模拟输入。
76	V1BGND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V1B。
77	V2B	ADC B 模拟输入通道 2。此引脚为单端模拟输入。
78	V2BGND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V2B。
79	V3B	ADC B 模拟输入通道 3。此引脚为单端模拟输入。
80	V3BGND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V3B。
2	V4B	ADC B 模拟输入通道 4。此引脚为单端模拟输入。
1	V4BGND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V4B。
4	V5B	ADC B 模拟输入通道 5。此引脚为单端模拟输入。
3	V5BGND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V5B。
7	V6B	ADC B 模拟输入通道 6。此引脚为单端模拟输入。
8	V6BGND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V6B。
9	V7B	ADC B 模拟输入通道 7。此引脚为单端模拟输入。
10	V7BGND	模拟输入接地引脚。此引脚对应于模拟输入引脚 V7B。

MECS

9.0 典型性能参数

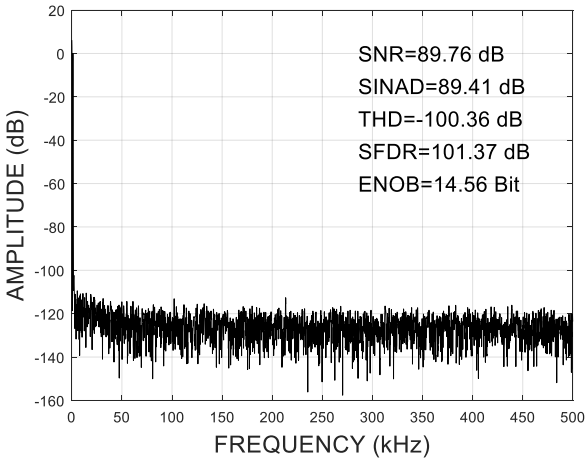


图 7. MS6616 典型 FFT，±10V 范围，
并行 f_s=1MSPS，f_{in}=1.1kHz，VIN = ±9.5V

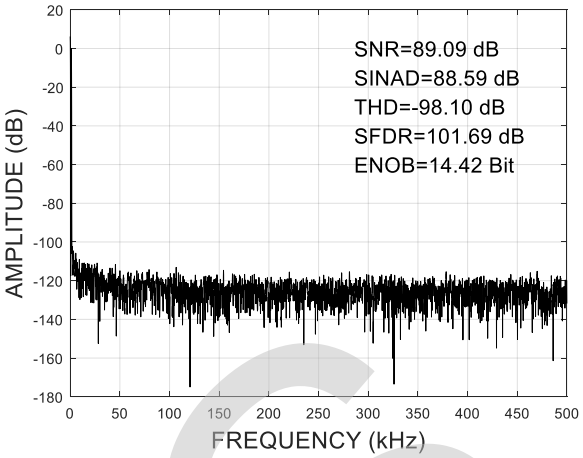


图 8. MS6616 典型 FFT，±5V 范围，
并行 f_s=1MSPS，f_{in}=1.1kHz，VIN = ±4.8V

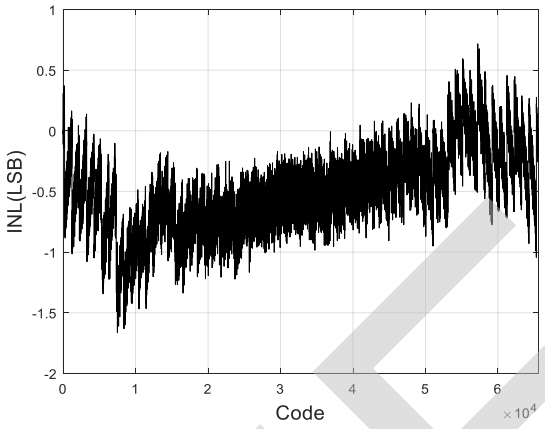


图 9. MS6616 典型 INL，±10V 范围，VIN = ±9.8V

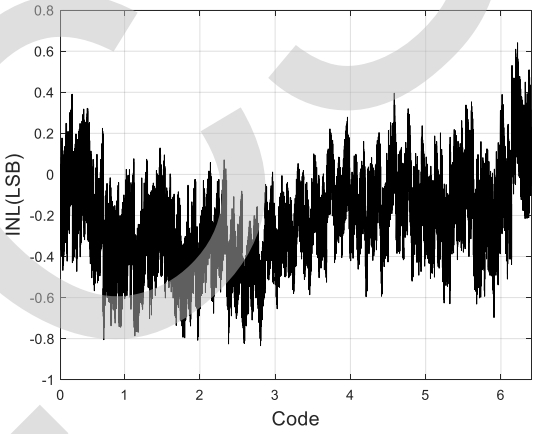


图 10. MS6616 典型 INL，±5V 范围，VIN = ±4.8V

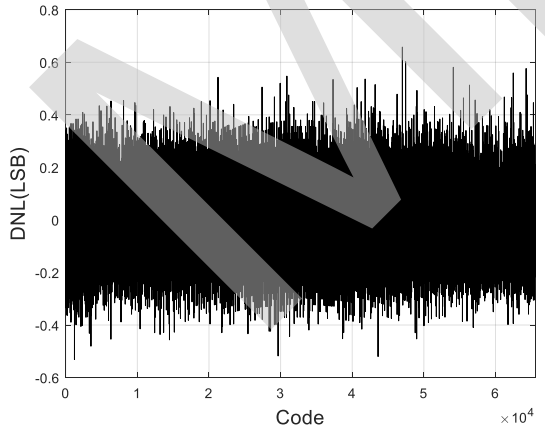


图 11. MS6616 典型 DNL，±10V 范围，VIN = ±9.8V

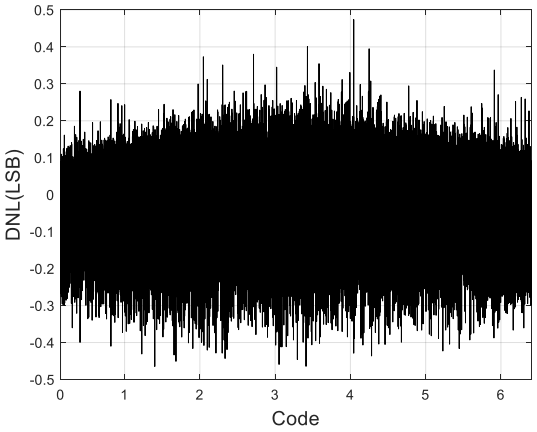


图 12. MS6616 典型 DNL，±5V 范围，VIN = ±4.8V

10.0 工作原理

10.1 转换器详解

MS6616 是一款采用高速、低功耗、电荷再分配逐次逼近型模数转换器（ADC）的数据采集系统，可以对 16 个模拟输入通道进行双路同步采样。MS6616 的模拟输入可以接受真双极性输入信号。模拟输入范围选项有±10V、±5V 和±2.5V。MS6616 仅采用 5V 单电源供电。

MS6616 内置输入箝位保护、输入信号缩放放大器、二阶抗混叠滤波器、片内基准电压源、基准电压缓冲器、双路高速 ADC、数字滤波器、灵活的序列器以及高速并行和串行接口。

通过控制 HW_RNGSELx 引脚，MS6616 可工作在硬件或软件模式。在硬件模式下，MS6616 由引脚控制进行配置。在软件模式下，MS6616 由控制寄存器（通过串行或并行接口访问）进行配置。

10.2 模拟输入

模拟输入通道选择

MS6616 内置双路同步采样 16 位 ADC。每个 ADC 有 8 个模拟输入通道，总共有 16 路模拟输入。在硬件模式下通过 CHSELx 引脚控制，或在软件模式下通过通道寄存器控制，可以选择通道进行转换。可以动态选择通道，或利用 MS6616 片内序列器预先设置要转换的通道。在硬件模式下，只有对应的 A 和 B 通道才能同步采样，即通道 V0A 总是与通道 V0B 一同采样。在软件模式下，可以选择任意 A 通道与任意 B 通道组合一起进行同步采样。

模拟输入范围

MS6616 可处理真双极性、单端输入电压。范围选择引脚 HW_RNGSEL0 和 HW_RNGSEL1 的逻辑电平决定所有模拟输入通道的模拟输入范围。如果两个范围选择引脚均接逻辑低电平，则进入软件模式，该模式下的模拟输入范围由输入范围寄存器决定（详情参见“寄存器汇总”部分）。在软件模式下，可以为每个通道配置单独的模拟输入范围。

模拟输入阻抗

MS6616 的模拟输入阻抗为 1MΩ。这是固定输入阻抗，不随 ADC 采样频率而变化。高模拟输入阻抗可免除 ADC 前端的驱动放大器，允许其与信号源或传感器直接相连。由于无需驱动放大器，因此可去掉信号链中的双极性电源（它通常是系统中的噪声源）。

模拟输入箝位保护

下图显示了 MS6616 的模拟输入结构。其各模拟输入均含有箝位保护电路。虽然采用 5V 单电源供电，但此模拟输入箝位保护允许输入过压达到±22V。

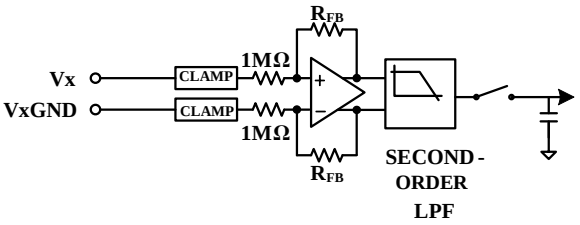


图 13 模拟输入电路

当输入电压不超过±22V 时，箝位电路中无电流。当输入电压超过±22V 时，箝位电路开启。

模拟输入通道上应放置一个串联电阻，以将输入电压超过±22V 时的电流限制在±10mA 以下。如果模拟输入通道 Vx 上有一个串联电阻，则模拟输入 GND 通道 VxGND 上也需要一个与之对应相等的电阻（见下图）。如果 VxGND 通道上没有对应电阻，该通道将出现失调误差。

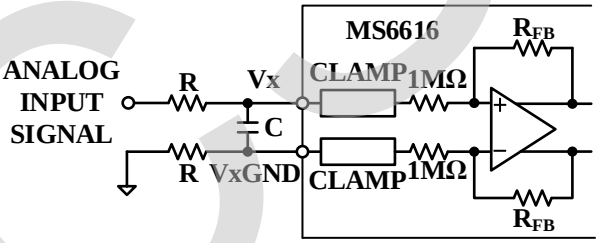


图 14.模拟输入端上的输入电阻匹配

10.3 内部/外部基准电压

MS6616 内置一个 2.5V 片内带隙基准电压源。REFIN/REFOUT 引脚既可使用该 2.5V 基准电压在内部产生 4.0V 片内基准电压，也允许施加一个 2.5V 外部基准电压。所施加的 2.5V 外部基准电压也会被内部缓冲放大至 4.0V。此 4.0V 缓冲的基准电压是 SAR ADC 所用的基准电压。

REFSEL 引脚是一个逻辑输入引脚，允许用户选择内部基准电压或外部基准电压。如果此引脚设为逻辑高电平，则选择并使能内部基准电压模式。如果此引脚设为逻辑低电平，则内部基准电压禁用，必须将外部基准电压施加到 REFIN/OUT 引脚。内部基准电压缓冲始终使能。复位之后，MS6616 工作在 REFSEL 引脚所选择的基准电压模式。无论使用内部还是外部基准电压，都需要对 REFIN/OUT 引脚去耦。REFIN/OUT 引脚需要 100nF 陶瓷去耦电容。

MS6616 内置一个基准电压缓冲器，后者配置为将基准电压放大至 4V。REFCAP 和 REFGND 之间需要连接一个 10μF 陶瓷电容。REFINOUT 引脚提供的基准电压为 2.5V。当 MS6616 配置为外部基准电压模式时，REFIN/OUT 引脚为高输入阻抗引脚。

10.4 典型连接图

下图显示了 MS6616 典型连接图。器件有四个 AV_{CC} 电源引脚和一个 V_{DRIVE} 电源。这几个电源引脚应各使用一个 100nF 去耦电容（靠近电源管脚放置）。在电源侧使用一个 10μF 电容去耦。

另外，这些电源由两个内部 LDO 稳压器调节。模拟 LDO (ALDO) 通常提供 2.6V 电压。ALDO 应通过 REGCAP 和 REGGND 引脚之间的 10μF 电容去耦。数字 LDO (DLDO) 通常提供 2.6V 电压。DLDO 应通过 REGCAPD 和 REGGNDD 引脚之间的 10μF 电容去耦。

MS6616 既可在内部基准电压下工作，也可在外部施加的基准电压下工作。在下图配置中，MS6616 被配置为在内部基准电压下工作。REFCAP 和 REFGND 引脚通过一个 10μF 陶瓷电容来去耦。V_{DRIVE} 电源连接到为处理器供电的同一电源。V_{DRIVE} 电压控制输出逻辑信号的电压值。

推荐芯片上电顺序为先让 V_{DRIVE} 上电，再让 AV_{CC} 上电，期间$\overline{\text{RESET}}$信号需一直保持低电平，直至两个电源均稳定为止。

模拟输入引脚要求 VxA 和 VxAGND（类似地，VxB 和 VxBGND）输入端的电阻 R 匹配，以免阻抗不匹配引起模拟输入通道上的增益误差。

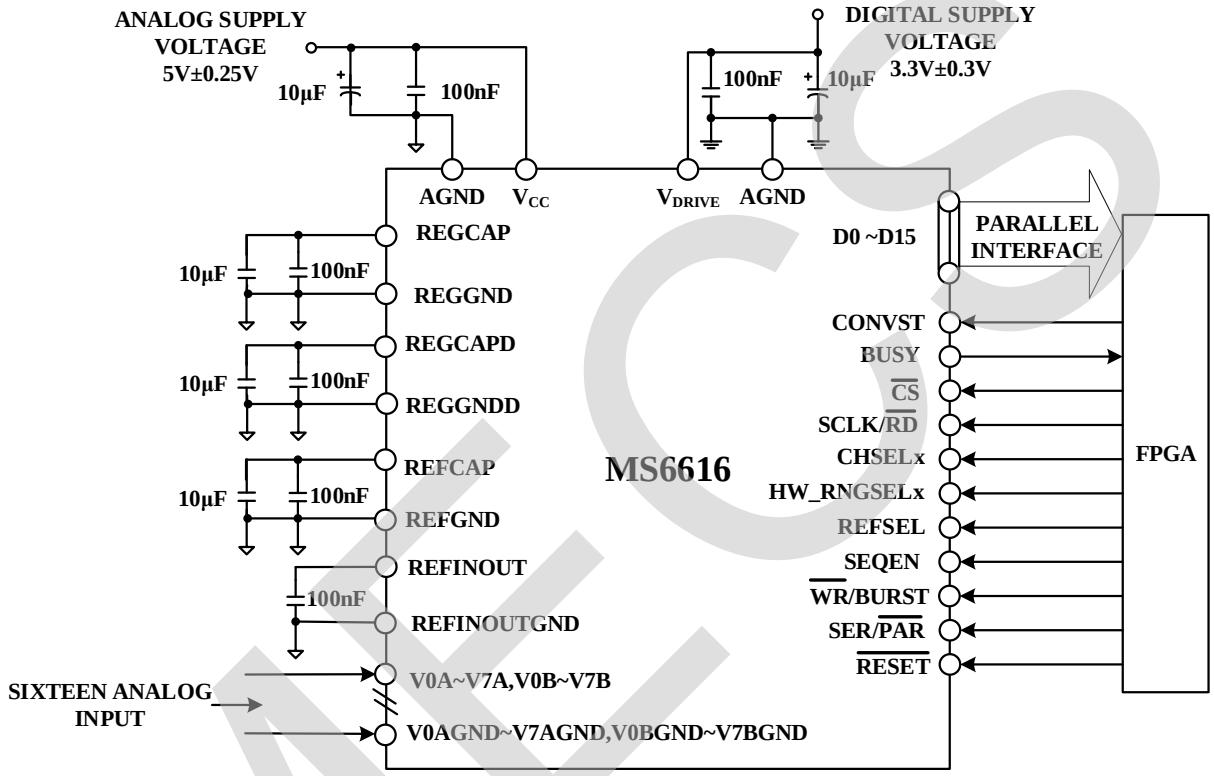


图 15. MS6616 外部连接图

表 4 功能列表

功能	工作模式			
	软件模式，HW_RNGSELx=00		硬件模式，HW_RNGSELx≠00	
	串行，SER/$\overline{\text{PAR}}$=1	并行，SER/$\overline{\text{PAR}}$=0	串行，SER/$\overline{\text{PAR}}$=1	并行，SER/$\overline{\text{PAR}}$=0
内部/外部基准电压源	是	是	是	是
可选模拟输入范围				
独立通道配置	是	是	否	否
统一通道配置	否	否	是	是
顺序序列器	是	是	是	是
完全可配置的序列器	是	是	否	否
突发模式	是	是	是	是
片内过采样	是	是	是	否
CRC（无此功能）	否	否	否	否
诊断通道转换（Vcc、ALDO）	是	是	否	否
硬件复位	是	是	是	是
串行单线模式	是	否	是	否
串行双线模式	是	否	是	否
寄存器访问	是	是	否	否

10.5 芯片配置

MS6616 提供两种工作模式：硬件模式、软件模式，同时提供两种接口选项：并行接口、高速串行接口，所需接口模式可通过 SER/$\overline{\text{PAR}}$引脚来选择。工作模式需要在 MS6616 退出完全复位后配置。当$\overline{\text{RESET}}$引脚从低电平变为高电平时，HW_RNGSELx 引脚的逻辑电平决定工作模式。HW_RNGSELx 引脚具有双重功能，如果 HW_RNGSELx = 0b00 时则 MS6616 进入软件模式，除此之外任何其它组合的 HW_RNGSELx 都会将 MS6616 配置为硬件模式。具体不同工作接口模式下的管脚配置“见表 5”。

表 5.工作模式选择

引脚	工作模式			
	软件模式，HW_RNGSELx=00		硬件模式，HW_RNGSELx≠00	
	串行，SER/$\overline{\text{PAR}}$=1	并行，SER/$\overline{\text{PAR}}$= 0	串行，SER/$\overline{\text{PAR}}$=1	并行，SER/$\overline{\text{PAR}}$= 0
CHSELx	无功能，连接到 DGND	无功能，连接到 DGND	CHSELx	CHSELx
SCLK/$\overline{\text{RD}}$	SCLK	$\overline{\text{RD}}$	SCLK	$\overline{\text{RD}}$
WR/BURST	连接到 DGND	$\overline{\text{WR}}$	BURST	BURST
DB15/OS0 至 DB13/OS2	连接到 DGND	DB15 至 DB13	OSx	DB15 至 DB13
DB12/SDOA	DOUTA	DB12	DOUTA	DB12
DB11/SDOB	DOUTB，串行单线模式下浮空	DB11	DOUTB，串行单线模式下浮空	DB11
DB10/SDI	SDI	DB10	连接到 DGND	DB10
DB9 至 DB6，DB3 至 DB0	连接到 DGND	DB9 至 DB6，DB3 至 DB0	连接到 DGND	DB9 至 DB6，DB3 至 DB0
DB5	连接到 DGND	DB5	连接到 DGND	DB5
DB4/$\overline{\text{SER1W}}$	$\overline{\text{SER1W}}$	DB4	$\overline{\text{SER1W}}$	DB4
HW_RNGSELx	HW_RNGSELx，连接到 DGND	HW_RNGSELx，连接到 DGND	HW_RNGSELx，配置模拟输入范围	HW_RNGSELx，配置模拟输入范围
SEQEN	无功能，连接到 DGND	无功能，连接到 DGND	SEQEN	SEQEN
REFSEL	REFSEL	REFSEL	REFSEL	REFSEL

硬件模式

在硬件模式下，可用功能会受到限制，而且所有功能都是通过引脚控制进行配置。为了配置 MS6616 的功能，完全复位后会检查以下信号的逻辑电平：BURST、SEQEN 和 OSx。表 6 汇总了完全复位释放时器件锁存的信号，其取决于所选的工作模式。完成器件配置后，要退出当前配置并设置另一种配置，需要通过$\overline{\text{RESET}}$引脚执行完全复位，关于硬件并行或串行模式下可用功能的完整列表，详情请参见表 5。

复位时会查询 CHSELx 引脚状态，以决定要获取哪个初始模拟输入通道对进行转换，或配置序列器的初始设置。正常工作期间可以重新配置要转换的通道对或硬件序列器，方法是在 CONVST 上升沿之前到 BUSY 下降沿为止，设置并保持 CHSELx 信号电平。

HW_RNGSELx 信号控制所有 16 个模拟输入通道的模拟输入范围。这些引脚的逻辑状态改变会立即影响模拟输入范围；但是，除正常采集时间要求外，还有典型值约为 120μs 的建立时间要求。建议根据系统信号所需的输入范围，通过硬连线连接范围选择引脚。

硬件模式下禁止访问片内寄存器。

软件模式

若选择软件模式且已配置基准电压源和接口类型，则 MS6616 的所有其它配置都要通过片内寄存器进行设置。选择软件模式时，MS6616 的**全部功能都可以使用**。表 6 汇总了完全复位释放时器件锁存的信号，其取决于所选的工作模式。

表 6.锁存信号汇总

信号	完全复位时锁存		复位时读取		繁忙时读取		边沿驱动	
	硬件模式	软件模式	硬件模式	软件模式	硬件模式	软件模式	硬件模式	软件模式
REFSEL（内/外部参考选择）	是	是						
SEQEN（使能序列器）	是	否						
HW_RNGSELx（输入范围选择）			是	是			是	否
HW_RNGSELx（模式选择）	是	是						
SER/$\overline{\text{PAR}}$（串并行接口）	是	是						
OSx（过采样模式）	是	否						
BURST（突发模式）	是	否						
CHSELx（通道选择输入配置）			是	否	是	否		
$\overline{\text{SER1W}}$（串行输出选择）	是	是						

复位功能

MS6616 有两种复位模式：完全复位或部分复位。复位模式选择取决于复位低电平脉冲的长度。部分复位要求$\overline{\text{RESET}}$引脚保持低电平 40ns 到 500ns。释放$\overline{\text{RESET}}$ 50ns 之后，器件即完全可用，可以启动转换。完全复位要求$\overline{\text{RESET}}$引脚保持低电平至少 1.2μs。释放$\overline{\text{RESET}}$ 15ms 之后，器件完成重新配置，可以启动转换。

部分复位会初始化以下模块：

- 序列器；
- 数字滤波器；
- SPI 接口；
- 两个SAR ADC；

部分复位完成时，会丢弃当前转换结果。部分复位不会影响软件模式下设置的寄存器值（堆栈寄存器除外），或硬件和软件模式下存储用户配置的锁存器。部分复位之后，软件模式下需要执行一次伪转换。完全复位会将器件复位至默认上电状态。MS6616 退出完全复位时会配置如下内容：

- 硬件模式或软件模式；
- 内部/外部基准电压源；
- 接口类型；

上电后等待 AV_{CC} 和 VDRIVE 电源稳定，便可释放$\overline{\text{RESET}}$信号。完全复位后释放$\overline{\text{RESET}}$引脚时，HW_RNGSELx、REFSEL、SER/$\overline{\text{PAR}}$和 DB4/$\overline{\text{SER1W}}$引脚的逻辑电平决定器件配置。若选择硬件模式，则当$\overline{\text{RESET}}$引脚在完全复位模式下从低电平变为高电平时，BURSTEN、SEQEN 和 OSx 信号所决定的功能也会被锁存。完成功能配置后，便会忽略这些信号的变化。**在硬件模式下，模拟输入范围（HW_RNGSELx 信号）可在完全或部分复位期间或正常工作期间配置，**但**硬件/软件模式选择需要完全复位才能重新配置，同时此设置会被锁存**。

在硬件模式下，退出完全和部分复位时均会查询 CHSELx 和 HW_RNGSELx 引脚，以便执行如下操作：

- 确定要获取哪一个初始模拟输入通道对进行转换；
- 配置序列器的初始设置；
- 选择模拟输入电压范围；

期间 CHSELx 和 HW_RNGSELx 信号不会被锁存。正常工作期间可以重新配置要转换的通道对或硬件序列器，方法是在 CONVST 上升沿之前设置 CHSELx 信号电平并保持不变，直到 BUSY 再次变为低电平。

退出完全或部分复位时的 CHSELx 信号决定要采样的初始通道对。复位之后，在 BUSY 高电平期间会检查 CHSELx 信号的逻辑电平，以便设置下一转换的通道对。CHSELx 信号电平必须在 CONVST 从低电平变为高电平之前设置，并且保持不变，直到 BUSY 从高电平变为低电平，指示转换已完成，详情参见图 16。

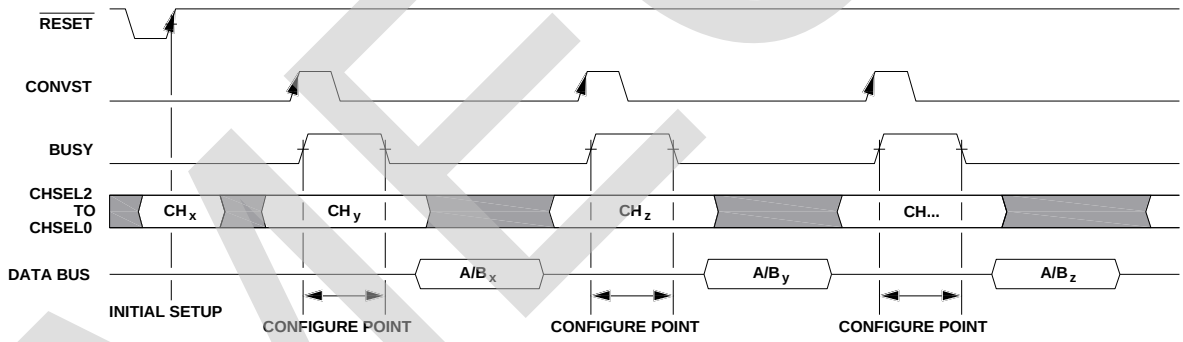


图 16. 硬件模式通道转换设置

10.6 数字接口

并行接口（硬件模式，SER/$\overline{\text{PAR}}$=0）

可以用标准$\overline{\text{CS}}$和$\overline{\text{RD}}$信号通过并行数据总线从 MS6616 读取数据。通过并行总线读取数据时，需将 SER/$\overline{\text{PAR}}$引脚和低电平相连。通过$\overline{\text{CS}}$和$\overline{\text{RD}}$输入信号，可以将转换结果输出到数据总线。当$\overline{\text{CS}}$和$\overline{\text{RD}}$同时处于逻辑低电平时，数据线 DB15 至 DB0 不再呈高阻态。

CONVST 信号启动转换过程。CONVST 信号从低电平变为高电平时，启动对所选输入的转换。BUSY 信号变为高电平表示转换正在进行。BUSY 信号从高电平变为低电平表示转换已完成，可以通过并行接口回读转换结果。$\overline{\text{CS}}$输入信号的上升沿使总线进入三态，$\overline{\text{CS}}$输入信号的下降沿使总线脱离高阻态。$\overline{\text{CS}}$是使能数据线的控制信号；利用该功能可以让多个 MS6616 器件共享同一并行数据总线。

所需的读操作次数取决于器件配置。对于同步采样的 A 和 B 通道，读取转换结果至少需要两次读操作。如果使能了其他功能，如突发模式等，则所需的回读次数相应地增加。

MS6616 的$\overline{\text{RD}}$引脚用来从输出转换结果寄存器读取数据。对$\overline{\text{RD}}$引脚施加一系列$\overline{\text{RD}}$脉冲，可使各通道的转换结果逐个输出到并行总线 DB15 至 DB0。BUSY 变为低电平后的第一个$\overline{\text{RD}}$下降沿输出通道 AX 的转换结果。下一个$\overline{\text{RD}}$下降沿则用通道 BX 转换结果更新总线。

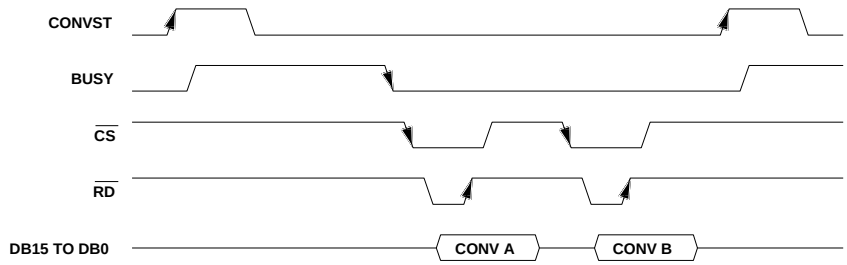


图 17. 并行接口转换后读取

并行接口（软件模式）

在软件模式下，可以通过并行接口写入 MS6616 的所有读/写寄存器。通过并行总线（DB15 至 DB0）、$\overline{CS}$和$\overline{WR}$信号进行单次 16 位并行访问、可执行寄存器写命令。写入 MS6616 数据通过 DB15 至 DB0 输入提供，DB0 是数据字的 LSB。写命令的格式如图 18 所示。要选择写命令，必须将位 D15 设为 1。位[D14:D9]为寄存器地址。随后的 9 位（位[D8:D0]）包含待写入选定寄存器的数据。寄存器地址的完整列表参见“寄存器汇总”部分。数据在$\overline{WR}$的上升沿锁存到器件中。

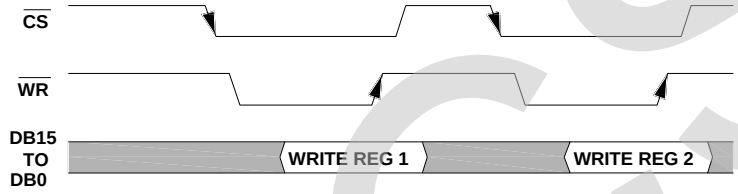


图 18. 并行接口转换寄存器写操作

器件中的所有寄存器均可通过并行接口读取。要读取一个寄存器，首先须向 MS6616 写入要读取的寄存器地址。寄存器读命令的格式如图 19 所示。要选择读命令，必须将位 D15 设为 0。位[D14:D9]为寄存器地址。忽略随后的 9 位（位[D8:D0]）。读命令$\overline{WR}$的上升沿锁存到在 MS6616 中。此锁存器将把相关寄存器数据传输至输出寄存器，然后便可利用标准读命令通过 DB15 至 DB0 引脚读取寄存器数据。更多信息参见图 19。

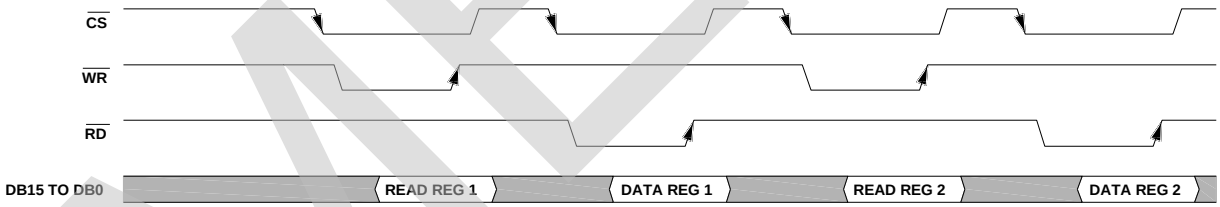


图 19. 并行接口转换寄存器读操作

串行接口（硬件模式，SER/$\overline{PAR}$=1）

若要通过串行接口从 MS6616 回读数据，SER/$\overline{PAR}$引脚必须连接高电平。$\overline{CS}$和 SCLK 信号用来传输 MS6616 的数据。MS6616 有两个串行数据输出引脚：DOUTA 和 DOUTB。可通过单或双 DOUT 线路从 MS6616 回读数据。

在 MS6616 的串行双线模式下，通道 V0A 至 V7A 的转换结果出现在 DOUTA 上，通道 V0B 至 V7B 的转换结果出现在 DOUTB 上。在串行单线模式下，通道 V0B 至 V7B 的转换结果与通道 V0A 至 V7A 的转换结果交错出现。要实现最大吞吐速率，须使用双线模式。

通过 DOUTA 和 DOUTB 回读数据时，$\overline{SER1W}$引脚必须连接高电平。仅通过 DOUTA 回读数据时，$\overline{SER1W}$引脚必须连接低电平。串行单线或双线模式在 MS6616 退出完全复位时配置。

CONVST 信号启动转换过程。CONVST 信号从低电平变为高电平时，启动对所选输入的转换。BUSY 信号变为高电平表示转换正在进行。BUSY 信号从高电平变为低电平表示转换已完成，可以通过串行接口回读转换结果。$\overline{CS}$下降沿使能数据输出线路 DOUTA 和 DOUTB 脱离三态，并逐个输出转换结果的 MSB 至串行数据线。SCLK 上升沿将随后的所有数据位逐个送至串行数据输出 DOUTA 和 DOUTB。可以使$\overline{CS}$输入在整个串行读取操作过程中保持低电平，图 18 显示 MS6616 的两条 DOUTx 线读取两个同步转换结果。若工作在序列器突发模式（多个 16 SCLK 传输访问 MS6616 中的数据），则$\overline{CS}$保持低电平以对全部数据进行帧传输。也可只用一条 DOUTx 线逐个输出数据，此时必须利用 DOUTA 来访问全部转换数据。MS6616 通过一条 DOUTx 线访问 VxA 和 VxB 两个通道的转换结果时，此时共需要 32

个 SCLK 周期。只用一条 DOUTx 线的缺点是吞吐速率会降低。

在串行单线模式下，不用的 DOUTB 线应保持不连接。

若使用 DOUTA 作为单一串行数据输出线，通道结果将按如下顺序输出：VxA 和 VxB，图 19 所示为串行单线回读操作

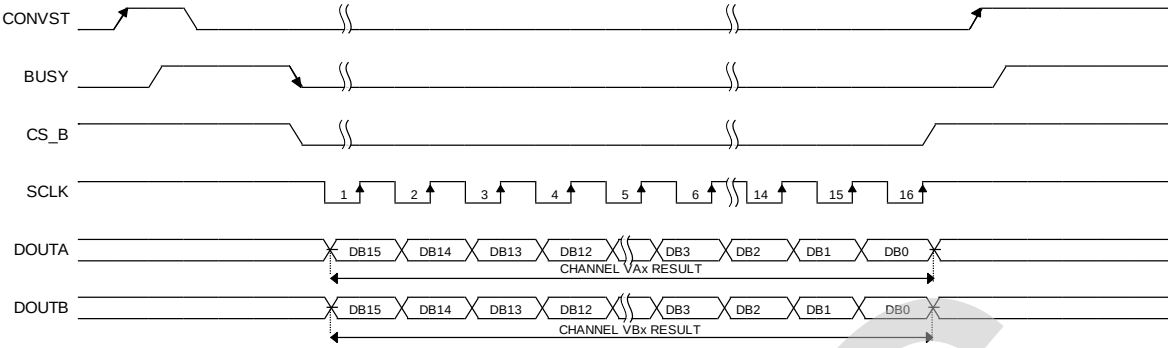


图 18. 串行双线读取模式

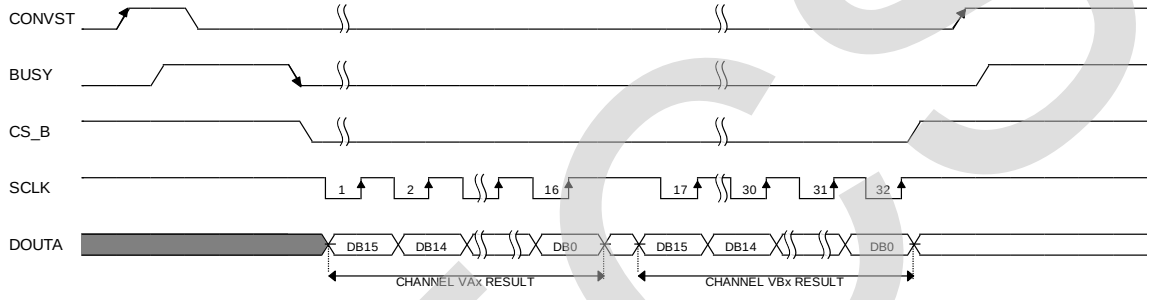


图 19.串行单线读取模式

注：串行单线读取模式和 AD7616 存在差异，**转换过程中$\overline{CS}$信号不能为高**。

串行接口（软件模式）

通过串行接口可写入 MS6616 中的所有读/写寄存器。通过单次 16 位 SPI 读取操作，可执行寄存器写命令。写命令的格式如表 15 所示。要选择写命令，必须将位 D15 设为 1。位[D14:D9]为寄存器地址。随后的 9 位（位 [D8:D0]）包含待写入选定寄存器的数据。图 19 所示为典型串行写命令。

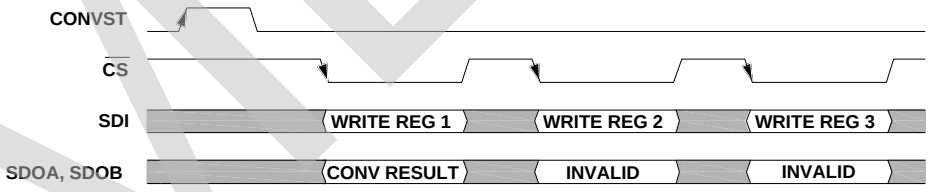


图 20.串行接口寄存器写操作

器件中的所有寄存器均可通过串行接口读取。读取寄存器的命令执行方法为：发出一个寄存器读取命令，然后再发出一个额外的 SPI 命令；该命令可以是有效的命令，也可以是无操作(NOP)。读命令的格式如表 16 所示。要选择读命令，必须将位 D15 设为 0。位[D14:D9]为寄存器地址。忽略随后的 9 位（位[D8:D0]）。寄存器地址的完整列表参见“寄存器汇总”部分。图 21 所示为典型串行读命令。

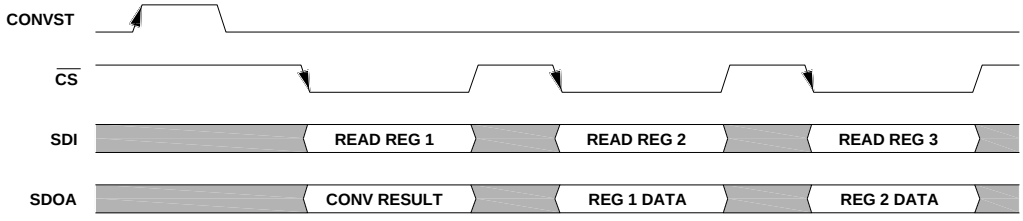


图 21.串行接口寄存器读操作

10.7 序列器

MS6616 内置一个可配置的片内序列器，序列器的功能和配置取决于 MS6616 的工作模式。

在硬件模式下，序列器只能按顺序工作，总是从通道 V0A 和 V0B 开始转换，然后依次转换后续各通道，直至配置的最后一个通道。

在软件模式下，序列器具有额外的功能和配置。序列器堆栈有 32 个可唯一配置的序列步骤，允许设置任意通道顺序。此外，任意通道 VxA 输入可以与任意通道 VxB 输入或诊断通道配对。

序列器工作时，可以使能或不使能突发功能。若使能突发功能，则转换一个序列中的所有通道只需一个 CONVST 脉冲。若禁用突发模式，则一个序列中每个转换步骤都需要一个 CONVST 脉冲。关于突发工作模式的详情，请参见“突发模式序列器”部分。

硬件模式序列器

在硬件模式下，序列器由 SEQEN 引脚和 CHSELx 引脚来配置。当 MS6616 退出完全复位时，序列器功能使能或者被禁用。当释放$\overline{\text{RESET}}$引脚时，SEQEN 引脚的逻辑电平决定序列器是使能还是禁用（设置参见表 7）。释放$\overline{\text{RESET}}$引脚后，该功能便固定下来，要退出该功能并设置另一种配置，也需要通过$\overline{\text{RESET}}$引脚执行完全复位后再重新配置。

表 7.硬件模式序列器配置

SEQEN	接口模式
0	禁用序列器
1	使能序列器

当序列器使能时，CHSELx 引脚的逻辑电平决定选择哪些通道在序列中进行转换。释放$\overline{\text{RESET}}$引脚时的 CHSELx 引脚状态决定要在序列中转换的通道初始设置。要在之后重新配置选定进行转换的通道，请在当前转换序列完成之前，将 CHSELx 引脚设为所需的设置并保持最后一个 BUSY 脉冲时间。详情参见图 20。

表 8. CHSELx 引脚解码序列器

通道选择输入引脚			要顺序转换的模拟输入通道
CHSEL2	CHSEL1	CHSEL0	
0	0	0	仅 V0x
0	0	1	V0x 至 V1x
0	1	0	V0x 至 V2x
0	1	1	V0x 至 V3x
1	0	0	V0x 至 V4x
1	0	1	V0x 至 V5x
1	1	0	V0x 至 V6x
1	1	1	V0x 至 V7x

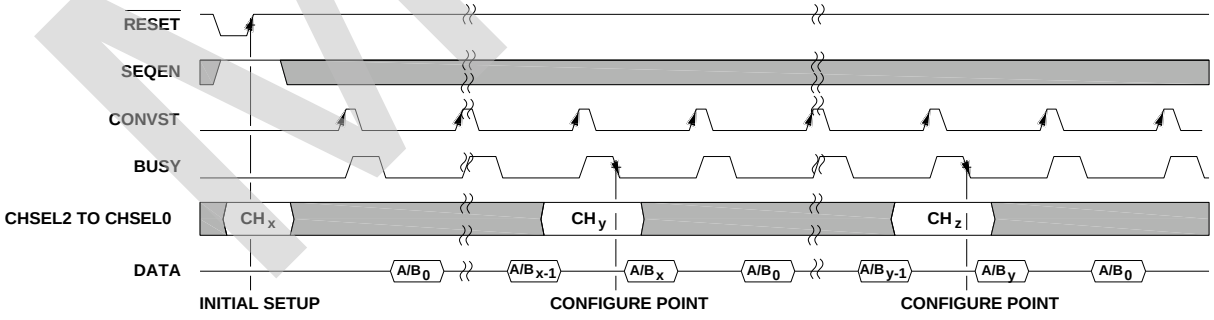


图 20 硬件模式序列器配置

MCS

软件模式序列器

在软件模式下，MS6616 含有 32 层完全可配置序列器堆栈。通过并行或串行接口写入配置寄存器和序列器堆栈寄存器，可实现对序列器的控制。

每个堆栈步骤都可以独立配置，通道 VxA 的任意输入可以与通道 VxB 的任意输入配对，或者选择任何诊断通道进行转换。序列器深度设置范围是 1 到 32 层。序列器深度通过 SSRENx 位控制。根据所需的最后步骤设置序列器堆栈寄存器中的 SSRENx 位。对于所需的深度，通过写入各序列堆栈寄存器中的 ASELx 和 BSELx 位来选择要转换的通道。

将配置寄存器中的 SEQEN 位设为 1 就会激活序列器。要配置并使能软件模式序列器，建议按如下步骤操作（见图 21）：

a) 配置所需模拟输入通道的模拟输入范围。

b) 设置序列器堆栈寄存器以选择序列中的通道。

c) 将需要的最后一个序列步骤中的 SSRENx 位置 1。

d) 将配置寄存器中的 SEQEN 位置 1。

e) 提供一个伪 CONVST 脉冲。

f) 重复发送 CONVST 脉冲并读取转换结果，遍历序列器堆栈中的每个转换结果。

若再来一个 CONVST 脉冲，序列将自动从序列器堆栈中的第一个转换结果重新开始。

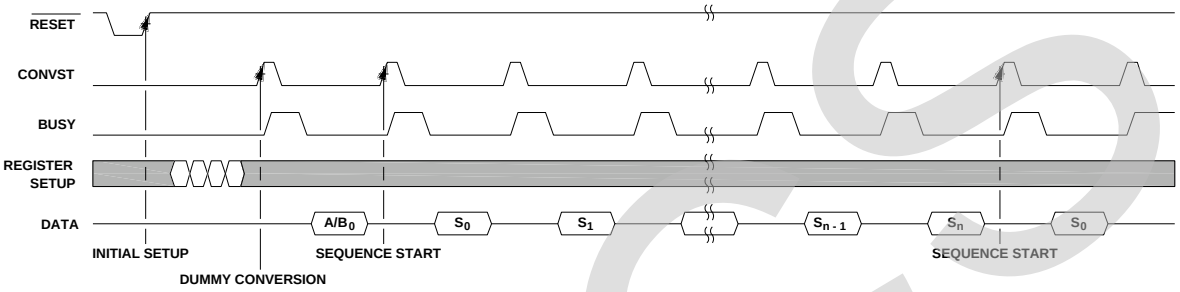


图 21. 软件模式序列器配置

突发模式序列器

突发模式下不需要为转换序列中的每个步骤产生一个 CONVST 脉冲。一个 CONVST 脉冲就能转换序列中的每个步骤。

突发序列器是一个配合序列器工作的额外特性。若使能突发功能，则一个 CONVST 脉冲就能启动序列器中配置的所有通道的转换。使用突发功能时，无需为转换序列中的每个步骤产生一个 CONVST 脉冲。突发功能的配置取决于工作模式，关于各种模式下配置突发功能的具体信息，参见“硬件模式突发”部分。

配置后，突发序列在 CONVST 上升沿启动。BUSY 引脚变为高电平表示转换正在进行。BUSY 引脚将保持高电平，直到序列中的所有转换都已完成。BUSY 引脚变为低电平后，可以回读转换结果。

读取突发序列中所有数据所需的数据读取次数取决于配置的序列长度。转换结果按通道的设置顺序出现在数据总线（并行或串行）上。在突发模式下，MS6616 的吞吐速率受限，具体值取决于序列长度。每个通道对都需要采集、转换和回读时间。

a) 硬件模式突发

将 BURST 引脚置 1，就会在硬件模式下使能突发模式。还要将 SEQEN 引脚置 1 以使能序列器（$\overline{\text{RESET}}$完全释放后）。

在硬件模式下，突发序列器由 BURST、SEQEN 和 CHSELx 引脚配置。当 MS6616 退出完全复位时，突发序列器要么使能，要么禁用。当释放$\overline{\text{RESET}}$引脚时，SEQEN 引脚和 BURST 引脚的逻辑电平决定突发序列器是使能还是禁用。释放$\overline{\text{RESET}}$引脚后，该功能便固定下来，要退出该功能并设置另一种配置，**需要通过$\overline{\text{RESET}}$引脚执行完全复位**。

当突发序列器使能时，CHSELx 引脚的逻辑电平决定选择哪些通道在突发序列中进行转换。释放$\overline{\text{RESET}}$引脚时的 CHSELx 引脚状态决定要在序列中转换的通道初始设置。要在复位后重新配置选定进行转换的通道，请将 CHSELx 引脚设为所需的设置并保持下一个 BUSY 脉冲时间（详情参见图 22）。

b) 软件模式突发

在软件模式下，将配置寄存器中的 BURST 位设为 1 可使能突发功能。将配置寄存器中的 SEQEN 位设为 1 时，必须执行此操作，如“软件模式序列器”部分中配置序列器的步骤所述（更多信息参见图 23）。

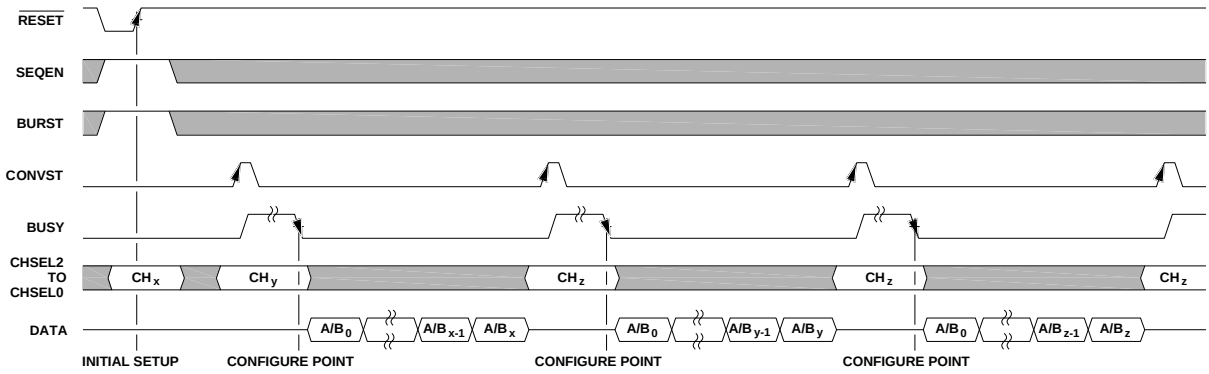


图 22.突发序列器硬件模式

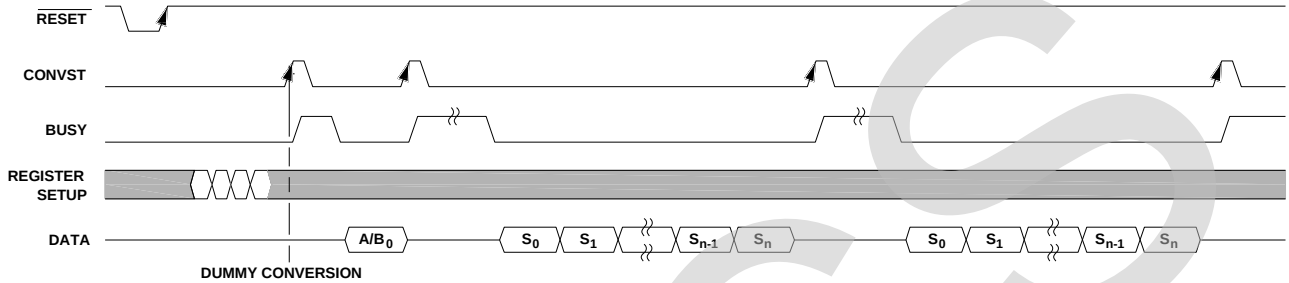


图 23.突发序列器软件模式

诊断通道

除 16 个模拟输入 VxA 和 VxB 外，MS6616 还可以转换以下诊断通道：AV_{CC} 和模拟 ALDO 电压。将通道寄存器（参见“通道寄存器”部分）设置为对应的通道标识符，便可选择诊断通道进行转换。软件模式下也可将诊断通道增加到序列器堆栈中，但要提供精确的读数，吞吐速率须小于 250kSPS。

各通道的预期输出由以下传递函数决定：公式中 V_{REF} 指 REFCAP 引脚上的电压，其典型值约为 4 V。

$$V_{CC}\ Code=\frac{0.8V_{CC}-0.25V_{REF}}{V_{REF}}\times 32768$$

$$LDO\ Code=\frac{V_{ALDO}-0.6V_{REF}}{V_{REF}}\times 32768$$

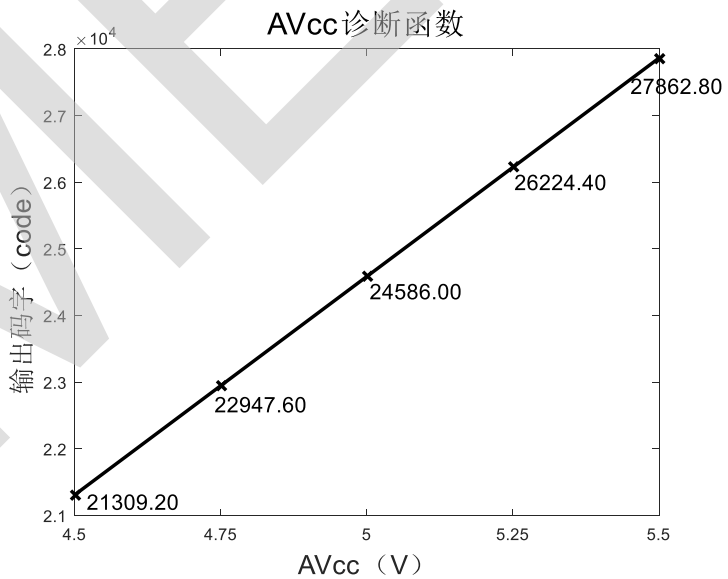


图 24.Vcc 诊断通道输出 code

MECS

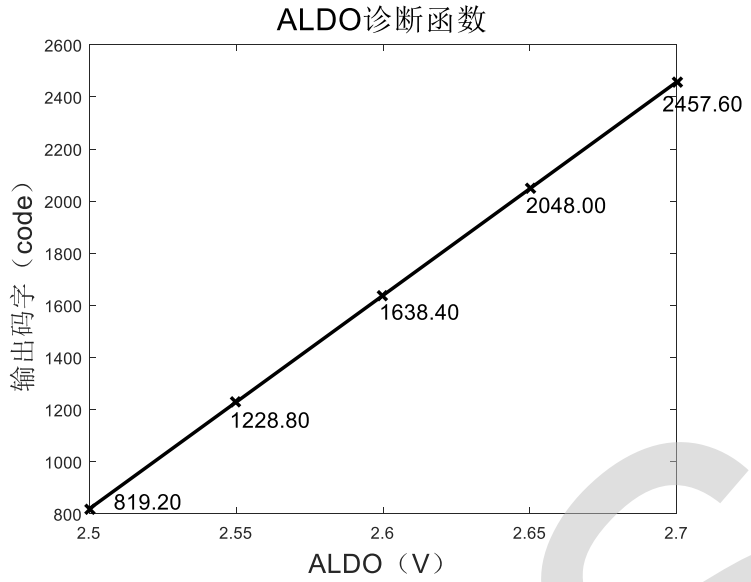


图 25. ALDO 诊断通道输出 code

接口自测

选择通道寄存器中的通信自测通道，可以测试数字接口的完整性（参见“通道寄存器”部分）。

配置寄存器选择通信自测通道，进行转换（非序列器模式下，第一次需要一次伪转换），会迫使转换结果寄存器变为已知固定输出。读取转换代码时，代码 0xAAAA 作为 ADC A 的转换代码输出，代码 0x5555 作为 ADC B 的转换代码输出。

数字滤波器

MS6616 内置一个可选的数字一阶 sinc 滤波器，在使用较低吞吐速率或需要更高信噪比或更宽动态范围的应用中，须使用该滤波器。数字滤波器的过采样倍率在硬件模式下由过采样引脚 OS2 至 OS0(OSx)控制，在软件模式下由配置寄存器中的 OS 位控制。在软件模式下，设置配置寄存器中的 OS 位之后，所有通道均使能过采样。在硬件模式下，完全复位释放时的 OSx 信号决定要使用的过采样倍率。

表 5 提供了用来选择不同过采样倍率的过采样位解码。除过采样功能外，输出结果被抽取为 16 位分辨率。

如果 OSx 引脚/OS 位选择 8 倍过采样，则下一个 CONVST 上升沿采集选定通道的第一个样本，该通道的其余 7 个样本由内部产生的采样信号采集。然后对这些样本求平均值，以改进 SNR 性能。随着过采样率提高，−3dB 带宽降低，容许的采样频率也降低。转换时间随着过采样率提高而延长，BUSY 信号与过采样率成比例。采集和转换时间随着过采样率提高而线性增加。

若在序列器或突发模式下使能过采样，则在序列器移至下一通道之前，会采集给定通道的额外样本。

表 9.过采样位解码

OS[2:0]	过采样倍率	±2.5V 范围 SNR（dB）	±5V 范围 SNR（dB）	±10V 范围 SNR（dB）	±5V 范围 3dB 带宽（kHz）	10V 范围 3dB 带宽（kHz）
000	No OS	86.5	89.3	89.6	15	22
001	2	87.5	90	90.7	15	22
010	4	88.3	91	92.2	13.7	18.5
011	8	89	91.7	93.4	10.3	11.9
100	16	89.7	93	94.2	6	6
101	32	91	93.6	94.4	3	3
110	64	92.5	94.5	95	1.5	1.5
111	128	93.8	95.1	95.5		

11.0 寄存器汇总

MS6616 有 6 个读/写寄存器，用于在软件模式下配置器件；另有 32 个序列器堆栈寄存器，用于设置灵活的片内序列器；表 10 是 MS6616 的读/写寄存器一览表。

表 10.寄存器汇总

寄存器	名称	位	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	复位	R/W
0x02	配置寄存器	[15:8]	寻址							保留	0x0000	R/W
		[7:0]	N/A	BURSTEN	SEQEN	OS			N/A	N/A		
0x03	通道寄存器	[15:8]	寻址							保留	0x0000	R/W
		[7:0]	CHB				CHA					
0x04	输入范围寄存器 A1	[15:8]	寻址							保留	0x00FF	R/W
		[7:0]	V3A		V2A		V1A		V0A			
0x05	输入范围寄存器 A2	[15:8]	寻址							保留	0x00FF	R/W
		[7:0]	V7A		V6A		V5A		V4A			
0x06	输入范围寄存器 B1	[15:8]	寻址							保留	0x00FF	R/W
		[7:0]	V3B		V2B		VB1		V0B			
0x07	输入范围寄存器 B2	[15:8]	寻址							保留	0x00FF	R/W
		[7:0]	V7B		V6B		VB5		V4B			
0x20 to 0x3F	序列器堆栈寄存器 [0:31]	[15:8]	寻址							SSRENx	0x0000[1]	R/W
		[7:0]	BSELx				ASELx					

注 1：启动完全或部分复位后，序列器堆栈寄存器重新初始化，遍历通道 V0A 和通道 V0B 至通道 V7A 和通道 V7B 并循环。其余 24 层堆栈重新初始化为 0x0。

寻址寄存器

写入器件的 7 个 MSB 用于确定要寻址的寄存器。这 7 个 MSB 由**寄存器地址 (REGADDR) 位 [5:0] 和读/写位组成**。寄存器地址位确定选择哪个片内寄存器。读/写位确定 DB10/SDI 线上数据的其余 9 位是否载入被寻址的寄存器。若读/写位为 1，则将这些位载入由寄存器选择位寻址的寄存器。若读/写位为 0，则认为命令是一个读操作请求。被寻址的寄存器数据可在下一读操作中读取。

表 11.寻址寄存器

位	引脚名称	描述
D15	W/$\overline{R}$	若向此位写入 1，则将此寄存器的位 [D8:D0] 写入 REGADDR[5:0] 指定的寄存器。 若写入 0，则从指定的寄存器来进行读取。
D14	REGADDR[5]	若向此位写入 1，则 REGADDR[4:0] 的内容指定 32 个序列器堆栈寄存器。 若写入 0，则选择 REGADDR[4:0] 所定义的寄存器。
[D13:D9]	REGADDR[4:0]	当 W/R =1 时，REGADDR[4:0] 的内容决定要选择的寄存器，如下所示： 00001：保留。 00010：选择配置寄存器。 00011：选择通道寄存器。 00100：选择输入范围寄存器 A1。 00101：选择输入范围寄存器 A2。 00110：选择输入范围寄存器 B1。 00111：选择输入范围寄存器 B2。 01000：保留。 当 W/R= 0 时，REGADDR[4:0] 为所访问寄存器地址。
[D8:D0]	DATA[8:0]	将这些位写入位 REGADDR[5:0] 指定的寄存器。有关各寄存器的详细说明，参见下面部分。

配置寄存器

配置寄存器用在软件模式下，用来配置 ADC 的许多主要功能，包括序列器、突发模式、过采样等。

地址：**0x02**；复位：**0x0000**；名称：配置寄存器

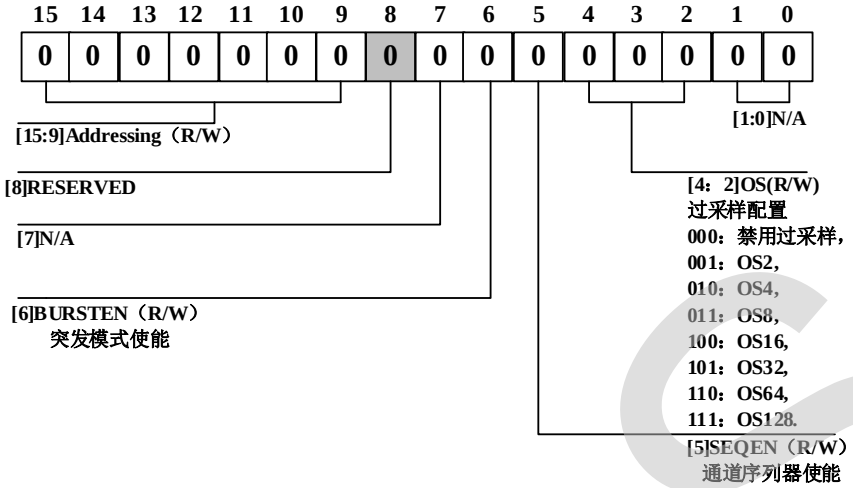


表 12.配置寄存器的位功能描述

位	位名称	设置	描述	复位	访问类型
[15:9]	寻址	0	位 [15:9] 指定相关寄存器的地址。详情见“寻址寄存器”部分。	0x0	RW
8	保留		保留。	0x0	R/W
7	N/A	N/A		N/A	R
6	BURSTEN		**突发模式使能。**	0x0	R/W
		0	禁用突发模式。每个要转换的通道对都需要一个 CNVST 脉冲。		
		1	单个 CNVST 脉冲就能转换 32 层序列器堆栈寄存器中设置的每个对，直到且包括 SSRENx 位定义的层。详情参见“软件模式序列器”和“软件模式突发”部分。		
5	SEQEN		**通道序列器使能**。	0x0	R/W
		0	禁用通道序列器。		
		1	使能通道序列器。		
[4:2]	OS		**过采样 (OS) 配置。**	0x0	R/W
		000	禁用过采样。		
		001	使能过采样，OSR = 2。		
		010	使能过采样，OSR = 4。		
		011	使能过采样，OSR = 8。		
		100	使能过采样，OSR = 16。		
		101	使能过采样，OSR = 32。		
		110	使能过采样，OSR = 64。		
		111	使能过采样，OSR = 128。		
1	N/A	N/A		N/A	R/W
0	N/A	N/A		N/A	R/W

通道寄存器

在软件手动模式下，通道寄存器选择输入通道或自测通道进行下一次转换。

地址：**0x03**；复位：**0x0000**；名称：通道寄存器

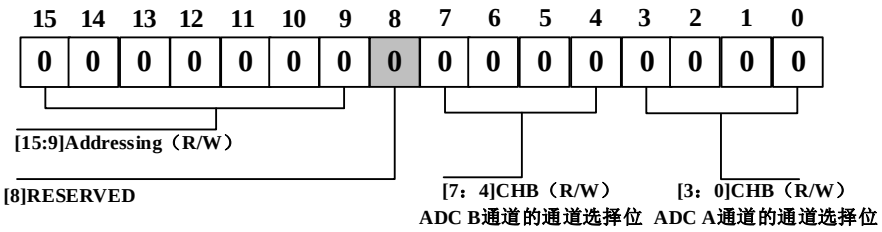


表 13.通道寄存器的位功能描述

位	位名称	设置	描述	复位	访问类型
[15:9]	寻址		位 [15:9] 指定相关寄存器的地址。详情见“寻址寄存器”部分。	0x0	R/W
8	保留		保留。	0x0	R/W
[7:4]	CHB		**ADC B 通道的通道选择位。**		
		0000	V0A/V0B。		
		0001	V1A/V1B。		
		0010	V2A/V2B。		
		0011	V3A/V3B。		
		0100	V4A/V4B。		
		0101	V5A/V5B。		
		0110	V6A/V6B。		
		0111	V7A/V7B。		
		1000	V_{CC}		
		1001	ALDO。		
		1010	保留。		
		1011	设置数字接口通信自测功能的专用位。读取转换代码时，代码 0xAAAA 作为通道 A 的转换代码读出，代码 0x5555 作为通道 B 的代码读出。		
		1100	保留。		
[3:0]	CHA		ADC A 通道的通道选择位。设置同 ADC B。	0x0	R/W

输入范围寄存器

输入范围寄存器 A1/A2、B1/B2 配置输入通道 V0A 至 V7A、V0B 至 V7B 的三个可能输入范围（（±10V、±5V 或±2.5V）。

地址：**0x04**；复位：**0x00FF**；名称：输入范围寄存器 A1

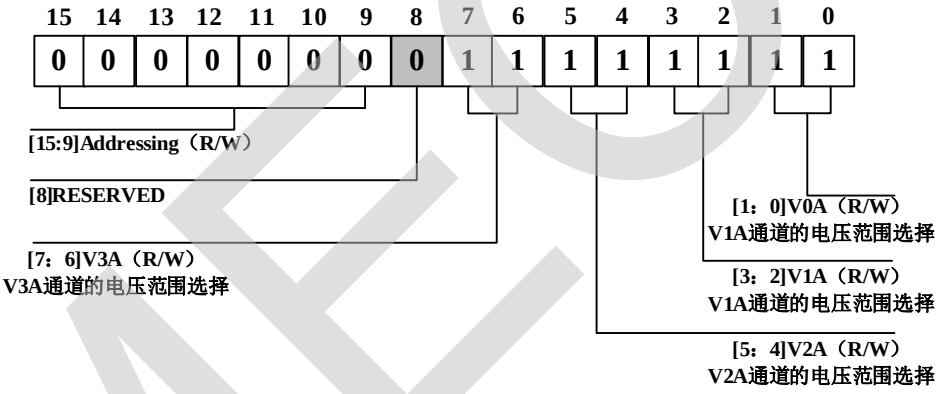


表 14.输入范围寄存器 A1 的位功能描述

位	位名称	设置	描述	复位	访问类型
[15:9]	寻址		位 [15:9] 指定相关寄存器的地址。详情见“寻址寄存器”部分。	0x0	R/W
8	保留		保留。	0x0	R/W
[7:6]	V3A		**V3A 电压范围选择。**	0x3	R/W
		00	V3A ± 10 V。		
		01	V3A ± 2.5 V。		
		10	V3A ± 5 V。		
		11	V3A ± 10 V。		
[5:4]	V2A		**V2A 电压范围选择。**	0x3	R/W
		00	V2A ± 10 V。		
		01	V2A ± 2.5 V。		
		10	V2A ± 5 V。		
		11	V2A ± 10 V。		
[3:2]	V1A		**V1A 电压范围选择。**	0x3	R/W
		00	V1A ± 10 V。		
		01	V1A ± 2.5 V。		
		10	V1A ± 5 V。		
		11	V1A ± 10 V。		
[1:0]	V0A		**V0A 电压范围选择。**	0x3	R/W
		00	V0A ± 10 V。		
		01	V0A ± 2.5 V。		
		10	V0A ± 5 V。		
		11	V0A ± 10 V。		

地址：**0x05**；复位：**0x00FF**；名称：输入范围寄存器 A2

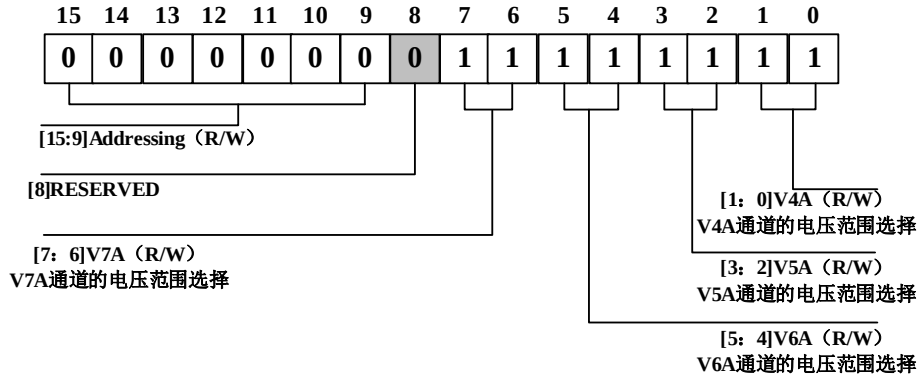
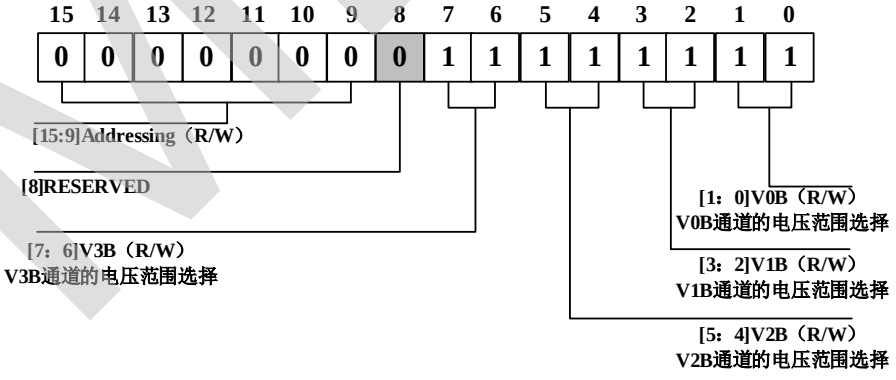


表 15.输入范围寄存器 A2 的位功能描述

位	位名称	设置	描述	复位	访问类型
[15:9]	寻址		位 [15:9] 指定相关寄存器的地址。详情见“寻址寄存器”部分。	0x0	R/W
8	保留		保留。	0x0	R/W
[7:6]	V7A		**V7A 电压范围选择。**	0x3	R/W
		00	V7A ± 10 V。		
		01	V7A ± 2.5 V。		
		10	V7A ± 5 V。		
		11	V7A ± 10 V。		
[5:4]	V6A		**V6A 电压范围选择。**	0x3	R/W
		00	V6A ± 10 V。		
		01	V6A ± 2.5 V。		
		10	V6A ± 5 V。		
		11	V6A ± 10 V。		
[3:2]	V5A		**V5A 电压范围选择。**	0x3	R/W
		00	V5A ± 10 V。		
		01	V5A ± 2.5 V。		
		10	V5A ± 5 V。		
		11	V5A ± 10 V。		
[1:0]	V4A		**V4A 电压范围选择。**	0x3	R/W
		00	V4A ± 10 V。		
		01	V4A ± 2.5 V。		
		10	V4A ± 5 V。		
		11	V4A ± 10 V。		

地址：**0x06**；复位：**0x00FF**；名称：输入范围寄存器 B1



MECS

表 16.输入范围寄存器 B1 的位功能描述

位	位名称	设置	描述	复位	访问类型
[15:9]	寻址		位 [15:9] 指定相关寄存器的地址。详情见“寻址寄存器”部分。	0x0	R/W
8	保留		保留。	0x0	R/W
[7:6]	V3B		**V3B 电压范围选择。**	0x3	R/W
		00	V3B ± 10 V。		
		01	V3B ± 2.5 V。		
		10	V3B ± 5 V。		
		11	V3B ± 10 V。		
[5:4]	V2B		**V2B 电压范围选择。**	0x3	R/W
		00	V2B ± 10 V。		
		01	V2B ± 2.5 V。		
		10	V2B ± 5 V。		
		11	V2B ± 10 V。		
[3:2]	V1B		**V1B 电压范围选择。**	0x3	R/W
		00	V1B ± 10 V。		
		01	V1B ± 2.5 V。		
		10	V1B ± 5 V。		
		11	V1B ± 10 V。		
[1:0]	V0B		**V0B 电压范围选择。**	0x3	R/W
		00	V0B ± 10 V。		
		01	V0B ± 2.5 V。		
		10	V0B ± 5 V。		
		11	V0B ± 10 V。		

地址：**0x07**；复位：**0x00FF**；名称：输入范围寄存器 B2

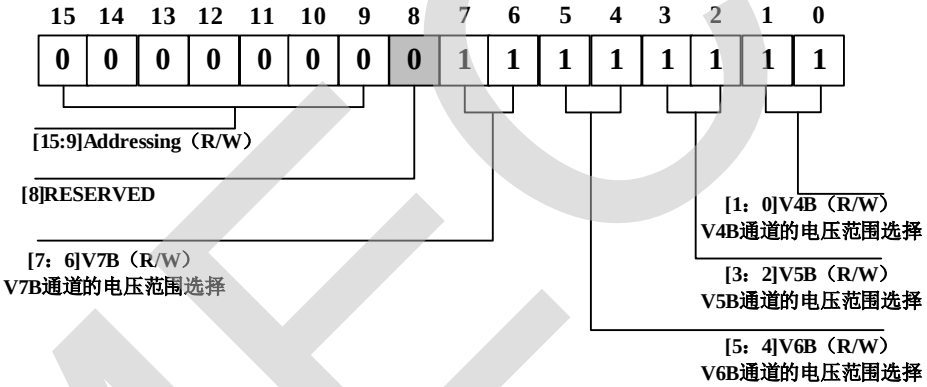


表 17.输入范围寄存器 B2 的位功能描述

位	位名称	设置	描述	复位	访问类型
[15:9]	寻址		位 [15:9] 指定相关寄存器的地址。详情见“寻址寄存器”部分。	0x0	R/W
8	保留		保留。	0x0	R/W
[7:6]	V7B		**V7B 电压范围选择。**	0x3	R/W
		00	V7B ± 10 V。		
		01	V7B ± 2.5 V。		
		10	V7B ± 5 V。		
		11	V7B ± 10 V。		
[5:4]	V6B		**V6B 电压范围选择。**	0x3	R/W
		00	V6B ± 10 V。		
		01	V6B ± 2.5 V。		
		10	V6B ± 5 V。		
		11	V6B ± 10 V。		
[3:2]	V5B		**V5B 电压范围选择。**	0x3	R/W
		00	V5B ± 10 V。		
		01	V5B ± 2.5 V。		
		10	V5B ± 5 V。		
		11	V5B ± 10 V。		
[1:0]	V4B		**V4B 电压范围选择。**	0x3	R/W
		00	V4B ± 10 V。		
		01	V4B ± 2.5 V。		
		10	V4B ± 5 V。		
		11	V4B ± 10 V。		

MECS

序列器堆栈寄存器

虽然通道寄存器能够定义下一个要转换的通道（无论是诊断通道还是一对模拟输入通道），但若要对许多模拟输入通道进行采样，那么利用 32 个序列器堆栈寄存器将很方便。在通信寄存器中，当 REGADDR5 位设为逻辑 1 时，REGADDR[4:0] 的内容指定 32 个序列器堆栈寄存器中的一个。在每个序列器堆栈寄存器中，用户可以指定一对模拟输入进行同步采样。

序列的结构形成一个堆栈，其中的每一行代表要同步转换的两个通道。序列从序列器堆栈寄存器 1 开始，一直遍历到序列器堆栈寄存器 32 并循环。如果某一序列器堆栈寄存器中的位 D8（使能位 SSRENx）设为 1，该序列将以该寄存器定义的模拟输入对结束，然后回到第一序列器堆栈寄存器并再次循环。默认情况下，序列器堆栈寄存器设置为遍历通道 V0A 和通道 V0B 至通道 V7A 和通道 V7B 并循环。启动完全或部分复位后，序列器堆栈寄存器重新初始化，遍历通道 V0A 和通道 V0B 至通道 V7A 和通道 V7B 并循环。

地址：**0x20** 至 **0x3F**；复位：**0x0000**；名称：序列器堆栈寄存器 [0:31]

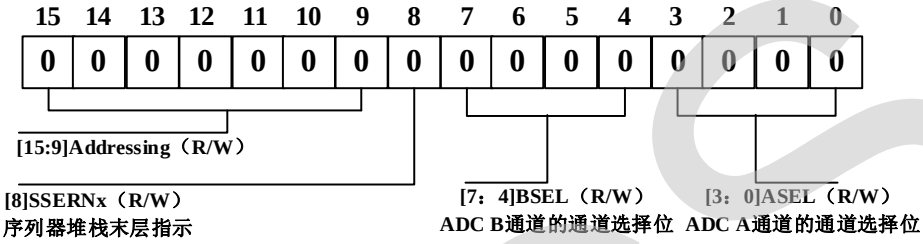


表 18.序列器堆栈寄存器的位功能描述

位	位名称	设置	描述	复位	访问类型
[15:9]	寻址		位 [15:9] 指定相关寄存器的地址。详情见“寻址寄存器”部分。	0x0	R/W
8	SSREN[0:31]		此位设为 0 时，指示 ADC 在转换完当前通道对之后，转移至序列器堆栈的下一层。此位设为 1 时，定义序列器堆栈的该层为序列中的最后一层。然后，序列器回到堆栈的第一层并循环。	0x0	R/W
[7:4]	BSEL[0:31]		ADC B 通道的通道选择位。	0x0[1]	R/W
		0000	V0B。		
		0001	V1B。		
		0010	V2B。		
		0011	V3B。		
		0100	V4B。		
		0101	V5B。		
		0110	V6B。		
		0111	V7B。		
		1000	V_{CC}。		
		1001	ALDO。		
		1010	保留。		
		1011	设置数字接口通信自测功能的专用位。读取转换代码时，代码 0xAAAA 作为通道 A 的转换代码读出，代码 0x5555 作为通道 B 的转换代码读出。		
		1100	保留。		
[3:0]	ASEL[0:31]		ADC A 通道的通道选择位。设置同 ADC B。	0x0[1]	R/W

注 [1]：启动完全或部分复位后，序列器堆栈寄存器重新初始化，遍历通道 V0A 和通道 V0B 至通道 V7A 和通道 V7B 并循环。其余 24 层堆栈重新初始化为 0x0。

12.0 应用须知

MS6616 所在的印刷电路板应采用模拟部分与数字部分分离设计，并限制在电路板的不同区域内。至少应使用一个接地层。数字和模拟部分可以共用或分割使用接地层。在使用分割的地层时，数字地和模拟地应单点连接。单点接地点最好尽可能靠近 MS6616。如果 MS6616 系统内有多个器件要求模数接地，仍应坚持单点接地，把接地点放置在尽可能靠近 MS6616 的一个星型接地点。确保每个接地引脚与地层的良好连接。避免多个接地引脚共用一个到地层的连接的情况。每个接地引脚应使用单个过孔或多个过孔接入接地层。

应避免在器件下方布设数字线路，否则会将噪声耦合至芯片。应允许模拟接地层布设在 MS6616 下方，以避免噪声耦合。如 CONVST 或时钟等快速切换信号要使用数字地加以屏蔽，以免将噪声辐射到电路板的其他部分，而且快速切换信号绝不能靠近模拟信号路径。应避免数字信号与模拟信号交叠。电路板邻近层上的走线应彼此垂直，以减小电路板的馈通效应。

AV_{CC}、V_{DRIVE} 引脚的电源线路应采用尽可能宽的走线，以提供低阻抗路径，并减小电源线路上的毛刺噪声效应。可能的话，应使用电源层，并在电源引脚和电路板的电源走线之间建立良好连接；这包括每个电源引脚应使用单个过孔或多个过孔连接至电源走线和电源层。

良好的去耦也很重要，以便降低 MS6616 的电源阻抗，并减少电源尖峰幅度。所有电源引脚 AV_{CC} 和 V_{DRIVE} 上都应连接典型值为 100nF 的去耦陶瓷电容。这些去耦电容应靠近（理想情况是紧靠）这些引脚及其对应接地引脚放置。此外，每个电源引脚上都应放置低 ESR 10μF 电容。应避免引脚共用这些电容。应使用大过孔将这些电容与电源和接地层相连。过孔和电容焊盘之间应使用较宽、较短的走线，或使过孔紧邻电容焊盘，以便最大程度地降低寄生电感。对于 AV_{CC} 去耦，推荐的去耦电容为 100nF、低 ESR、陶瓷电容（Farnell 335-1816）和 10μF、低 ESR、钽电容（Farnell 197-130）。应在 AV_{CC} 电源进入电路板处放置一个大型去耦钽电容。

REFIN/REFOUT 引脚和 REFCAPA、REFCAPB 引脚的去耦电容应尽可能靠近相应的引脚。可能的话，应将这些电容放在电路板上与 MS6616 器件相同的一侧。

MECS

13.0 外形尺寸

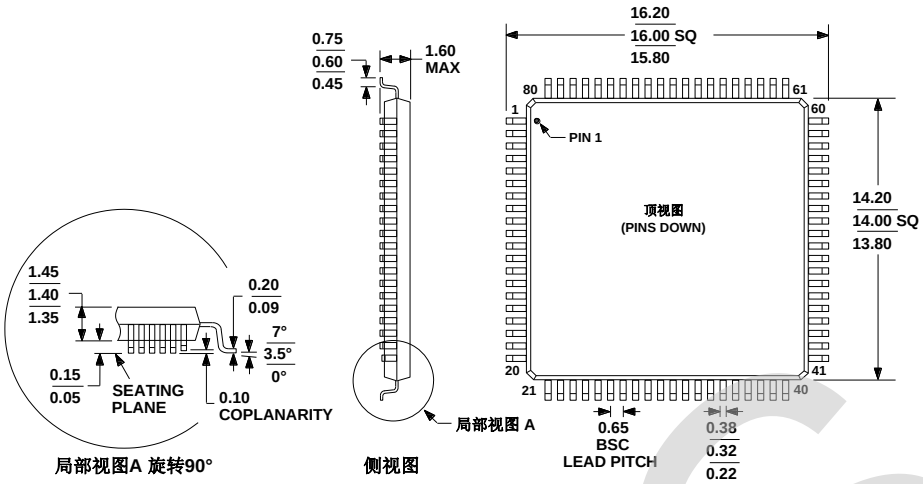


图 26.80 管脚薄型四方扁平封装 [LQFP80]

14.0 订货信息

订货型号	工作温度	封装形式	执行标准（质量等级）
MS6616	-40℃~+125℃	塑封 LQFP80	工业级（宽温）

MECS