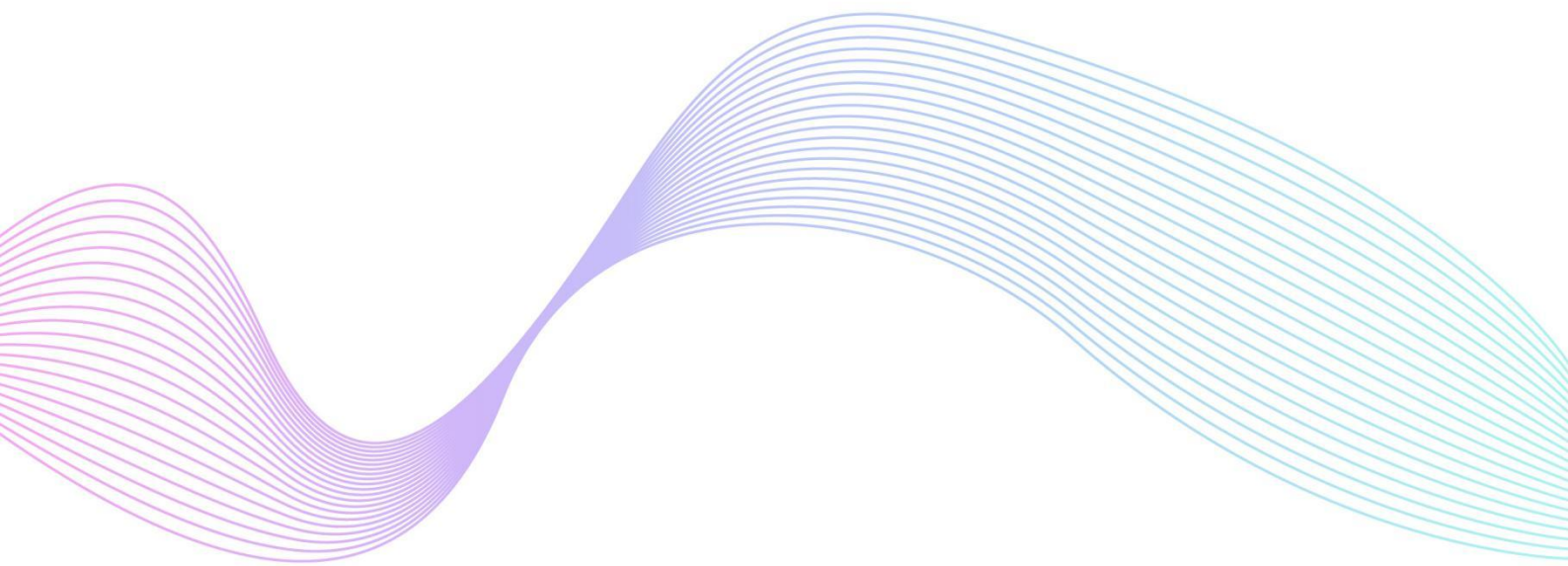


MgiCubo[®] 系列 FPGA 数据手册

(DS001-C, V1.7)

2026年8月



目录

名词术语解释	III
第一章 概述	1
1.1. MgiCubo®系列FPGA特性	2
1.2. MgiCubo®系列FPGA列表	5
1.3. MgiCubo®系列FPGA封装信息	5
1.4. 芯片命名规则	6
第二章 MgiCubo®架构介绍	7
2.1. 可配置逻辑块 (CLE)	8
2.2. 时钟资源 (CLK)	9
2.3. 时钟管理单元 (CMU)	11
2.4. 嵌入式存储器模块 (ERAM)	12
2.4.1. ERAM架构	12
2.4.2. ERAM36K功能	12
2.5. 数字信号处理 (DSP)	14
2.6. 输入输出资源 (IO)	15
2.7. 模数转换器 (HADC)	17
2.8. 串化器/解串器 (SerDes)	18
2.9. PCI Express控制器	20
2.10. 配置说明 (CFG)	21
2.10.1. 加密配置功能	21
2.10.2. 配置模式	21
2.11. DDR	22

第三章 工作条件和DC特性	23
3.1. 工作条件	23
3.1.1. 最大绝对电压	23
3.1.2. 推荐操作条件	26
3.1.3. 推荐工作条件下的DC特性	28
3.1.4. 典型静态电流	30
3.1.5. 上下电时序	31
3.1.6. eFUSE编程条件	33
3.2. 输入输出DC特性	34
第四章 SerDes特性	44
4.1. SerDes收发器直流规格	44
4.2. SerDes交流特性	46
第五章 PCIe特性	57
第六章 存储接口	57
第七章 MgiCubo [®] 系列封装规格	58
第八章 热阻特性	61
第九章 回流焊温度曲线	62
第十章 版本信息	63
第十一章 版权声明	65

■ 名词术语解释

Abbreviations 缩略语	Full Spelling 英文全拼	Chinese Explanation 中文
CLE	Configurable Logic Element	可配置逻辑模块
FCARRY4	Fast Carry Logic with Look Ahead	超前进位加法器
CLC	Configurable Logic Cell	可配置逻辑单元
CMU	Clock Manage Unit	时钟管理单元
GCLK_BUF	Global Clock Simple Buffer	全局时钟简单缓冲器
GCLK_BUFCTRL	Global Clock Control Buffer	全局时钟控制缓冲器
HCLK_BUF	HROW Clock Buffer for a Single Clocking Region	用于单时钟区域的HROW时钟缓冲器
HCLK_BUFCE	HROW Clock Buffer for a Single Clocking Region with Clock Enable	带时钟使能功能的单时钟区HROW时钟缓冲器
IOCLK_BUF	Local Clock Buffer for I/O	I/O本地时钟缓冲器
MRCLK_BUF	Multi-Region Clock Buffer	多区域时钟缓冲器
RCLK_BUF	Regional Clock Buffer for I/O and Logic Resources within a Clock Region	时钟区域内I/O和逻辑资源的区域时钟缓冲器
PLL_ADV	Advanced Phase Locked Loop (PLL)	多模式锁相环
PLL_BASE	Base Phase Locked Loop (PLL)	基本锁相环
ERAM	Embedded RAM	嵌入式存储器
BUF_I	Input Buffer	输入缓冲器
BUF_O	Output Buffer	输出缓冲器
HADC	HybrdChip ADC	HybrdChip 模拟数字转换器
INT	Interconnection	互联资源

第一章 概述

中科芯磁科技（珠海）有限责任公司推出的MgiCubo®系列FPGA是高性能、低功耗的可编程逻辑器件，专为成本敏感型应用而设计。该系列FPGA采用28nm工艺技术，提供优异的功耗效率，适用于多种市场领域，包括工业、通信、汽车和消费电子产品。

中科芯磁科技（珠海）有限责任公司推出的MgiCubo®系列FPGA拥有充足的逻辑单元、高速串行的I/O、丰富的存储资源和IP资源，定位低成本、高性能、低功耗可编程逻辑市场。

中科芯磁科技（珠海）有限责任公司推出的MgiCubo®系列FPGA针对高带宽应用场景，提供了一系列的功能和方案，使其能够应对多种高性能需求，比如：数据中心和网络设备、视频处理和图像处理、无线通信和基站、科学研究和高性能计算、存储系统、机器视觉和人工智能。通过灵活的硬件设计和适当的软件编程，MgiCubo®系列FPGA能够在这些高带宽应用场景中实现高效能和高可靠性的解决方案。

1.1.MgiCubo®系列FPGA特性

表 1.1-1 MgiCubo®系列器件特性表

名称	特性
可配置逻辑模块（CLE）	LUT6，支持双LUT5选项
	丰富的寄存器和锁存器资源
	支持分布式存储器和移位寄存器
	专用快速进位链逻辑
时钟（CLK）	32路全局时钟网络（GCLK）
	多区域时钟（MRCLK）
	区域时钟（RCLK）
时钟管理单元（CMU）	包含PLL_ADV和PLL_BASE
	主要实现频率综合、分频和相移等功能
	可实现时钟去歪斜和时钟抖动滤波
嵌入式存储器（ERAM）	容量为36Kb
	可配置为真双端口模式或简单双端口模式
	字深和位宽可灵活配置
	支持ECC模式
	内嵌FIFO逻辑

名称	特性
数字信号处理 (DSP)	包含加法器、乘法器和算术逻辑单元
	可选的pipeline结构
	专用互连实现的级联结构
输入输出 (IO)	包含High Range (3.3V) 和High Performance (1.8V) I/O
	支持LVCMOS、HSTL等多种单端I/O标准
	支持LVDS等多种差分I/O标准
	支持片内差分端接应用
	HP I/O支持数控阻抗匹配功能
	可配置弱上拉/弱下拉/保持模式
输入输出逻辑 (IO Logic)	可配置为组合逻辑或利用寄存器, 支持DDR
	包含输入输出可调延时单元
	包含输入串转并电路和输出并转串电路
SerDes	最大速率12.5Gbps
	支持Aurora、RapidIO、SATA、PCIe、CPRI、Interlaken、CEI、XAUI、RXAUI、GigE等多种协议
	集成PCI Express硬核, 支持GEN1/2, 支持X1、X2和X4模式
配置模式	从串模式 (Slave Serial)

名称	特性
	主SPI (x1/x2/x4) 模式
	主BPI (x8/x16) 模式
	JTAG模式
	主SelectMAP (x8/x16) 模式
	从SelectMAP (x8/x16/x32) 模式
	主串模式 (Master Serial)
模拟数字转换器 (HADC)	包含一个双12位 1MSPS ADC
	支持芯片电源电压和温度实时监测
	支持外部模拟输入转数字信号
DDR	支持DDR3、DDR3L、DDR2、LPDDR2
	支持8-bit至72-bit数据位宽
	Fly-By的拓扑结构
	支持Data Mask
BSCAN	兼容IEEE-1149.1
SEU检错和纠错	支持单bit检错和纠错
	支持定时背景刷新机制
	支持双bit检错

1.2.MgiCubo®系列FPGA列表

表 1.2-1 MgiCubo®系列FPGA器件列表

Device	LC (K)	CLC	ERAM (Kb)	CMU	DSP	DDR3 (Mb/s)	PCIe Gen2	GT066 (6.6Gbps)	GT125 (12.5Gbps)	Core Voltage (V)
MC1P75 ⁽¹⁾	75	11800	3780	6	180	1066	1	8	-	0.90/0.85
MC1P110 ⁽¹⁾	110	15850	4860	6	240	1066	1	8	-	0.90/0.85
MC1P220 ⁽¹⁾	215	33650	13140	10	740	1066	1	8	-	0.90/0.85
MC1P170 ⁽¹⁾	170	25350	11700	8	600	1866	1	-	8	0.90/0.85

附注：

1.已量产。

1.3.MgiCubo®系列FPGA封装信息

表 1.3-1 MgiCubo®系列FPGA封装类型

封装类型	封装尺寸 (mm)	球间距 (mm)	MC1P75			MC1P110			MC1P170			MC1P220		
			GT066	HRIO	HPIO	GT066	HRIO	HPIO	GT125	HRIO	HPIO	GT066	HRIO	HPIO
FC324	15X15	0.8	0	210	-	0	210	-	-	-	-	-	-	-
FC484	23X23	1.0	4	285	-	4	285	-	4	185	100	4	285	-
FC676	27X27	1.0	8	300	-	8	300	-	8	250	150	8	400	-

1.4.芯片命名规则

表 1.4-1 MgiCubo®系列FPGA芯片命名规则

芯片命名	命名示意图如下
命名规则	MC X X XXX X XXX XXX X 产品代际 产品类型 逻辑规模 功耗等级 封装类型 管脚数量 质量等级 举例说明: MC 1 P 110 S FC 484 I

- 产品代际：1代表第一代产品，2代表第二代产品；
- 产品类型：P代表FPGA产品，H代表PHC产品；
- 逻辑规模：例如110，代表110K LC；
- 功耗等级：S代表标准产品，L代表低功耗产品；
- 封装类型：例如FC，代表flip-chip；
- 管脚数量：例如484，代表484个引脚；
- 质量等级：例如I，代表工业级。

第二章 MgiCubo®架构介绍

MgiCubo®系列FPGA由多个功能模块构成，包括I/O、ERAM、CMU、DSP、CLE及SerDes等。这些功能模块协同工作，共同构建出芯片架构。MgiCubo®系列FPGA架构如下图 二- 1 所示。

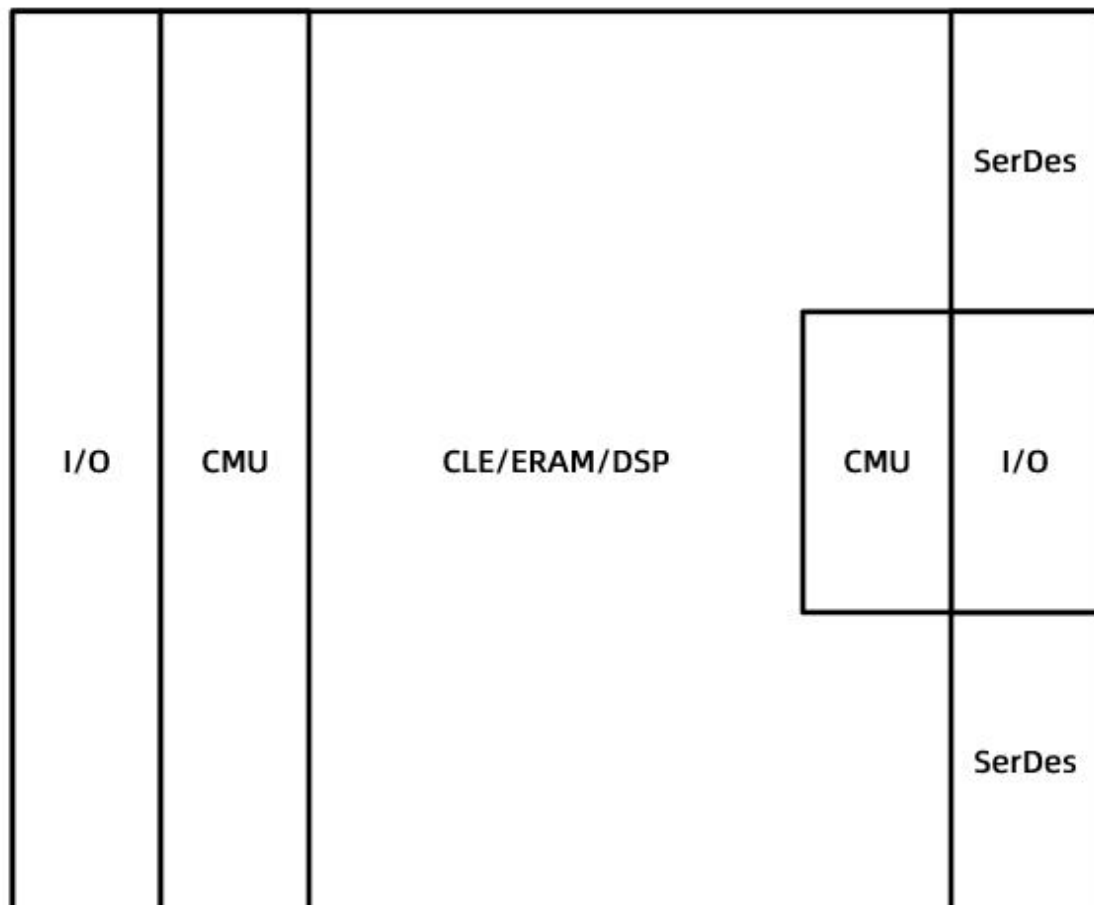


图 二-1 MgiCubo®器件架构图

2.1.可配置逻辑块（CLE）

MgiCubo®系列FPGA 可编程逻辑块（Configurable Logic Element, 简称CLE）模块，可适应各种复杂的应用需求。主要特点如下：

- 可配置为6输入查找表（LUT），支持双LUT5选项
- 可实现分布式存储器（Distributed RAM）
- 专用的移位寄存器资源
- 先进的全加器和进位链结构
- 灵活地组合拼接扩展功能
- 带复位/置位的锁存器资源

CLE是实现组合逻辑和时序逻辑的核心模块,每一个CLE都与INT连接,每个CLE包含一对CLC(Configurable Logic Cell)，这两个CLC相互间没有连接,各CLC组成一个列,每列中的CLC具有独立的进位链。CLC分为两种,CLCL和CLCM。CLCL可实现组合逻辑、算术进位逻辑、宽MUX和时序逻辑功能。CLCM除了可以实现CLCL的所有功能外,还可以配置成分布式RAM或移位寄存器链功能。CLE模块包括两种形式如图 2.1-1, 分别为CLELL和CLELM。一个CLELL模块是由两个CLCL组成,一个CLELM模块由一个CLCL和一个CLCM组成。

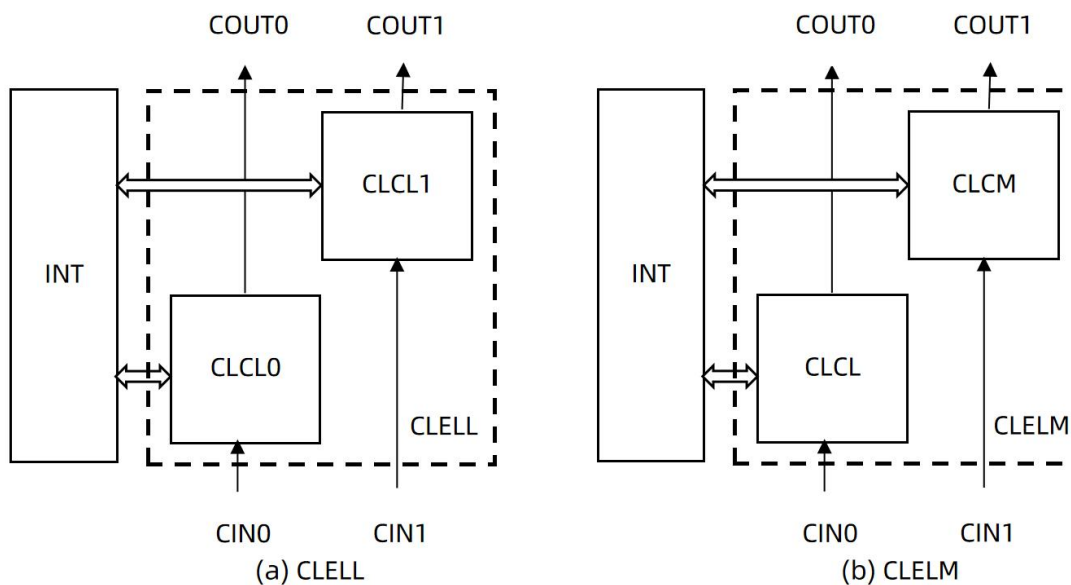


图 2.1-1 CLE 结构图

2.2.时钟资源（CLK）

MgiCubo® 系列 FPGA 为用户提供了丰富的时钟资源以使用户进行各项复杂的设计，以使设计性能达到最优。MgiCubo®系列FPGA提供了不同类型的时钟单元 GCLK_BUF, HCLK_BUF, MRCLK_BUF, RCLK_BUF, IOCLK_BUF和专用时钟管脚，可以提高时钟信号扇出能力，降低时钟信号传播延迟。如图 2.2-1 所示。

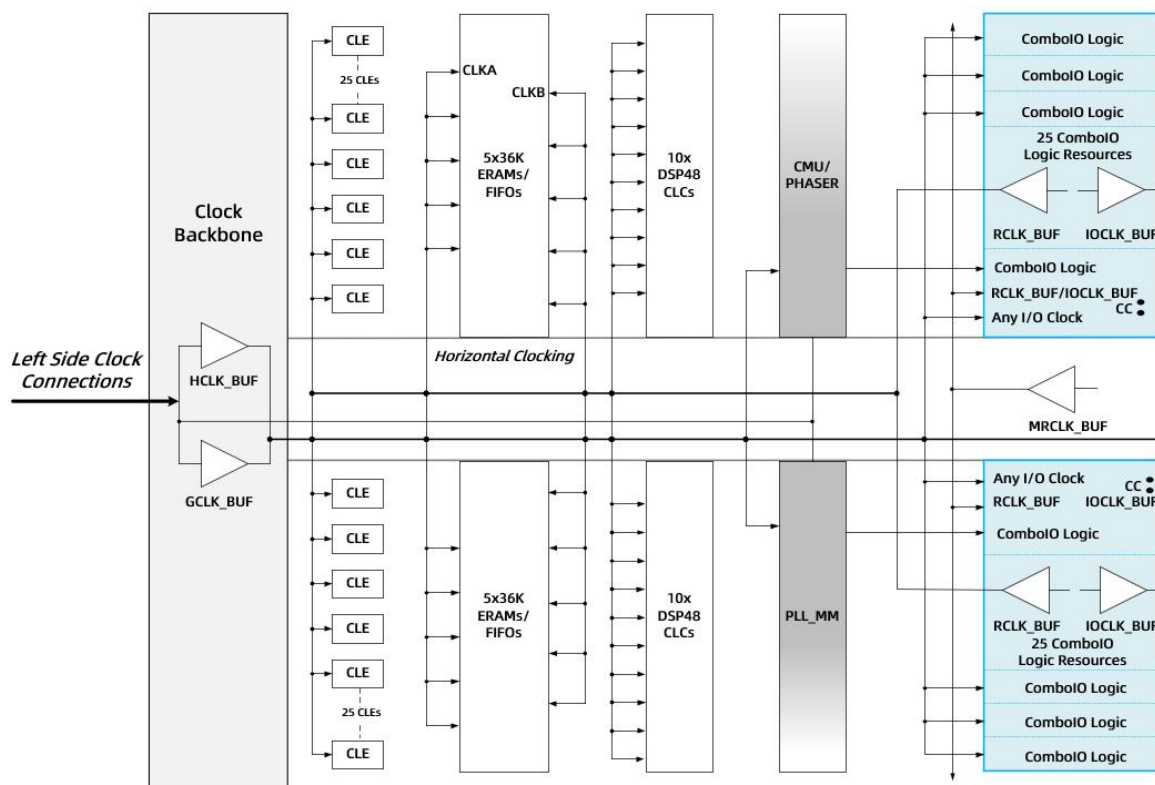


图 2.2-1 时钟内部架构示意图

MgiCubo®系列FPGA的每个I/O bank都有专用时钟管脚，用户可通过专用时钟管脚将时钟信号连接到FPGA内部的时钟网络。结合专用时钟缓冲器，专用时钟管脚将用户时钟信号连接到：

- FPGA上/下半部分的全局时钟线
- 同一I/O bank和垂直相邻的I/O bank内的I/O时钟线
- 同一时钟域和垂直相邻时钟域内的区域时钟线
- 同一时钟域内的CMU（有限制）和垂直相邻时钟域的CMU

FPGA芯片中有32条全局时钟缓冲器，可以为整个芯片中所有的时序器件提供时钟和控制信号。全局时钟缓冲器（GCLK_BUF/GCLK_BUFCTRL）驱动全局时钟线。每个时钟区域有12条水平时钟线来支持全局时钟。

对于GCLK_BUF/GCLK_BUFCTRL：

- 可以用作时钟启用电路，以启用和禁用跨越多个时钟域的时钟

- 可以用作无故障的多路复用器：
 - ◆ 可以在两个时钟源之间进行选择
 - ◆ 可以从发生故障的时钟源进行切换
- 通常由CMU进行驱动：
 - ◆ 可以消除时钟分发延迟
 - ◆ 可以调整相对于另一个时钟的时钟延迟

水平时钟缓冲器（HCLK_BUF）和带时钟使能的水平时钟缓冲器（HCLK_BUFCE）在MgiCubo[®]系列FPGA中可以有效地管理和分配时钟信号。这些缓冲器单元用于沿着单个时钟域的水平时钟线路传输时钟信号，从而实现全局时钟线的访问。

- HCLK_BUF：用于通过水平时钟线（HCLK）在FPGA内部传输时钟信号，支持时钟信号在单个时钟域内的分布
- HCLK_BUFCE：具有时钟启用功能的HCLK_BUF，可以独立启用或禁用时钟
- 时钟域和HCLK线路：支持在每个时钟区域内使用多达12条水平时钟线（HCLK）

FPGA芯片中还有区域时钟树和I/O时钟树，可以在一个时钟区域内为所有的时序器件提供时钟。芯片中还有多时钟区域缓冲器（MRCLK_BUF），允许区域时钟和I/O时钟跨越多达三个垂直相邻的时钟域。

- I/O时钟缓冲器（IOCLK_BUF）驱动I/O时钟树，为同一I/O bank中所有时序器件提供时钟
- 区域时钟缓冲器（RCLK_BUF）驱动区域时钟树，驱动同一时钟域的所有时钟点，并且可以对时钟进行分频
- 与相关的RCLK_BUF和IOCLK_BUF一起使用时，可以使用多时钟区域缓冲器（MRCLK_BUF）驱动相邻时钟域的区域时钟和相邻I/O bank的I/O时钟树
- 一个时钟域I/O bank最多可以支持4个独立的I/O时钟和4个独立的区域时钟

2.3.时钟管理单元（CMU）

时钟管理单元（Clock Management Unit, CMU）。主要用于实现FPGA内时钟资源的DESKEW、频率综合、输出分频、相移、占空比调节和展频等。VCO频率范围为600MHz~2133MHz。PLL具备8个分频输出，支持0.125整数倍的小数分频和1~128整数分频。相移功能包括粗调相移和动态细调相移，相移范围为-360°~360°。PLL内集成了占空比调节功能，调节范围为0.01~0.99。PLL还集成了展频功能，调制频率25~250KHz可调。

时钟管理单元包括一个多模式PLL（PLL_ADV）和一个基本PLL（PLL_BASE），如图 2.3-1所示，其中PLL_BASE是PLL_ADV的功能子集，PLL_ADV增加了动态细调相移、展频、小数分频功能。PLL_ADV和PLL_BASE可用作宽范围的频率综合和相移调节，可作为外部或内部时钟的时钟滤波器，还可以进行时钟去歪斜。

多种资源可作为PLL_ADV和PLL_BASE的参考时钟。输入选择器从全局时钟、本地时钟中选择参考时钟和反馈时钟。

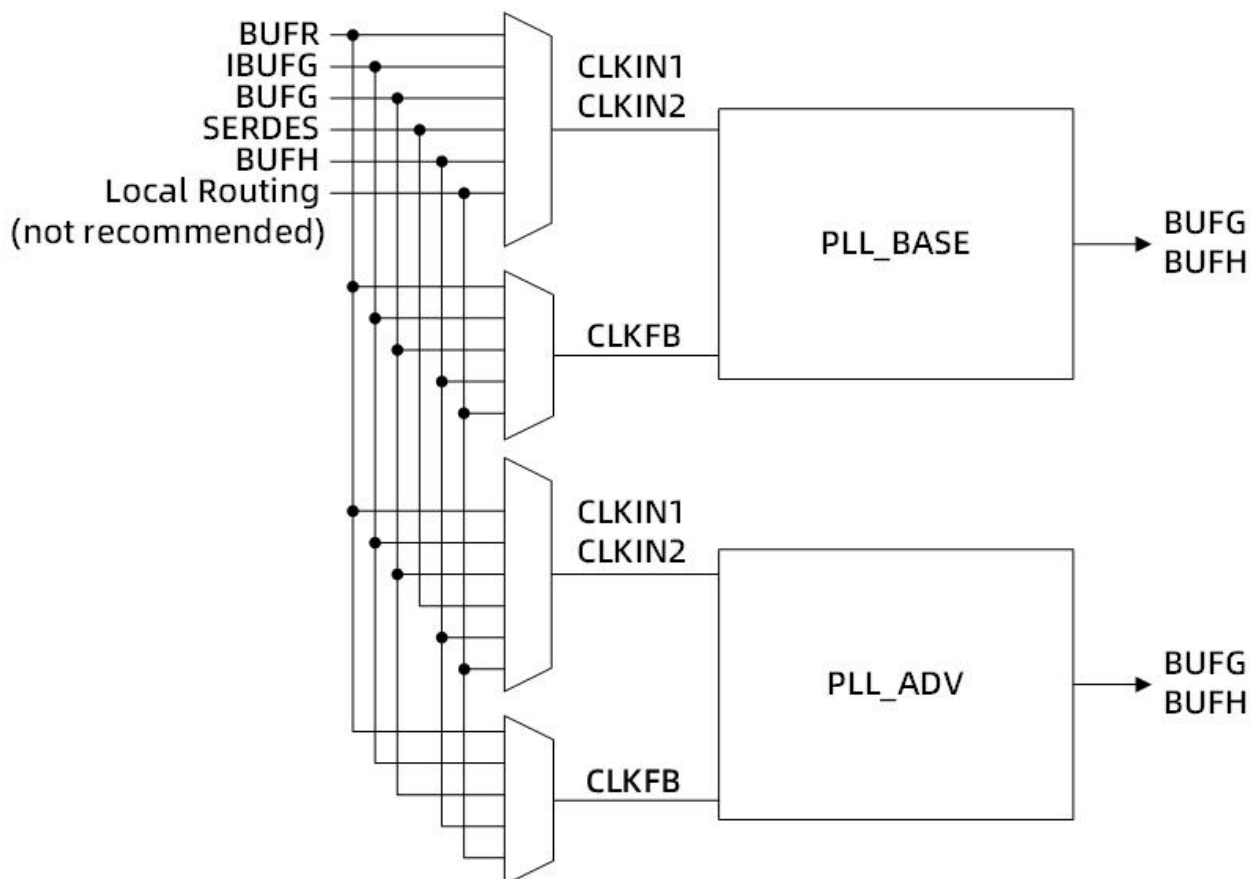


图 2.3-1 CMU框图

2.4.嵌入式存储器模块（ERAM）

2.4.1.ERAM架构

MgiCubo®系列FPGA中，每个ERAM（Embedded RAM）可实现RAM，FIFO等功能。其架构如表 2.4.1-1 所示。

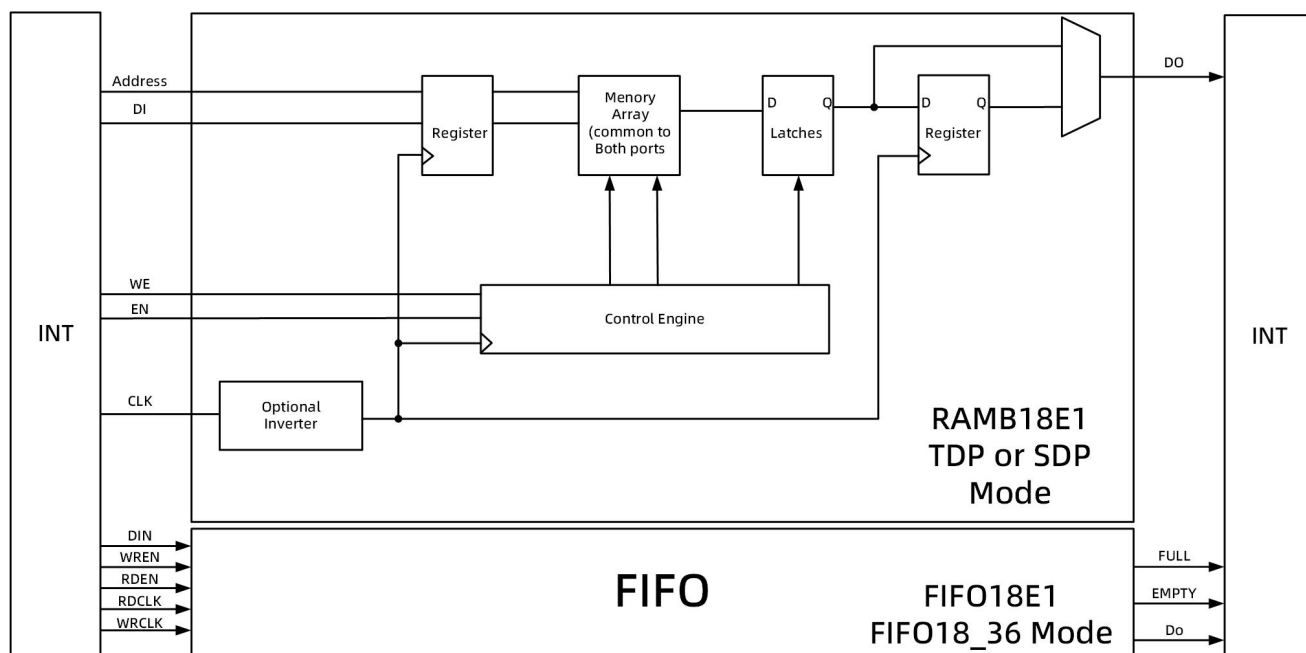


表 2.4.1-1 ERAM架构示意图

2.4.2.ERAM36K功能

每个ERAM单元的存储容量是36Kb，具体功能特性如下所述：

- 支持两个独立的18Kb RAM，或1个36Kb的ERAM
- 每个36Kb的ERAM可以被配置成简单双端口（SDP,simple dual-port）模式，该模式下数据宽度可达到72位。18Kb的ERAM也可以被配置成简单双端口模式，该模式下数据宽度可达到36位
- 简单双端口模式下ERAM支持两个端口的数据宽度不一致的情况
- 两个相邻的ERAM，可以扩展成64Kx1的存储器，此时无需额外的逻辑以及速度损耗
- 每个36Kb的ERAM或36Kb的FIFO有一个64位的ECC（Error Correction Coding）模块，其编码和译码功能可以分开实现
- 数据输出端Latch和Register均可同步Set/Reset一个初始值。ERAM可以被配置成一个同步的FIFO，这样可以减少标志延迟的不确定性
- 在本系列FPGA中，FULL标志位的声明没有延迟
- 在本系列FPGA中，FIFO由18Kb ERAM或者36Kb ERAM实现

- 18、36 或 72 位宽的端口可以每字节各有一个写使能。此功能常用于对片上微处理器的接口连接
- 所有输入都由端口时钟寄存，并且具有建立到时钟时序指标
- 根据写使能 (WE) 引脚的状态，所有输出均具有读功能或边写边读功能。输出在时钟到输出时序间隔之后有效。边写边读输出具有 WRITE_FIRST、READ_FIRST 和 NO_CHANGE 三种操作模式之一
- 一个写操作需要一个时钟沿
- 一个读操作需要一个时钟沿
- 所有输出端口均有锁存。输出端口的状态在端口再次执行读或写操作之前保持不变。默认的 ERAM 输出是锁存器模式
- 输出数据通路有一个可选内部流水线寄存器。我们强烈建议使用该寄存器模式。这样可使时钟速率较高，但会增加一个周期的时钟周期延迟

2.5.数字信号处理（DSP）

MgiCubo®系列FPGA中的DSP支持多种操作，如乘法，加法，乘加，乘累加，移位，宽位乘法，逻辑位运算等。DSP输入输出架构图如图 2.5-1所示：

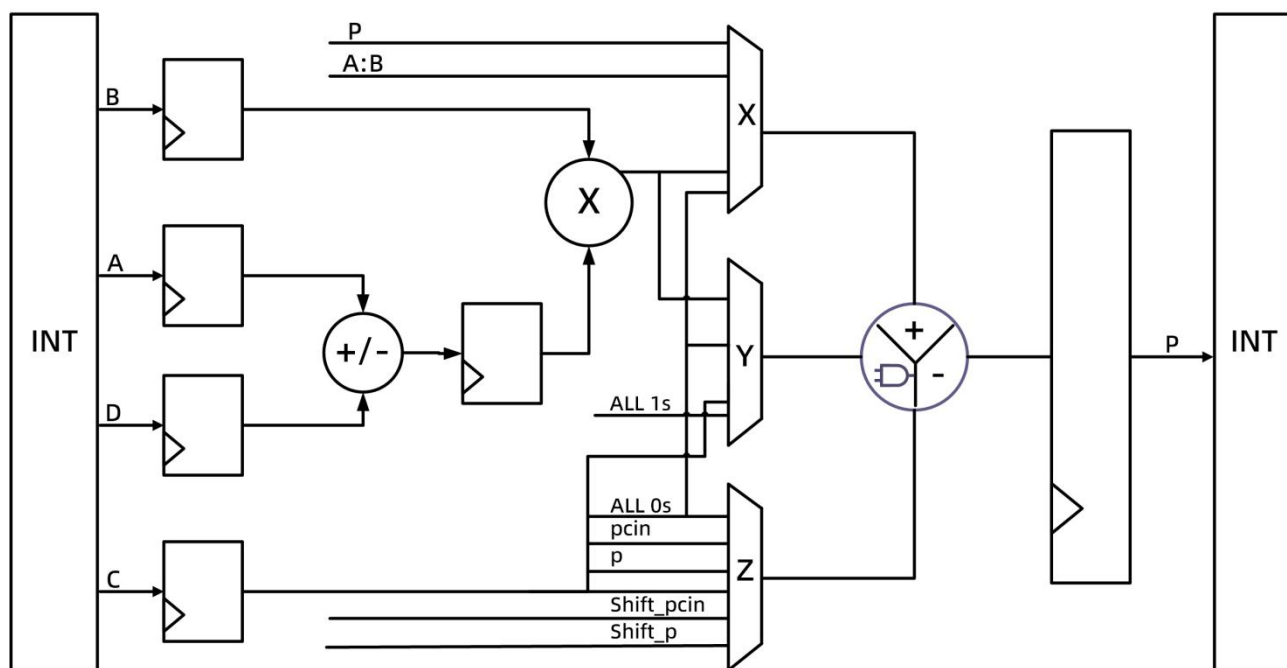


图 2.5-1 DSP输入输出示意图

MgiCubo®系列FPGA的DSP中包含：输入端流水线模块，预加器模块，乘法器模块，选择器，ALU模块，向量检测器以及溢出检测器等

- 支持两输入的25-bit加法运算
- 支持三输入带进位48-bit加法运算
- 支持进行输入数EXTEND、ROUND、SHIFT，输入进位取反
- 支持multisignin和multisignout内部级联信号，具有特殊的OPMODE设置为支持96位MACC扩展
- 支持25 x 18-bit乘法器（有符号的二进制补码）
- 支持两输入48-bit按位逻辑操作，包括AND、NAND、OR、NOR、XOR、XNOR和NOT
- 支持对输入信号进行一级或两级锁存
- 支持对输入信号进行动态选择切换
- 支持快速输入输出互联
- 支持独立的时钟启用和重置具有更大的灵活性，重置具有优先级

2.6.输入输出资源 (IO)

MgiCubo®系列FPGA提供了HR(High-Range) IO BANK和HP(High-Performance) IO Bank。其中HRIO电压范围为1.2V~3.3V，HPIO电压范围为1.2V~1.8V。其中一个IO里面有50个IO和一个HCLK，并且每一个IO里面可以实现多种模式的BUF_I和BUF_O。HRIO中的BUFFER主要分为三大类：输入BUFFER，输出BUFFER，与双向BUFFER。其中输入BUFFER分为五种，低压单端输入BUFFER(BUF I_SING_LV)、高压单端输入BUFFER(BUF I_SING_HV)、带参考电压的低压单端输入BUFFER(BUF I_SING_LV_VREF)、低压差分输入BUFFER(BUF I_DS_LV)、高压差分输入BUFFER(BUF I_DS_HV)。输出BUFFER分为两种：单端输出BUFFER与差分输出BUFFER。差分输出BUFFER包括伪差分结构与真差分结构。如图 2.6-1所示。

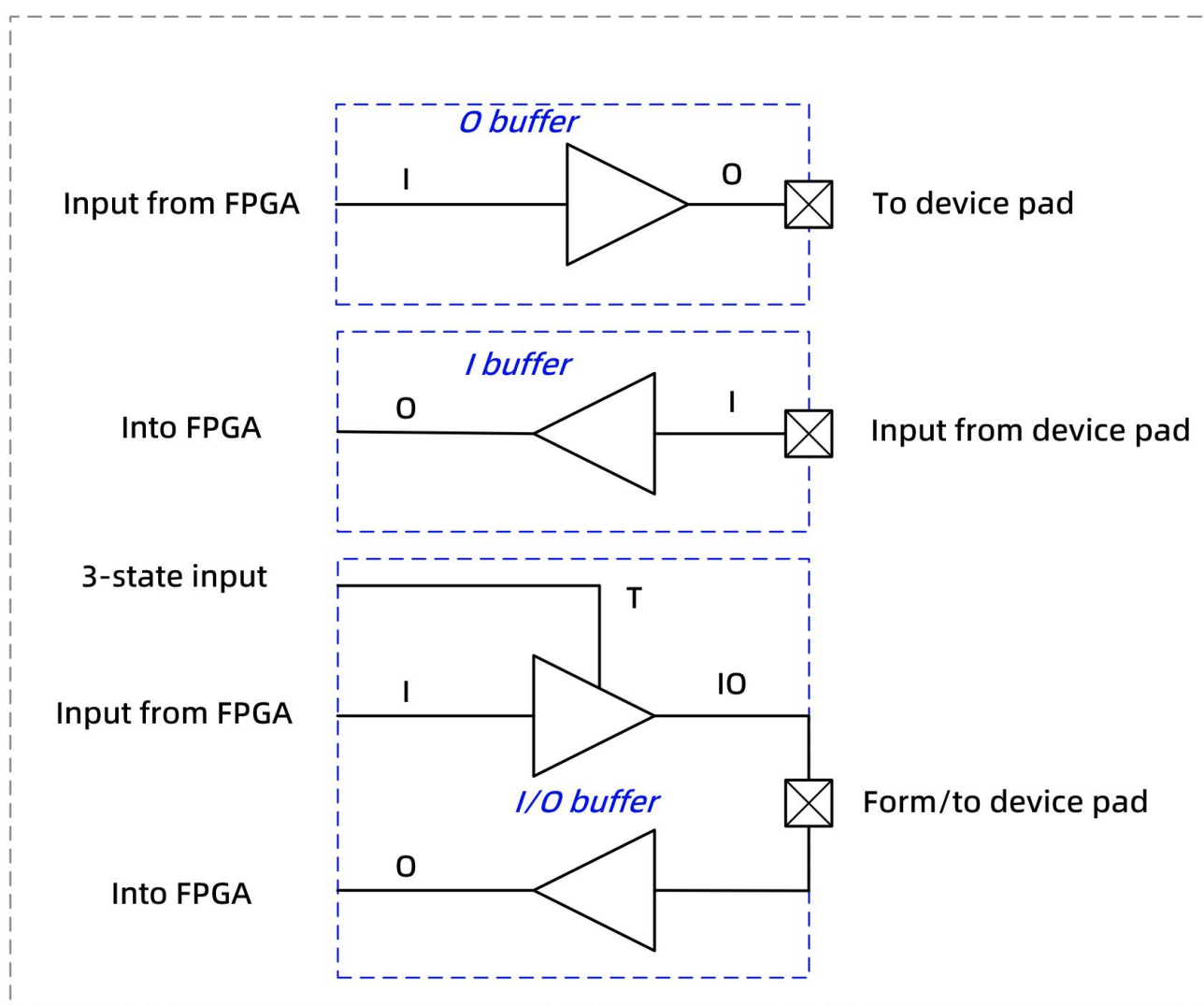


图 2.6-1 IO内部实现多种模式

根据IO (I/O block) 模块在FPGA中的分布, IO可用作数据、时钟或者数据与时钟共用。所有的IO都包含输入、输出、双向和三态驱动器, 其能够配置为多种IO接口标准。其中, 单端接口标准类型包括LVCMOS、LVTTL、HSTL、SSTL、HSUL; 差分接口标准类型包括LVDS、DIFF HSTL、DIFF SSTL和DIFF HSUL。

HRIO主要属性:

- 接口标准属性: HRIO支持的接口标准有LVCMOS、LVTTL、PCI、HSTL、SSTL、HSUL、LVDS_25、TMDS_33、Mini_LVDS_25、PPDS_25、BLVDS_25、RSDS_25
- 低功耗属性: 输入BUFFER LOW POWER属性只在具有参考电压的输入BUFFER与低压差分输入BUFFER中有用, 默认属性为LOW POWER
- 摆率属性: 摆率属性只在输出BUFFER中使用。摆率属性适用的接口标准为输出LVCMOS、LVTTL、SSTL、HSTL、MOBILE_DDR、HSUL及其对应的伪差分接口标准, 默认摆率为SLOW属性
- 输出驱动能力属性: 驱动能力的属性只适应于输出BUFFER及双向BUFFER的LVCMOS、LVTTL的接口标准
- 弱上拉、弱下拉及保持属性: 输入BUFFER、三态输出BUFFER、双向BUFFER都支持该属性
- DIFF_TERM属性: DIFF_TERM属性只用在输入BUFFER的差分接口标准中, 包括LVDS_25、MINI_LVDS_25、PPDS_25、RSDS_25 (除了BLVDS_25接口标准)
- INTERNAL_VREF属性: 只支持输入BUFFER的带参考电压的接口标准, 根据接口标准, 可供选择的内部参考电压有0.9V, 0.75V, 0.675V, 0.6V四个值 (预留有1.25V, 1.1V选项)
- IN_TERM属性: IN_TERM属性只用在输入BUFFER的带参考的接口标准中, 可供选择的阻抗有40 Ω , 50 Ω , 60 Ω
- BUF IDISABLE属性: BUF IDISABLE属性只用在输入BUFFER的带参考电压输入BUFFER与低压的差分输入BUFFER中
- INTERMDISABLE属性: 该属性用于DISABLE IN_TERM模块使其呈现高阻态

附注:

- 1.LVDS: 差分输出BUF。
- 2.BSCAN: BSCAN边缘检测模块。
- 3.TMUX: TMUX三态门选择模块。
- 4.OMUX: OMUX输出选择模块。
- 5.CFGBVS_CASC: 级联及高低压检测。

2.7.模数转换器（HADC）

MgiCubo®系列FPGA器件内置 1 个ADC模块，该模块可实现对芯片上的电压，温度等参数的高精度测量，提供了选择使用片上参考电压精度 $\pm 1\%$ ，减少了外部活动组件的需求，适用于基本的片上温度和电源监测。为了实现ADC的全12位性能，推荐使用外部1.25V参考电压。ADC模块即使工作时也只需要很小的功耗，而当转换完成后处于低功耗状态。如图 2.7-1所示。

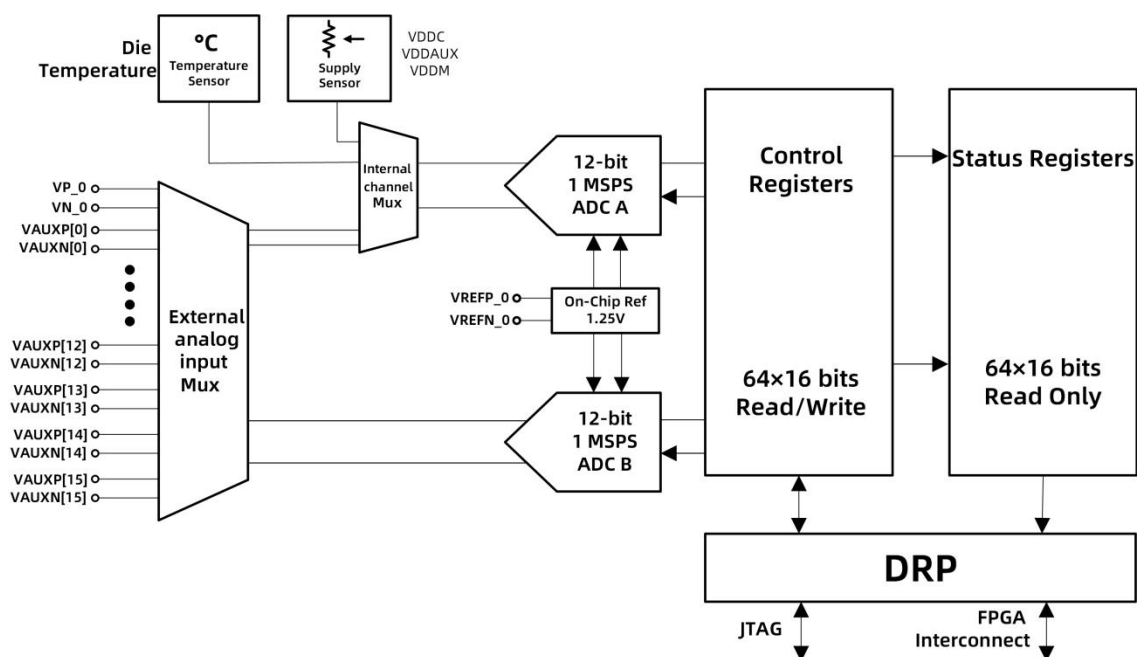


图 2.7-1 ADC结构示意图

MgiCubo®系列器件ADC架构亮点：

- 集成双12位、每秒100万次采样（1 MSPS）的模数转换器（ADC）
- 支持芯片电压实时监测
- 支持芯片温度实时监测
- 支持多达17个外部模拟输入通道，通过片上模拟多路复用器实现
- 支持同时采样两个外部输入模拟通道，支持单极性、双极性和差分信号输入
- 1 MSPS的采样率下满足500 KHz的模拟输入信号带宽
- 如图 2.7-1所示，ADC主要通道范围External analog input Mux与internal Channel Mux的输入

附注：

1.MC1P75/MC1P110器件中没有7和14通道。

2.8. 串化器/解串器 (SerDes)

MgiCubo®系列器件集成的GT066或GT125高速SerDes具有强大的数据传输能力。如图 2.8-1所示, SerDes模块支持多种配置, 1-lane、2-lane、4-lane等, 便于与其他设备的快速数据交换, 每个Quad包含四个数据通道 (Data PART 0/1/2/3) 和一个时钟通道 (CLOCK PART), 用于处理高速数据传输和接收, 时钟管理单元 (CMU) 负责产生和管理设备所需的时钟信号, 模数转换器 (ADC) 用于将模拟信号转换为数字信号。

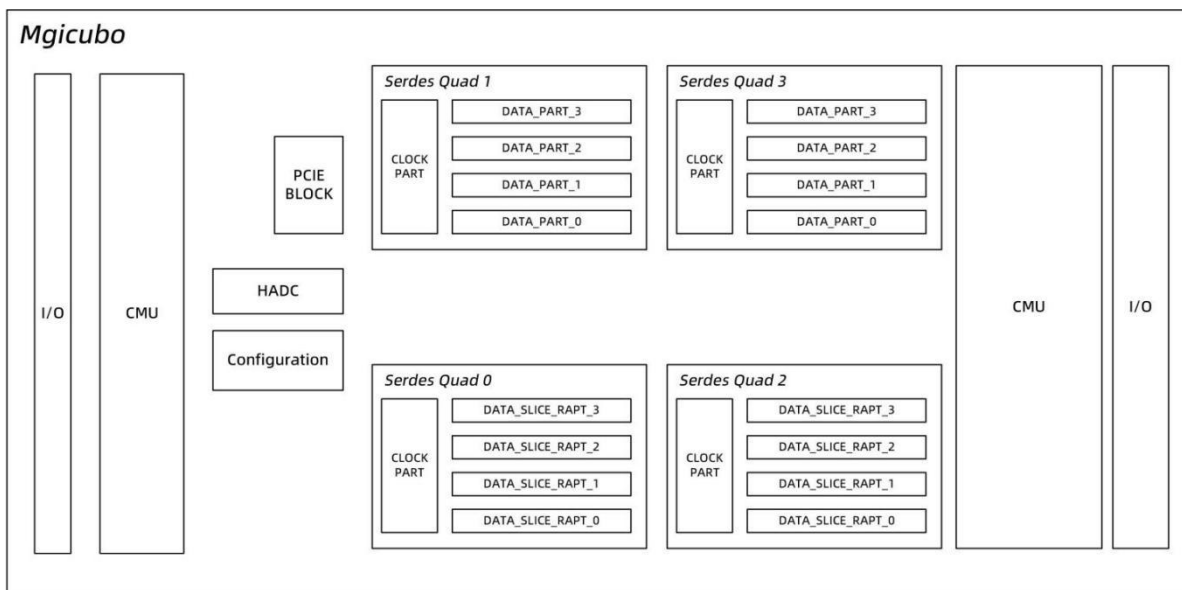


图 2.8-1 GT066架构示意图

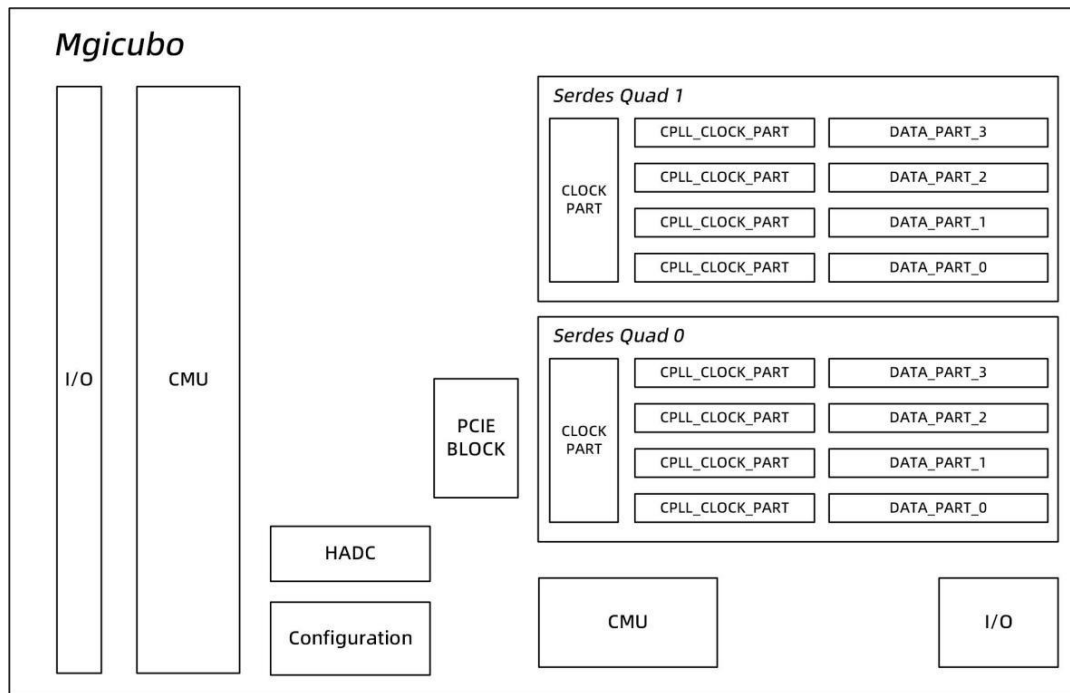


图 2.8-2 GT125架构示意图

表 2.8-1 GT066主要特性如下表:

TX输出速率范围	0.5~6.6Gbps
TX数据流位宽	40/32/20/16bit并行数据的传输
TX输出摆幅	0.253~1.074 V
TX输出Jitter	TJ < 0.30UI; DJ < 0.15UI
FFE均衡增益	0~12.96dB可调 (Post Cursor) 0~6.02dB可调 (Pre Cursor)
TX输出阻抗	TX输出特征阻抗, 单端50Ω, 差分100Ω
TX对接RX	典型值100nF AC耦合电容
应用规格	Channel Loss ≥ -12dB

表 2.8-2 GT125主要特性如下表:

TX输出速率范围	0.5~11.2Gbps @LPM Mode 0.5~12.5Gbps @DFE Mode
TX数据流位宽	80/64/40/32/20/16bit并行数据的传输
TX输出摆幅	0.261~1.119 V (差分摆幅)
TX输出Jitter	TJ < 0.28UI; DJ < 0.17UI @ QPLL TJ < 0.30UI; DJ < 0.15UI @ CPLL
FFE均衡增益	0~12.96dB可调 (Post-Cursor) ⁽¹⁾ 0~6.02dB可调 (Pre-Cursor)
TX输出阻抗	单端50Ω, 差分100Ω等效阻抗
TX对接RX	TX、RX对接时, RX支持DC、AC耦合两种方式;AC耦合时在RX端数据输入前外接典型值100nF, 75nF~200n的隔直电容
应用规格 ⁽²⁾	Channel Loss ≥ -12dB @LPM Mode Channel Loss ≥ -26dB @DFE Mode

附注:

1.FFE均衡增益: 实际应用时, 以应用场景眼图扫参结果择优配置最为准确。在未扫参前提下, 推荐在DFE模式Channel Loss ≤ -15dB 开启Post-Cursor 6dB档位。

2.应用规格: DFE模式推荐在Channel Loss ≤ -8dB场景下使用。同时在串扰和反射敏感场景下优先选择DFE模式。

2.9.PCI Express控制器

MgiCubo®系列FPGA的PCI Express控制器最高带宽是5Gb/s，可配置成1-lane或2-lane或4-lane的PCI Express Endpoint(EP)，也可配置成1-lane或2-lane或4-lane的PCI Express Root Complex(RC)。PCI Express控制器支持的主要特性如下：

PCI Express Base Specification, Express Base Specification, rev.2.1中所有的必选功能（线速率目前最高支持到 Gen2）。还支持以下PCI Express Base Specification中的部分可选功能：

- Function Level Reset (FLR)
- Atomic Operations
- Readiness Notifications (RN)
- PCI Express Active State Power Management (ASPM)
- PCI Express Advanced Error Reporting (AER) with Multiple Header Logging
- Access Control Services(ACS)
- 支持 RC (Root Complex) 模式和 EP 模式
- 支持 GEN1/2, 支持 X1、X2 、X4
- 支持先进的时钟和功耗管理（L1的子状态）
- 支持自动 Lane 反转（Reversal）
- 支持 Upconfigure
- 支持 ECRC 产生和检查
- 只支持 VCO
- 支持对 Posted, Non-posted, and Completion 实施可配置的过滤规则
- 支持基于 BAR 的地址过滤、I/O 过滤、CFG 事务过滤和 Completion 查找表和Timeout
- 支持2组用户侧发送端口
- 支持带Per-Vector Masking (PVM) 的 MSI, 支持 MSI 扩展消息数据
- 支持带Per-Vector Masking (PVM) 的 MSI-X
- 支持Type 0 配置空间
- RC支持Type1配置空间
- 如果PCIe控制器检测不到Lane0，支持用户手动进行Lane Reversal

2.10.配置说明（CFG）

MgiCubo®系列FPGA支持七种配置模式，分别是主串行、主SPI、主BPI、主SelectMAP、从SelectMAP、JTAG以及从串行配置模式。

2.10.1.加密配置功能

FPGA位流安全的可用类型包括：位流加密和位流验证。加密和比特流验证。基本的安全形式是防止回读。位流安全设置可设置为 Level1（禁止回读）或 Level2（禁止回读和重新配置）。

MgiCubo®系列FPGA具有片上高级加密标准(AES)解密逻辑，可提供高度的设计安全性。如果在不知道密钥的情况下，比特流无法被外部解析。MgiCubo®系列FPGA AES系统包括基于软件的比特流加密和片上位流解密。加密密钥只能通过JTAG端口对设备进行编程。在配置过程中MgiCubo®系列FPGA会执行相反的操作，对输入的比特流进行解密。MgiCubo®系列FPGA AES加密逻辑使用256位加密密钥。除比特流解密外，片上AES解密逻辑不能用于任何其他目的。AES解密逻辑不能用于用户设计，也不能用于解密配置比特流以外的任何数据。

2.10.2.配置模式

表 2.10.2-1 MgiCubo® 系列 FPGA 配置模式

模式	M[2:0]	位宽	CCLK 方向
主Serial	000	x1	Output
主SPI	001	x1,x2,x4	Output
主BPI	010	x8,x16	Output
主SelectMAP ⁽¹⁾	100	x8,x16	Output
JTAG	101	x1	Not Applicable
从SelectMAP	110	x8,x16,x32	Input
从Serial	111	x1	Input

附注：

1.从SelectMAPx16和x32总线宽度不支持AES加密的位流。

2.11.DDR

MgiCubo®系列FPGA的提供了对 DDR2/DDR3存储器接口的支持，FPGA内部集成DDR PHY硬核控制器和DDR专用Bank逻辑，支持的最大位宽可达72-bit。主要支持的特性如下：

- 支持DDR2/ DDR3类型存储器颗粒
- 支持8-bit 至 72-bit数据位宽，支持Fly-By的拓扑结构
- 支持最大2个Rank的颗粒组织形式
- 支持Data Mask功能
- 支持DDR PHY硬核控制器，用以完成PHY初始化、Data Training、Write Leveling
- Write Latency调节、Read/Write读写窗口训练、VREF训练等DDR校准功能
- 支持 Memory built- in-self-test （MBIST） ，用以检验校准后的数据链路
- 支持4：1和2：1工作模式

MgiCubo® 系列FPGA的DDR2/DDR3与外部交互便捷，数据传输速率快，用户应用该芯片可以更好地利用DDR2/DDR3进行存储，以达到更高性能的开发实现。具体结构如图 2.11-1 所示。

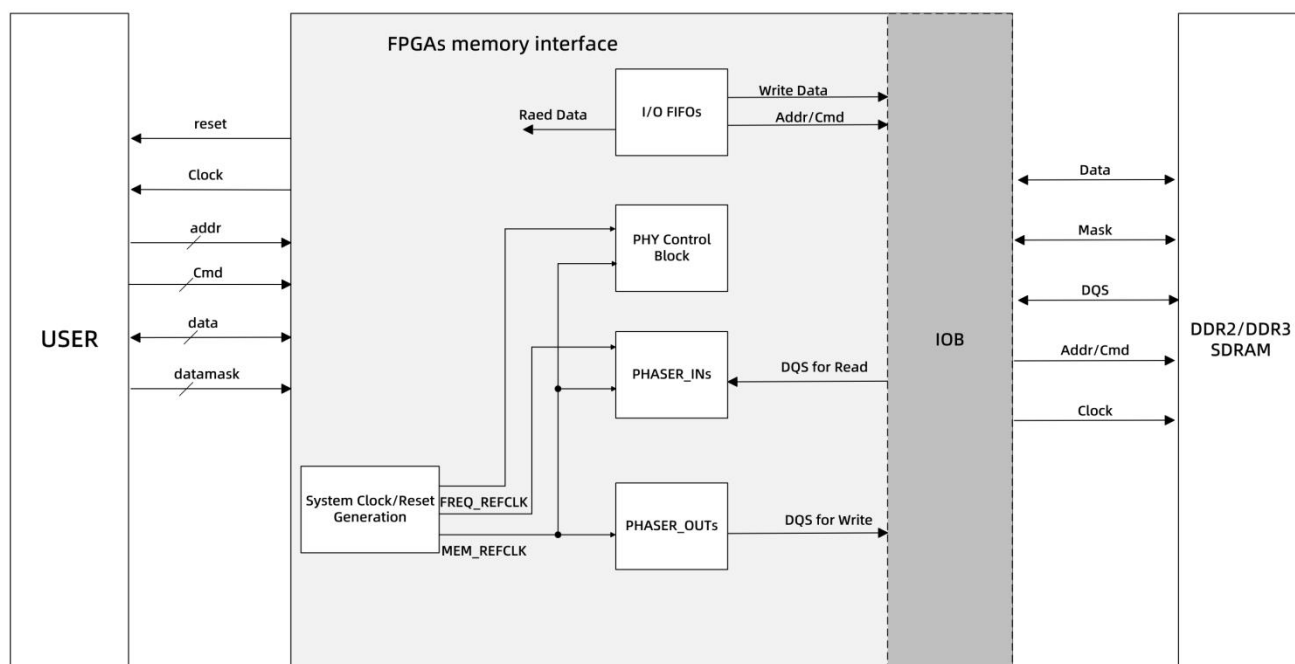


图 2.11-1 DDR2/DDR3数据传输示意图

第三章 工作条件和DC特性

MgiCubo[®]系列FPGA在严苛的工作条件下表现出色，标准工作电压为0.9V。为确保极致的可靠性，所有性能参数均在最低供电电压与最高结温下进行评估。除特殊说明外，以下信息适用于：车规级别规定的交流和直流特性。此外，所有参数测量的电压值都是以地线为参考。

3.1.工作条件

3.1.1.最大绝对电压

表 3.1.1-1 最大绝对电压值 ⁽¹⁾

类型	描述	最小值	最大值	单位
Logic				
V_{DDC}	内核电压	-0.5	1.1	V
V_{DDAUX}	辅助电压	-0.5	2.0	V
V_{DDM}	ERAM存储器的供电电压	-0.5	1.1	V
V_{DDO}	HR I/O输出驱动器电源电压	-0.5	3.6	V
	HP I/O输出驱动器电源电压	-0.5	2.0	V
V_{REF}	输入参考电压	-0.5	2.0	V
$V_{IN}^{(2)}$	HR I/O输入电压	-0.4	$V_{DDO}+0.55$	V
	HP I/O输入电压	-0.55	$V_{DDO}+0.55$	
	$V_{DDO} = 3.3V$ 时，带 V_{REF} 的I/O和差分I/O的I输入电压（TMDS_33除外）	-0.4	2	V
V_{DDB}	密钥存储器备用电池供电	-0.5	2.0	V
GT066				
V_{GTC}	GT066发送和接收电路的模拟电源电压	-0.5	1.1	V
V_{GTT}	GT066发送和接收终端电路的模拟电源电压	-0.5	1.32	V
$V_{GTREFCLK}$	GT066参考时钟绝对输入电压	-0.5	1.32	V

类型	描述	最小值	最大值	单位
V_{IN}	接收端 (RXP/RXN) 和发送端 (TXP/TXN) 绝对输入电压	-0.5	1.26	V
I_{DCIN_FLOAT}	接收端输入引脚的直流输入电流 (接收端输入引脚直流耦合 RX 终端悬空)	-	14	mA
I_{DCIN_GTT}	接收端输入引脚的直流输入电流 (接收端输入引脚直流耦合 RX 终端接 V_{GTT})	-	12	mA
I_{DCIN_GND}	接收端输入引脚的直流输入电流 (接收端输入引脚直流耦合 RX 终端接GND)	-	6.5	mA
I_{DCOUT_FLOAT}	发送端引脚的直流输出电流 (发送端引脚直流耦合 RX 终端悬空)	-	14	mA
I_{DCOUT_GTT}	发送端引脚的直流输出电流 (发送端引脚直流耦合 RX 终端接 V_{GTT})	-	12	mA
GT125				
V_{GTC}	GT125发送和接收电路的模拟电源电压	-0.5	1.1	V
V_{GTT}	GT125发送和接收终端电路的模拟电源电压	-0.5	1.32	V
V_{GTAUX}	GT125收发器的辅助模拟Quad PLL (QPLL) 电压电源	-0.5	1.935	V
$V_{GTREFCLK}$	GT125参考时钟绝对输入电压	-0.5	1.32	V
$V_{GTTTCAL}$	GT125电阻校准电路的模拟电源电压	-0.5	1.32	V
V_{IN}	接收端 (RXP/RXN) 和发送端 (TXP/TXN) 绝对输入电压	-0.5	1.26	V
I_{DCIN_FLOAT}	接收端输入引脚的直流输入电流 (接收端输入引脚直流耦合 RX 终端悬空)	-	14	mA
I_{DCIN_GTT}	接收端输入引脚的直流输入电流 (接收端输入引脚直流耦合 RX 终端接 V_{GTT})	-	12	mA
I_{DCIN_GND}	接收端输入引脚的直流输入电流 (接收端输入引脚直流耦合 RX 终端接GND)	-	6.5	mA
I_{DCOUT_FLOAT}	发送端引脚的直流输出电流 (发送端引脚直流耦合 RX 终端悬空)	-	14	mA
I_{DCOUT_GTT}	发送端引脚的直流输出电流 (发送端引脚直流耦合 RX 终端接 V_{GTT})	-	12	mA

类型	描述	最小值	最大值	单位
HADC				
V_{DDADC}	HADC相对于GNDADC的电源电压	-0.5	2.0	V
V_{REFP}	相对GNDADC的HADC基准输入电压	-0.5	2.0	V
Temperature				
T_{STG}	存储温度（环境）	-65	150	°C
T_{SOL}	铅/锡元件的最高焊接温度 ⁽³⁾	-	+220	°C
	无铅元件的最高焊接温度 ⁽³⁾	-	+260	°C
T_j	最高结温 ⁽³⁾	-	+125	°C

附注：

- 1.超出绝对最大额定值的电压会对设备造成永久性损坏，这些只是电压额定值、并不意味着设备在这些条件下或超出“工作条件”中所列条件的任何其他条件下都能正常工作，长时间暴露在绝对最大额定值条件下会影响设备的可靠性。
- 2.较低的绝对电压规格始终适用。
- 3.对于焊接准则和热考虑，见MgiCubo®系列FPGA封装和引脚说明规范。

3.1.2.推荐操作条件

表 3.1.2-1 推荐操作条件⁽¹⁾

类型	描述	最小	典型	最大	单位
Logic					
V_{DDC} ⁽²⁾	内核电压, 功耗等级为“S”的器件	0.87	0.90	1.03	V
	内核电压, 功耗等级为“L”的器件	0.82	0.85	0.93	V
V_{DDAUX}	辅助电压	1.71	1.80	1.89	V
V_{DDM} ⁽²⁾	ERAM存储器的电源电压, 功耗等级为“S”的器件	0.87	0.90	1.03	V
	ERAM存储器的电源电压, 功耗等级为“L”的器件	0.82	0.85	0.93	V
V_{DDO} ^{(3) (4)}	HR I/O的电源电压	1.14	-	3.465	V
	HP I/O的电源电压	1.14	-	1.89	V
V_{DDAUX_IO} ⁽⁸⁾	1.8V I/O辅助电压	1.71	1.80	1.89	V
	2.0V I/O辅助电压	1.94	2.00	2.06	V
V_{IN} ⁽⁵⁾	I/O输入电压	-0.20	-	$V_{DDO}+0.20$	V
	$V_{DDO} = 3.3V$ 时, 带 V_{REF} 的I/O和差分I/O的输入电压 (TMDS_33除外)	-0.20	-	2.625	V
I_{IN} ⁽⁶⁾	当二极管正向偏置时, 通过供电或未供电I/O组中任意引脚的最大电流。	-	-	10	mA
V_{DDB} ⁽⁷⁾	电池电压	1.00	-	1.89	V

类型	描述	最小	典型	最大	单位
GT066					
V_{GTC}	GT066发送和接收电路的模拟电源电压	0.95	1.00	1.05	V
V_{GTT}	GT066发送和接收终端电路的模拟电源电压	1.15	1.20	1.25	V
GT125					
V_{GTC}	GT125发送和接收电路的模拟电源电压	0.97	1.00	1.05	V
V_{GTT}	GT125发送和接收终端电路的模拟电源电压	1.15	1.20	1.25	V
V_{GTAUX}	GT125的辅助模拟 QPLL 电压电源	1.75	1.80	1.85	V
$V_{GTTTCAL}$	GT125电阻器校准电路的模拟电源电压	1.17	1.20	1.23	V
HADC					
V_{DDADC}	HADC相对于GNDADC的电源电压	1.71	1.80	1.89	V
V_{REFP}	相对GNDADC的HADC基准输入电压	1.20	1.25	1.30	V
Temperature					
T_j	商用 (C) 器件的结温工作范围	0	-	85	°C
	工业应用 (I) 器件的结温工作范围	-40	-	105	°C

附注：

- 1.所有电压都是相对于地的。
- 2.如果 V_{DDC} 和 V_{DDM} 工作在相同的电压下， V_{DDC} 和 V_{DDM} 应连接到相同的电压。
- 3.即使 V_{DDO} 降至0V，配置数据也会保留。
- 4.包括在±5%时的1.2V、1.35V、1.5V、1.8V、2.5V和3.3V的 V_{DDO} 。
- 5.较低的绝对电压规格始终适用。
- 6.每个BANK不应超过200mA。
- 7.只有使用比特流加密时才需要 V_{ddb} 。如果不使用电池，则将 V_{ddb} 连接到地或 V_{DDAUX} 。
- 8.存储接口

3.1.3.推荐工作条件下的DC特性

表 3.1.3-1 推荐工作条件下的DC特性

类型	参数说明	最小值	典型值 ⁽¹⁾	最大值	单位
V_{DRC}	数据保持 V_{DDC} 电压 (低于该电压配置数据可能会丢失)	0.75	-	-	V
V_{DRAUX}	数据保持 V_{DDAUX} 电压 (低于该电压配置数据可能会丢失)	1.50	-	-	V
I_{REF}	每个引脚的 V_{REF} 漏电流	-	-	15	μA
I_L	每个引脚的输入或输出漏电流	-	-	15	μA
$C_{IN}^{(2)}$	芯片PAD上的输入电容	-	-	8	pF
I_{WPU}	PAD上拉电流 @ $V_{IN} = 0V$, $V_{DDO} = 3.3V$	90	-	330	μA
	PAD上拉电流 @ $V_{IN} = 0V$, $V_{DDO} = 2.5V$	60	-	220	μA
	PAD上拉电流 @ $V_{IN} = 0V$, $V_{DDO} = 1.8V$	36	-	190	μA
	PAD上拉电流 @ $V_{IN} = 0V$, $V_{DDO} = 1.5V$	24	-	130	μA
	PAD上拉电流 @ $V_{IN} = 0V$, $V_{DDO} = 1.2V$	12	-	100	μA
I_{WPD}	PAD下拉电流 @ $V_{IN} = 3.3V$	60	-	300	μA
I_{DDADC}	上电状态下ADC模拟电源电流	-	-	25	mA
$I_B^{(3)}$	电池供电电流	-	-	150	nA
$R_{IN_TERM}^{(4)}$	$V_{DDO}/2$ 电压下可编程输入终端的等效电阻(当配置为40 Ω)	28	40	55	Ω
	$V_{DDO}/2$ 电压下可编程输入终端的等效电阻(当配置为50 Ω)	35	50	65	Ω
	$V_{DDO}/2$ 电压下可编程输入终端的等效电阻(当配置为60 Ω)	44	60	83	Ω

类型	参数说明	最小值	典型值 ⁽¹⁾	最大值	单位
n	温度二极管理想因子	-	1.01	-	-
r	温度二极管串联电阻	-	2	-	Ω

附注：

- 1.典型值在标称电压、25°C时指定。
- 2.该测量值代表焊盘处的芯片电容，不包括封装电容。
- 3.25°C 时最坏情况工艺的最大值。
- 4.终端电阻达到 $V_{DD0}/2$ 级。

3.1.4.典型静态电流

表 3.1.4-1 典型静态电流 ⁽¹⁾⁽²⁾

类型	描述	型号	0.9V ⁽³⁾	Units
I_{DDCQ}	V_{DDC} 静态电流	MC1P75	128	mA
		MC1P110	128	
		MC1P220	272	
		MC1P170	213	
I_{DDOQ}	V_{DDO} 静态电流	MC1P75	1	mA
		MC1P110	1	
		MC1P220	1	
		MC1P170	1	
I_{DDAUXQ}	V_{DDAUX} 静态电流	MC1P75	30	mA
		MC1P110	30	
		MC1P220	64	
		MC1P170	50	
I_{DDMQ}	V_{DDM} 静态电流	MC1P75	3	mA
		MC1P110	3	
		MC1P220	9	
		MC1P170	8	
I_{DDAUX_IOQ}	V_{DDAUX_IO} 静态电流	MC1P170	2	mA

附注：

- 1.典型值在标称电压、85°C结温 (T_j) 和单端ComboIO资源下指定。
- 2.典型值适用于无输出电流负载、无有源输入上拉电阻、所有I/O引脚均为3态和悬空的空白配置器件。
- 3.VDDC和VDDM是0.9V。

3.1.5.上下电时序

上电顺序 ⁽¹⁾ ⁽²⁾

MgiCubo[®]系列FPGA有上下电时序要求，MC1P75/MC1P110/MC1P220器件上电顺序： V_{DDC} (V_{DDM}) - $\rightarrow$ V_{DDAUX} - $\rightarrow$ V_{DDO} ，MC1P170器件上电顺序： V_{DDC} (V_{DDM}) - $\rightarrow$ V_{DDAUX} - $\rightarrow$ V_{DDAUX_IO} - $\rightarrow$ V_{DDO} ，如果电压一样的情况下可以同时供电，比如 V_{DDC} 和 V_{DDM} 一起供电， V_{DDAUX} 、 V_{DDAUX_IO} 和 V_{DDO} 可以一起供电，以实现最小的电流消耗，并确保在上电时I/O处于三态，下电顺序则与上电顺序相反。上电的过程如图 3.1.5-1和3.1.5-2所示：

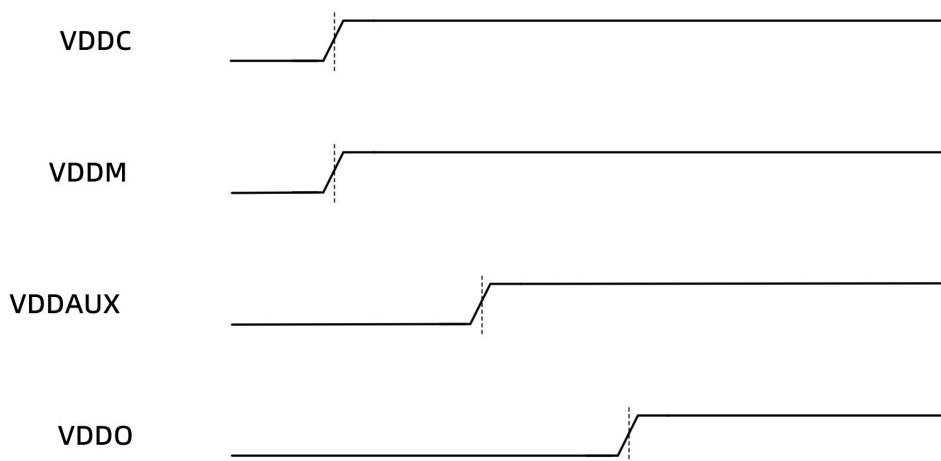


图 3.1.5-1 MC1P75/MC1P110/MC1P220上电时序图

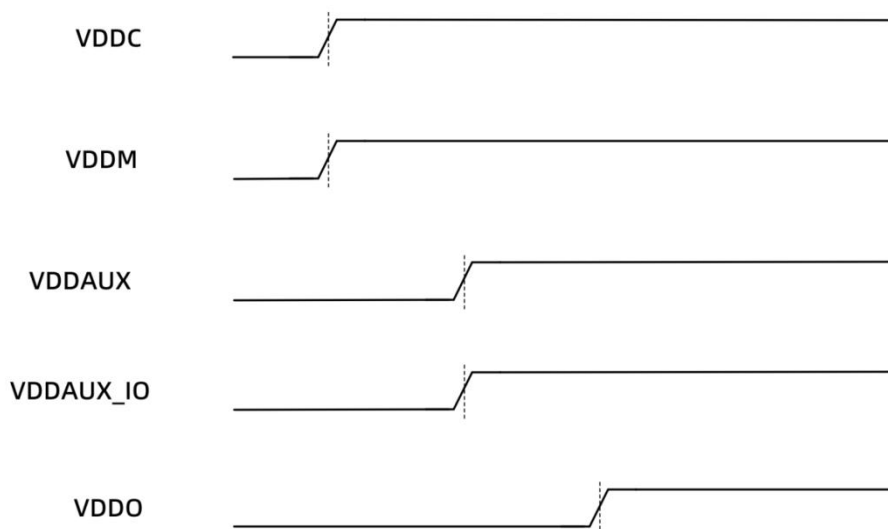


图 3.1.5-2 MC1P170上电时序图

附注：

- 1.整个上电过程中，配置模块内只有实现delay操作的异步计数器逻辑在工作，其他所有逻辑都处在reset状态。
- 2.芯片必须按照此上电顺序进行操作，如若违规操作可能造成芯片损坏。

表 3.1.5-1 MC1P75/MC1P110/MC1P220电源上电时间

类型	参数说明	最小值	最大值	单位
T_{VDDC}	从GND达到90% V_{DDC} 的时间	0.2	50	ms
T_{VDDO}	从GND达到90% V_{DDO} 的时间	0.2	50	ms
T_{VDDAUX}	从GND达到90% V_{DDAUX} 的时间	0.2	50	ms
T_{VDDM}	从GND达到90% V_{DDM} 的时间	0.2	50	ms
$T_{VDDO2VDDAUX}$	允许 $V_{DDO}-V_{DDAUX}>1.98V$ 的时间	-	200	ms
T_{VGTC}	从GND达到90% V_{GTC} 的时间	0.2	50	ms
T_{VGTT}	从GND达到90% V_{GTT} 的时间	0.2	50	ms

表 3.1.5-2 MC1P170电源上电时间

类型	参数说明	最小值	最大值	单位
T_{VDDC}	从GND达到90% V_{DDC} 的时间	0.2	50	ms
T_{VDDO}	从GND达到90% V_{DDO} 的时间	0.2	50	ms
T_{VDDAUX}	从GND达到90% V_{DDAUX} 的时间	0.2	50	ms
T_{VDDAUX_IO}	从GND达到90% V_{DDAUX_IO} 的时间	0.2	50	ms
T_{VDDM}	从GND达到90% V_{DDM} 的时间	0.2	50	ms
$T_{VDDO2VDDAUX}$	允许 $V_{DDO}-V_{DDAUX}>1.98V$ 的时间	-	200	ms
T_{VGTC}	从GND达到90% V_{GTC} 的时间	0.2	50	ms
T_{VGTT}	从GND达到90% V_{GTT} 的时间	0.2	50	ms
$T_{MGTVDDAUX}$	从GND达到90% $V_{MGTVCCAUX}$ 的时间	0.2	50	ms

3.1.6.eFUSE编程条件

表 3.1.6-1 eFUSE编程条件 ⁽¹⁾

类型	参数说明	最小值	典型值	最大值	单位
I_{eFUSE}	V_{DDAUX} 电源电流	-	-	120	mA
T_j	温度范围	0	-	125	°C

附注：

- 1.在 eFUSE 编程期间不得配置 FPGA。

3.2.输入输出DC特性

V_{IL} 和 V_{IH} 值为推荐输入电压。 I_{OL} 和 I_{OH} 的值是在 V_{OL} 和 V_{OH} 的推荐工作条件下的保证值。 V_{OL} 和 V_{OH} 工作条件只是测试选定的标准。选择这些标准是为了确保所有标准符合其规格。所选标准在最低 V_{DDO} 下进行测试, 相应的 V_{OL} 和 V_{OH} 电压水平进行测试。其他标准均为抽样测试。

表 3.2-1 MC1P75/MC1P110/MC1P220器件单端I/O输入电平 ^{(1) (2)}

I/O Standard	V_{IL}		V_{IH}	
	V, Min	V, Max	V, Min	V, Max
HSTL_I	-0.300	$V_{REF}-0.100$	$V_{REF}+0.100$	$V_{DDO}+0.300$
HSTL_I_18	-0.300	$V_{REF}-0.100$	$V_{REF}+0.100$	$V_{DDO}+0.300$
HSTL_II	-0.300	$V_{REF}-0.100$	$V_{REF}+0.100$	$V_{DDO}+0.300$
HSTL_II_18	-0.300	$V_{REF}-0.100$	$V_{REF}+0.100$	$V_{DDO}+0.300$
HSUL_12	-0.300	$V_{REF}-0.130$	$V_{REF}+0.130$	$V_{DDO}+0.300$
LVC MOS12	-0.300	$35\% V_{DDO}$	$65\% V_{DDO}$	$V_{DDO}+0.300$
LVC MOS15	-0.300	$35\% V_{DDO}$	$65\% V_{DDO}$	$V_{DDO}+0.300$
LVC MOS18	-0.300	$35\% V_{DDO}$	$65\% V_{DDO}$	$V_{DDO}+0.300$
LVC MOS25	-0.300	0.7	1.700	$V_{DDO}+0.300$
LVC MOS33	-0.300	0.8	2.000	3.450
LV TTL	-0.300	0.8	2.000	3.450
MOBILE_DDR	-0.300	$20\% V_{DDO}$	$80\% V_{DDO}$	$V_{DDO}+0.300$
PCI33_3	-0.400	$30\% V_{DDO}$	$50\% V_{DDO}$	$V_{DDO}+0.500$
SSTL135	-0.300	$V_{REF}-0.090$	$V_{REF}+0.090$	$V_{DDO}+0.300$
SSTL135_R	-0.300	$V_{REF}-0.090$	$V_{REF}+0.090$	$V_{DDO}+0.300$
SSTL15	-0.300	$V_{REF}-0.100$	$V_{REF}+0.100$	$V_{DDO}+0.300$
SSTL15_R	-0.300	$V_{REF}-0.100$	$V_{REF}+0.100$	$V_{DDO}+0.300$
SSTL18_I	-0.300	$V_{REF}-0.125$	$V_{REF}+0.125$	$V_{DDO}+0.300$
SSTL18_II	-0.300	$V_{REF}-0.125$	$V_{REF}+0.125$	$V_{DDO}+0.300$

表 3.2-2 MC1P75/MC1P110/MC1P220器件单端I/O输出电平^{(1) (2)}

I/O Standard	V_{OL}	V_{OH}	I_{OL}	I_{OH}
	V, Max	V, Min	mA,Max	mA,Min
HSTL_I	0.400	$V_{DDO}-0.400$	8.00	-8.00
HSTL_I_18	0.400	$V_{DDO}-0.400$	8.00	-8.00
HSTL_II	0.400	$V_{DDO}-0.400$	16.00	-16.00
HSTL_II_18	0.400	$V_{DDO}-0.400$	16.00	-16.00
HSUL_12	20% V_{DDO}	80% V_{DDO}	0.10	-0.10
LVC MOS12	0.400	$V_{DDO}-0.400$	附3	附3
LVC MOS15	25% V_{DDO}	75% V_{DDO}	附4	附4
LVC MOS18	0.450	$V_{DDO}-0.450$	附5	附5
LVC MOS25	0.400	$V_{DDO}-0.400$	附4	附4
LVC MOS33	0.400	$V_{DDO}-0.400$	附4	附4
LV TTL	0.400	2.400	附5	附5
MOBILE_DDR	10% V_{DDO}	90% V_{DDO}	0.10	-0.10
PCI33_3	10% V_{DDO}	90% V_{DDO}	1.50	-0.50
SSTL135	$V_{DDO}/2-0.150$	$V_{DDO}/2+0.150$	13.00	-13.00
SSTL135_R	$V_{DDO}/2-0.150$	$V_{DDO}/2+0.150$	8.90	-8.90
SSTL15	$V_{DDO}/2-0.175$	$V_{DDO}/2+0.175$	13.00	-13.00
SSTL15_R	$V_{DDO}/2-0.175$	$V_{DDO}/2+0.175$	8.90	-8.90
SSTL18_I	$V_{DDO}/2-0.470$	$V_{DDO}/2+0.470$	8.00	-8.00
SSTL18_II	$V_{DDO}/2-0.600$	$V_{DDO}/2+0.600$	13.40	-13.40

表 3.2-3 MC1P170器件单端I/O输入电平 ^{(1) (2)}

I/O Standard	V_{IL}		V_{IH}	
	V, Min	V, Max	V, Min	V, Max
HSTL_I	-0.300	$V_{REF}-0.100$	$V_{REF}+0.100$	$V_{DDO}+0.300$
HSTL_I_12	-0.300	$V_{REF}-0.080$	$V_{REF}+0.080$	$V_{DDO}+0.300$
HSTL_I_18	-0.300	$V_{REF}-0.100$	$V_{REF}+0.100$	$V_{DDO}+0.300$
HSTL_II	-0.300	$V_{REF}-0.100$	$V_{REF}+0.100$	$V_{DDO}+0.300$
HSTL_II_18	-0.300	$V_{REF}-0.100$	$V_{REF}+0.100$	$V_{DDO}+0.300$
HSUL_12	-0.300	$V_{REF}-0.130$	$V_{REF}+0.130$	$V_{DDO}+0.300$
LVC MOS12	-0.300	35% V_{DDO}	35% V_{DDO}	$V_{DDO}+0.300$
LVC MOS15, LVDCI_15	-0.300	35% V_{DDO}	35% V_{DDO}	$V_{DDO}+0.300$
LVC MOS18, LVDCL_18	-0.300	35% V_{DDO}	65% V_{DDO}	$V_{DDO}+0.300$
LVC MOS25	-0.300	0.700	1.700	$V_{DDO}+0.300$
LVC MOS33	-0.300	0.800	2.000	3.450
LV TTL	-0.300	0.800	2.000	3.450
MOBILE_DDR	-0.300	20% V_{DDO}	80% V_{DDO}	$V_{DDO}+0.300$
PCI33_3	-0.400	30% V_{DDO}	50% V_{DDO}	$V_{DDO}+0.500$
SSTL12	-0.300	$V_{REF}-0.100$	$V_{REF}+0.100$	$V_{DDO}+0.300$
SSTL135	-0.300	$V_{REF}-0.090$	$V_{REF}+0.090$	$V_{DDO}+0.300$
SSTL135_R	-0.300	$V_{REF}-0.090$	$V_{REF}+0.090$	$V_{DDO}+0.300$
SSTL15	-0.300	$V_{REF}-0.100$	$V_{REF}+0.100$	$V_{DDO}+0.300$
SSTL15_R	-0.300	$V_{REF}-0.100$	$V_{REF}+0.100$	$V_{DDO}+0.300$
SSTL18_I	-0.300	$V_{REF}-0.125$	$V_{REF}+0.125$	$V_{DDO}+0.300$
SSTL18_II	-0.300	$V_{REF}-0.125$	$V_{REF}+0.125$	$V_{DDO}+0.300$

表 3.2-4 MC1P170器件单端I/O输出电平 ^{(1) (2)}

I/O Standard	VOL	VOH	IOL	IOH
	V, Max	V, Min	mA,Max	mA,Min
HSTL_I	0.400	$V_{DDO}-0.400$	8.00	-8.00
HSTL_I_12	25% V_{DDO}	75% V_{DDO}	6.30	-6.30
HSTL_I_18	0.400	$V_{DDO}-0.400$	8	-8
HSTL_II	0.400	$V_{DDO}-0.400$	16.00	-16.00
HSTL_II_18	0.400	$V_{DDO}-0.400$	16	-16
HSUL_12	20% V_{DDO}	80% V_{DDO}	0.10	-0.10
LVC MOS12	0.400	$V_{DDO}-0.400$	附3	附3
LVC MOS15, LVDCI_15	25% V_{DDO}	75% V_{DDO}	附4	附4
LVC MOS18, LVDCL_18	0.450	$V_{DDO}-0.450$	附5	附5
LVC MOS25	0.400	$V_{DDO}-0.400$	附6	附6
LVC MOS33	0.400	2.400	附6	附6
LVTTL	0.400	2.400	附7	附7
MOBILE_DDR	10% V_{DDO}	90% V_{DDO}	0.10	-0.10
PCI33_3	10% V_{DDO}	90% V_{DDO}	1.50	-1.50
SSTL12	$V_{DDO}/2-0.150$	$V_{DDO}/2+0.150$	14.25	-14.25
SSTL135	$V_{DDO}/2-0.150$	$V_{DDO}/2+0.150$	13.00	-13.00
SSTL135_R	$V_{DDO}/2-0.150$	$V_{DDO}/2+0.150$	8.90	-8.90
SSTL15	$V_{DDO}/2-0.175$	$V_{DDO}/2+0.175$	13.00	-13.00
SSTL15_R	$V_{DDO}/2-0.175$	$V_{DDO}/2+0.175$	8.90	-8.90
SSTL18_I	$V_{DDO}/2-0.470$	$V_{DDO}/2+0.470$	8	-8
SSTL18_II	$V_{DDO}/2-0.600$	$V_{DDO}/2+0.600$	13.40	-13.40

附注：

- 1.根据相关规范进行测试。
- 2.仅 HR I/O 组支持 3.3V 和 2.5V 标准。
- 3.HPI I/O 组支持 2、4、6 或 8 mA 的驱动强度，HR I/O 组支持 4、8 或 12 mA 的驱动强度。
- 4.HPI I/O 组支持 2、4、6、8、12 或 16 mA 的驱动强度，HR I/O 组支持 4、8、12 或 16 mA 的驱动强度。
- 5.HPI I/O 组支持 2、4、6、8、12 或 16 mA 的驱动强度，HR I/O 组支持 4、8、12、16 或 24 mA 的驱动强度。
- 6.支持 4、8、12 或 16 mA 的驱动强度。
- 7.支持 4、8、12、16 或 24 mA 的驱动强度

表 3.2-5 MC1P75/MC1P110/MC1P220器件LVDS_25直流规格

类型	直流参数	条件	最小值	典型	最大值	单位
V_{DDO}	电源电压		2.375	2.500	2.625	V
V_{OH}	Q 和 $\overline{Q}$ 的输出高电平	$R_T = 100\ \Omega$ across Q and $\overline{Q}$ signals	-	-	1.675	V
V_{OL}	Q 和 $\overline{Q}$ 的输出低电压	$R_T = 100\ \Omega$ across Q and $\overline{Q}$ signals	0.700	-	-	V
V_{ODIFF}	差分输出电压： ($Q-\overline{Q}$), $Q = \text{High}$ ($\overline{Q}-Q$), $\overline{Q} = \text{High}$	$R_T = 100\ \Omega$ across Q and $\overline{Q}$ signals	247	350	600	mV
V_{OCM}	输出共模电压	$R_T = 100\ \Omega$ across Q and $\overline{Q}$ signals	1.000	1.250	1.425	V
V_{IDIFF}	差分输入电压：($Q-\overline{Q}$), $Q = \text{High}$ ($\overline{Q}-Q$), $\overline{Q} = \text{High}$		100	350	600	mV
V_{ICM}	输入共模电压		0.300	1.200	1.500	V

表 3.2-6 MC1P170器件LVDS直流规格

类型	直流参数	条件	最小值	典型	最大值	单位
V_{DDO}	电源电压		1.710	1.800	1.890	V
V_{OH}	Q 和 $\overline{Q}$ 的输出高电平	$R_T = 100\ \Omega$ across Q and $\overline{Q}$ signals	-	-	1.675	V
V_{OL}	Q 和 $\overline{Q}$ 的输出低电压	$R_T = 100\ \Omega$ across Q and $\overline{Q}$ signals	0.825	-	-	V
V_{ODIFF}	差分输出电压： ($Q-\overline{Q}$), $Q = \text{High}$ ($\overline{Q}-Q$), $\overline{Q} = \text{High}$	$R_T = 100\ \Omega$ across Q and $\overline{Q}$ signals	247	350	600	mV

类型	直流参数	条件	最小值	典型	最大值	单位
V_{OCM}	输出共模电压	$R_T = 100\ \Omega$ across Q and $\overline{Q}$ signals	1.000	1.250	1.425	V
V_{IDIFF}	差分输入电压: ($Q-Q$), $Q \equiv \text{High}$ ($Q-Q$), $Q = \text{High}$	共模输入电压 = 1.25V	100	350	600	mV
V_{ICM}	输入共模电压	差分输入电压 = $\pm 350\text{ mV}$	0.300	1.200	1.500	V

表 3.2-7 MgiCubo®系列器件差分I/O输入电平

I/O Standard	$V_{ICM}^{(1)}$			$V_{ID}^{(2)}$		
	V,Min	V,Typ	V,Max	V,Min	V,Typ	V,Max
BLVDS_25	0.300	1.200	1.425	0.100	-	-
MINI_LVDS_25	0.300	1.200	V_{DDAUX}	0.200	0.400	0.600
PPDS_25	0.200	0.900	V_{DDAUX}	0.100	0.250	0.400
RSDS_25	0.300	0.900	1.500	0.100	0.350	0.600
TMDS_33	2.700	2.965	3.230	0.150	0.675	1.200

表 3.2-8 MgiCubo®系列器件差分I/O输出电平

I/O Standard	$V_{OCM}^{(3)}$			$V_{OD}^{(4)}$		
	V,Min	V,Typ	V,Max	V,Min	V,Typ	V,Max
BLVDS_25	-	1.250	-	附4		
MINI_LVDS_25	1.000	1.200	1.400	0.300	0.450	0.600
PPDS_25	0.500	0.950	1.400	0.100	0.250	0.400
RSDS_25	1.000	1.200	1.400	0.100	0.350	0.600
TMDS_33	$V_{DDO}-0.405$	$V_{DDO}-0.300$	$V_{DDO}-0.190$	0.400	0.600	0.800

附注：

1. V_{ICM} 为输入共模电压。 —
2. V_{ID} 为输入差分电压 ($Q-Q$)。
3. V_{OCM} 为输出共模电压。 —
4. V_{OD} 是输出差分电压 ($Q-Q$)。
5. BLVDS 的 V_{OD} 会因拓扑结构和负载不同而有很大差异。

表 3.2-9 MC1P75/MC1P110/MC1P220互补差分I/O直流输入电平

I/O Standard	$V_{ICM}^{(1)}$			$V_{ID}^{(2)}$	
	V,Min	V,Typ	V,Max	V,Min	V,Max
DIFF_HSTL_I	0.300	0.750	1.125	0.100	-
DIFF_HSTL_I_18	0.300	0.900	1.425	0.100	-
DIFF_HSTL_II	0.300	0.750	1.125	0.100	-
DIFF_HSTL_II_18	0.300	0.900	1.425	0.100	-
DIFF_HSUL_12	0.300	0.600	0.850	0.100	-
DIFF_MOBILE_DDR	0.300	0.900	1.425	0.100	-
DIFF_SSTL135	0.300	0.675	1.000	0.100	-
DIFF_SSTL135_R	0.300	0.675	1.000	0.100	-
DIFF_SSTL15	0.300	0.750	1.125	0.100	-
DIFF_SSTL15_R	0.300	0.750	1.125	0.100	-
DIFF_SSTL18_I	0.300	0.900	1.425	0.100	-
DIFF_SSTL18_II	0.300	0.900	1.425	0.100	-

表 3.2-10 MC1P75/MC1P110/MC1P220互补差分I/O直流输出电平

I/O Standard	$V_{OL}^{(3)}$	$V_{OH}^{(4)}$	I_{OL}	I_{OH}
	V,Max	V,Min	mA,Max	mA,Min
DIFF_HSTL_I	0.400	$V_{DDO}-0.400$	8.00	-8.00
DIFF_HSTL_I_18	0.400	$V_{DDO}-0.400$	8.00	-8.00
DIFF_HSTL_II	0.400	$V_{DDO}-0.400$	16.00	-16.00
DIFF_HSTL_II_18	0.400	$V_{DDO}-0.400$	16.00	-16.00
DIFF_HSUL_12	$20\%V_{DDO}$	$80\%V_{DDO}$	0.100	-0.100
DIFF_MOBILE_DDR	$10\%V_{DDO}$	$90\%V_{DDO}$	0.100	-0.100
DIFF_SSTL135	$(V_{DDO}/2) - 0.150$	$(V_{DDO}/2) + 0.150$	13.00	-13.00
DIFF_SSTL135_R	$(V_{DDO}/2) - 0.150$	$(V_{DDO}/2) + 0.150$	8.90	-8.90
DIFF_SSTL15	$(V_{DDO}/2) - 0.175$	$(V_{DDO}/2) + 0.175$	13.00	-13.00
DIFF_SSTL15_R	$(V_{DDO}/2) - 0.175$	$(V_{DDO}/2) + 0.175$	8.90	-8.90
DIFF_SSTL18_I	$(V_{DDO}/2) - 0.470$	$(V_{DDO}/2) + 0.470$	8.00	-8.00
DIFF_SSTL18_II	$(V_{DDO}/2) - 0.600$	$(V_{DDO}/2) - 0.600$	13.40	-13.40

表 3.2-11 MC1P170互补差分IO直流输入电平

I/O Standard	$V_{ICM}^{(1)}$			$V_{ID}^{(2)}$	
	V,Min	V,Typ	V,Max	V,Min	V,Max
DIFF_HSTL_I	0.300	0.750	1.125	0.100	-
DIFF_HSTL_I_18	0.300	0.900	1.425	0.100	-
DIFF_HSTL_II	0.300	0.750	1.125	0.100	-
DIFF_HSTL_II_18	0.300	0.900	1.425	0.100	-
DIFF_HSUL_12	0.300	0.600	0.850	0.100	-
DIFF_MOBILE_DDR	0.300	0.900	1.425	0.100	-
DIFF_SSTL12	0.300	0.600	0.850	0.100	-
DIFF_SSTL135	0.300	0.675	1.000	0.100	-
DIFF_SSTL135_R	0.300	0.675	1.000	0.100	-
DIFF_SSTL15	0.300	0.750	1.125	0.100	-
DIFF_SSTL15_R	0.300	0.750	1.125	0.100	-
DIFF_SSTL18_I	0.300	0.900	1.425	0.100	-
DIFF_SSTL18_II	0.300	0.900	1.425	0.100	-

表 3.2-12 MC1P170互补差分IO直流输出电平

I/O Standard	$V_{OL}^{(3)}$	$V_{OH}^{(4)}$	I_{OL}	I_{OH}
	V,Max	V,Min	mA,Max	mA,Min
DIFF_HSTL_I	0.400	$V_{DDO}-0.400$	8.00	-8.00
DIFF_HSTL_I_18	0.400	$V_{DDO}-0.400$	8.00	-8.00
DIFF_HSTL_II	0.400	$V_{DDO}-0.400$	16.00	-16.00
DIFF_HSTL_II_18	0.400	$V_{DDO}-0.400$	16.00	-16.00
DIFF_HSUL_12	$20\%V_{DDO}$	$80\%V_{DDO}$	0.100	-0.100
DIFF_MOBILE_DDR	$10\%V_{DDO}$	$90\%V_{DDO}$	0.100	-0.100
DIFF_SSTL12	$(V_{DDO}/2) - 0.150$	$(V_{DDO}/2) + 0.150$	14.25	-14.25
DIFF_SSTL135	$(V_{DDO}/2) - 0.150$	$(V_{DDO}/2) + 0.150$	13.00	-13.00
DIFF_SSTL135_R	$(V_{DDO}/2) - 0.150$	$(V_{DDO}/2) + 0.150$	8.90	-8.90
DIFF_SSTL15	$(V_{DDO}/2) - 0.175$	$(V_{DDO}/2) + 0.175$	13.00	-13.00
DIFF_SSTL15_R	$(V_{DDO}/2) - 0.175$	$(V_{DDO}/2) + 0.175$	8.90	-8.90
DIFF_SSTL18_I	$(V_{DDO}/2) - 0.470$	$(V_{DDO}/2) + 0.470$	8.00	-8.00
DIFF_SSTL18_II	$(V_{DDO}/2) - 0.600$	$(V_{DDO}/2) - 0.600$	13.40	-13.40

附注：

1. V_{ICM} 为输入共模电压。
2. V_{ID} 为输入差分电压 (Q-Q)。
3. V_{OL} 是单端低输出电压。
4. V_{OH} 是单端高输出电压。

第四章 SerDes特性

4.1.SerDes收发器直流规格

本章节提供MgiCubo®系列 FPGA 的 SerDes 串行收发器的直流电压值, 这些参数反映了器件在工作条件下的实际性能。

表 4.1-1 GT066串行收发器的直流参数

类型	参数说明	条件	最小值	典型值	最大值	单位
输入和输出信号DC特性						
V _{DOPP}	差分输出峰-峰电压	输出摆幅设为最大	1000	-	-	mV
V _{CMO_DC}	DC共模输出电压	见公式	V _{GTT} - V _{DOPP} /4			mV
R _{DO}	差分输出阻值		-	100	-	Ω
V _{CMO_AC}	共模输出电压：AC耦合		1/2V _{GTT}			mV
T _{OSKEW}	TX输出对P侧和N侧偏斜		-	-	12	ps
V _{DIPP}	差分输入峰峰电压	外部交流耦合	150	-	2000	mV
V _{IN}	单端输入电压 ⁽¹⁾	直流耦合V _{GTT} =1.2V	-200	-	V _{GTT}	mV
V _{CMI}	共模输入电压	直流耦合V _{GTT} =1.2V	-	2/3V _{GTT}	-	mV
R _{DI}	差分输入电阻		-	100	-	Ω
C _{EXT}	推荐外部交流耦合电容值 ⁽¹⁾		-	100	-	nF
时钟输入DC特性						
V _{DIPP_CLK}	差分输入峰峰电压		350	-	2000	mV
R _{DI_CLK}	差分输入电阻		-	100	-	Ω
C _{EXT_CLK}	推荐外部交流耦合电容值		-	100	-	nF

表 4.1-2 GT125串行收发器的直流参数

类型	参数说明	条件	最小值	典型值	最大值	单位
输入和输出信号DC特性						
V _{DOPP}	差分输出峰-峰电压	输出摆幅设为最大	1000	-	-	mV
V _{CMO_DC}	DC共模输出电压	见公式	V _{GTT} - V _{DOPP} /4			mV
R _{DO}	差分输出阻值		-	100	-	Ω
T _{OSKEW}	TX输出对P侧和N侧偏斜		-	2	12	ps
V _{DIPP}	差分峰值输入电压 (外部交流耦合)	>10.3125 Gb/s	150	-	1250	mV
		6.6 Gb/s -10.3125 Gb/s	150	-	1250	mV
		≤ 6.6 Gb/s	150	-	2000	mV
V _{IN}	单端输入电压 ⁽¹⁾	直流耦合V _{GTT} =1.2V	-200	-	V _{GTT}	mV
V _{CMI}	共模输入电压	直流耦合V _{GTT} =1.2V	-	2/3V _{GTT}	-	mV
R _{DI}	差分输入电阻		-	100	-	Ω
C _{EXT}	推荐外部交流耦合电容值 ⁽¹⁾		-	100	-	nF
时钟输入DC特性						
V _{DIPP_CLK}	差分输入峰峰电压		250	-	2000	mV
R _{DI_CLK}	差分输入电阻		-	100	-	Ω
C _{EXT_CLK}	推荐外部交流耦合电容值		-	100	-	nF

附注:

- 1.以接地为基准在引脚处测量的电压。
- 2.可根据具体协议和标准酌情使用其他值。

4.2.SerDes交流特性

表 4.2-1 GT066串行收发器性能参数

类型	描述	典型电压	单位
		1V	
F_{GT066_MAX}	GT066最大收发数据速率	6.6	Gb/s
F_{GT066_MIN}	GT066最小收发数据速率	0.5	Gb/s
$F_{GT066_PLL_MAX}$	GT066 PLL最大频率	3.3	GHz
$F_{GT066_PLL_MIN}$	GT066 PLL最小频率	1.6	GHz

表 4.2-2 GT066参考时钟开关特性

类型	描述	条件	数值			单位
			Min	Typ	Max	
F _{REFCLK}	参考时钟频率范围		60	-	660	MHz
T _{REFCLK_R}	参考时钟上升时间	20%–80%	-	200	-	ps
T _{REFCLK_F}	参考时钟下降时间	80%–20%	-	200	-	ps
T _{REFCLK_DC}	参考时钟占空比	PLL	40	-	60	%

表 4.2-3 GT066 串行收发器的用户时钟交流特性和要求

类型	描述	条件	典型电压	单位
			1V	
F _{TXOUT_MAX}	TXOUTCLK最大频率		412.500	MHz
F _{RXOUT_MAX}	RXOUTCLK最大频率		412.500	MHz
F _{TXIN_MAX}	TXUSRCLK最大频率	16位数据通道	412.500	MHz
F _{RXIN_MAX}	RXUSRCLK最大频率	16位数据通道	412.500	MHz
F _{TXIN2_MAX}	TXUSRCLK2最大频率	16位数据通道	412.500	MHz
F _{RXIN2_MAX}	RXUSRCLK2最大频率	16位数据通道	412.500	MHz

表 4.2-4 GT066 发送器交流特性

类型	描述	条件	最小值	典型值	最大值	单位
F_{GT066_TX}	串行数据传输速率范围		0.500	-	F_{GT066_MAX}	Gb/s
T_{GT066_RTX}	TX上升时间	20%-80%	-	50	-	ps
T_{GT066_FTX}	TX下降时间	80%-20%	-	50	-	ps
T_{GT066_LLSKEW}	TX 通道间skew ⁽¹⁾		-	-	500	ps
$V_{GT066_TXIDLEAMP}$	Electrical idle幅值		-	-	20	mV
$T_{GT066_TXIDLETR}$	Electrical idle过渡时间		-	-	140	ns
$TJ_{GT066_6.6}$	Total Jitter ^{(2) (3)}	6.6 Gb/s	-	-	0.30	UI
$DJ_{GT066_6.6}$	Deterministic Jitter ^{(2) (3)}		-	-	0.15	UI
$TJ_{GT066_5.0}$	Total Jitter ^{(2) (3)}	5.0 Gb/s	-	-	0.30	UI
$DJ_{GT066_5.0}$	Deterministic Jitter ^{(2) (3)}		-	-	0.15	UI
$TJ_{GT066_4.25}$	Total Jitter ^{(2) (3)}	4.25 Gb/s	-	-	0.30	UI
$DJ_{GT066_4.25}$	Deterministic Jitter ^{(2) (3)}		-	-	0.15	UI
$TJ_{GT066_3.75}$	Total Jitter ^{(2) (3)}	3.75 Gb/s	-	-	0.30	UI
$DJ_{GT066_3.75}$	Deterministic Jitter ^{(2) (3)}		-	-	0.15	UI
$TJ_{GT066_3.2}$	Total Jitter ^{(2) (3)}	3.20 Gb/s ⁽⁴⁾	-	-	0.20	UI
$DJ_{GT066_3.2}$	Deterministic Jitter ^{(2) (3)}		-	-	0.10	UI
$TJ_{GT066_3.2L}$	Total Jitter ^{(2) (3)}	3.20 Gb/s ⁽⁵⁾	-	-	0.32	UI
$DJ_{GT066_3.2L}$	Deterministic Jitter ^{(2) (3)}		-	-	0.16	UI

类型	描述	条件	最小值	典型值	最大值	单位
TJ _{GT066_2.5}	Total Jitter ^{(2) (3)}	2.5 Gb/s ⁽⁶⁾	-	-	0.20	UI
DJ _{GT066_2.5}	Deterministic Jitter ^{(2) (3)}		-	-	0.08	UI
TJ _{GT066_1.25}	Total Jitter ^{(2) (3)}	1.25 Gb/s ⁽⁷⁾	-	-	0.15	UI
DJ _{GT066_1.25}	Deterministic Jitter ^{(2) (3)}		-	-	0.06	UI
TJ _{GT066_500}	Total Jitter ^{(2) (3)}	500 Mb/s	-	-	0.10	UI
DJ _{GT066_500}	Deterministic Jitter ^{(2) (3)}		-	-	0.03	UI

附注：

- 1.使用相同的 REFCLK 输入，并为最多四个连续发送器（一个完全填充的 GT066 Quad）启用发送器相位对齐。
- 2.使用 PLL[0/1]_FBDIV = 2，内部数据宽度为 20 位。这些值不用于特定协议的合规性确定。
- 3.所有抖动值均基于 1e-12 的误码率。
- 4.PLL 频率为 3.2 GHz，TXOUT_DIV = 2。
- 5.PLL 频率为 1.6 GHz，TXOUT_DIV = 1。
- 6.PLL 频率为 2.5 GHz，TXOUT_DIV = 2。
- 7.PLL 频率为 2.5 GHz，TXOUT_DIV = 4。

表 4.2-5 GT066接收器交流特性

类型	描述	条件	最小值	典型值	最大值	单位
F_{GT066_RX}	串行数据传输速率范围		0.500	-	F_{GT066_MAX}	Gb/s
$T_{GT066_RXLEIDLE}$	RXELECIDLE状态到数据恢复或者丢失响应的的时间		-	10	-	ns
$RX_{GT066_OOBVDTPP}$	OOB检测门限峰峰值		60	-	150	mV
RX_{GT066_SST}	接收端展频跟随, 调制频率33kHz ⁽¹⁾		-5000	-	5000	ppm
$RX_{GT066_TOLERANCE}$	支持RX连续长0或长1的长度		-	-	512	UI
RX_{GT066_PPMTOL}	数据/参考时钟的PPM偏差容限		-1250	-	1250	ppm
SJ 正弦抖动容限 ⁽²⁾						
$JT_{GT066_SJ6.6}$	正弦抖动, 6.6Gbps ⁽³⁾		0.44	-	-	UI
$JT_{GT066_SJ5.0}$	正弦抖动, 5.0Gbps ⁽³⁾		0.44	-	-	UI
$JT_{GT066_SJ4.25}$	正弦抖动, 4.25Gbps ⁽³⁾		0.44	-	-	UI
$JT_{GT066_SJ3.75}$	正弦抖动, 3.75Gbps ⁽³⁾		0.44	-	-	UI
$JT_{GT066_SJ3.2}$	正弦抖动, 3.2Gbps ⁽³⁾		0.45	-	-	UI
$JT_{GT066_SJ3.2L}$	正弦抖动, 3.2Gbps ⁽³⁾		0.45	-	-	UI
$JT_{GT066_SJ2.5}$	正弦抖动, 2.5Gbps ⁽³⁾		0.50	-	-	UI
$JT_{GT066_SJ1.25}$	正弦抖动, 1.25Gbps ⁽³⁾		0.50	-	-	UI
JT_{GT066_SJ500}	正弦抖动, 500Mbps ⁽³⁾		0.40	-	-	UI
SJ 抖动容忍度与压力眼图						
$JT_TJSE_{3.2}$	压力眼图时的总抖动 ⁽⁷⁾		0.70	-	-	UI

类型	描述	条件	最小值	典型值	最大值	单位
JT_TJSE _{6.6}	带压力眼图的正弦抖动 ⁽⁸⁾		0.70	-	-	UI
JT_TJSE _{3.2}			0.10	-	-	UI
JT_TJSE _{6.6}			0.10	-	-	UI

附注：

- 1.使用 RXOUT_DIV = 1、2 和 4。
- 2.所有抖动值均基于 1e-12 的误码率。
- 3.注入的正弦抖动频率为 10 MHz。
- 4.PLL 频率为 3.2 GHz, TXOUT_DIV = 2。
- 5.PLL 频率为 1.6 GHz, TXOUT_DIV = 1。
- 6.PLL 频率为 2.5 GHz, TXOUT_DIV = 2。
- 7.PLL 频率为 2.5 GHz, TXOUT_DIV = 4。
- 8.复合抖动。

表 4.2-6 GT125串行收发器性能参数

类型	描述	典型电压 ⁽¹⁾		单位
		1.0V		
F_{GT125_MAX} ⁽²⁾	GT125最大收发数据速率	12.5		Gb/s
F_{GT125_MIN} ⁽²⁾	GT125最小收发数据速率	0.50		Gb/s
$F_{GT125CRANGE}$	CPLL 线路速率范围	1	3.2-6.6	Gb/s
		2	1.6-3.3	Gb/s
		4	0.8-1.65	Gb/s
		8	0.5-0.825	Gb/s
		16	N/A	Gb/s
$F_{GT125QRANGE1}$	QPLL 线路速率范围 1	1	5.93-8.0	Gb/s
		2	2.965-4.0	Gb/s
		4	0.74125-2.0	Gb/s
		8	0.74125-1.0	Gb/s
		16	N/A	Gb/s
$F_{GT125QRANGE2}$	QPLL 线路速率范围 2	1	9.8-12.5	Gb/s
		2	4.9-6.25	Gb/s
		4	2.45-3.125	Gb/s
		8	1.225-1.5625	Gb/s
		16	0.6125-0.78125	Gb/s
$F_{GCPLLRange}$	GT125 收发器 CPLL频率范围	1.6-3.3		GHz
$F_{GQPLLRange1}$	GT125 收发器QPLL频率范围 1	5.93-8.0		GHz
$F_{GQPLLRange2}$	GT125 收发器QPLL频率范围 2	9.8-12.5		GHz

附注：

- 1.通常的指定电压为 V_{DDC0} 。
- 2.不提供 8.0 Gb/s 至 9.8 Gb/s 的数据传输速率。

表 4.2-7 GT125参考时钟开关特性

类型	描述	条件	数值			单位
			Min	Typ	Max	
F_{REFCLK}	参考时钟频率范围		60	-	700	MHz
T_{REFCLK_R}	参考时钟上升时间	20%–80%	-	200	-	ps
T_{REFCLK_F}	参考时钟下降时间	80%–20%	-	200	-	ps
T_{REFCLK_DC}	参考时钟占空比	仅收发器 PLL	40	50	60	%

表 4.2-8 GT125串行收发器的用户时钟交流特性和要求

类型	描述	条件	典型电压	单位
			1.0V	
F _{TXOUT_MAX}	TXOUTCLK最大频率		412.500	MHz
F _{RXOUT_MAX}	RXOUTCLK最大频率		412.500	MHz
F _{TXIN_MAX}	TXUSRCLK最大频率	16位数据通道	412.500	MHz
		32位数据通道	390.625	
F _{RXIN_MAX}	RXUSRCLK最大频率	16位数据通道	412.500	MHz
		32位数据通道	390.625	
F _{TXIN2_MAX}	TXUSRCLK2最大频率	16位数据通道	412.500	MHz
		32位数据通道	390.625	
		64位数据通道	195.313	
F _{RXIN2_MAX}	RXUSRCLK2最大频率	16位数据通道	412.500	MHz
		32位数据通道	390.625	
		64位数据通道	195.313	

表 4.2-9 GT125 发送器交流特性

类型	描述	条件	最小值	典型值	最大值	单位
F_{GT125_TX}	串行数据传输速率范围		0.500	-	$F_{GT125MAX}$	Gb/s
T_{GT125_RTX}	TX上升时间	20%-80%	-	40	-	ps
T_{GT125_FTX}	TX下降时间	80%-20%	-	-	500	ps
T_{GT125_LLSKEW}	TX 通道间skew ⁽¹⁾		-	-	500	ps
$V_{GT125_TXIDLEAMP}$	Electrical idle幅值		-	-	15	mV
$T_{GT125_TXIDLETR}$	Electrical idle过渡时间		-	-	140	ns
$TJ_{GT125_12.5}$	Total Jitter ^{(2) (4)}	12.5Gb/s	-	-	0.28	UI
$DJ_{GT125_12.5}$	Deterministic Jitter ^{(2) (4)}		-	-	0.17	UI
$TJ_{GT125_11.18}$	Total Jitter ^{(2) (4)}	11.18 Gb/s	-	-	0.28	UI
$DJ_{GT125_11.18}$	Deterministic Jitter ^{(2) (4)}		-	-	0.17	UI
$TJ_{GT125_10.3125}$	Total Jitter ^{(2) (4)}	10.3125Gb/s	-	-	0.28	UI
$DJ_{GT125_10.3125}$	Deterministic Jitter ^{(2) (4)}		-	-	0.17	UI
$TJ_{GT125_9.953}$	Total Jitter ^{(2) (4)}	9.953 Gb/s	-	-	0.28	UI
$DJ_{GT125_9.953}$	Deterministic Jitter ^{(2) (4)}		-	-	0.17	UI
$TJ_{GT125_9.8}$	Total Jitter ^{(2) (4)}	9.8 Gb/s	-	-	0.28	UI
$DJ_{GT125_9.8}$	Deterministic Jitter ^{(2) (4)}		-	-	0.17	UI
$TJ_{GT125_8.0}$	Total Jitter ^{(2) (4)}	8.0 Gb/s	-	-	0.32	UI
$DJ_{GT125_8.0}$	Deterministic Jitter ^{(2) (4)}		-	-	0.16	UI
$TJ_{GT125_6.6_QPLL}$	Total Jitter ^{(2) (4)}	6.6 Gb/s	-	-	0.20	UI
$DJ_{GT125_6.6_QPLL}$	Deterministic Jitter ^{(2) (4)}		-	-	0.08	UI
$TJ_{GT125_6.6_CPLL}$	Total Jitter ^{(3) (4)}	6.6 Gb/s	-	-	0.15	UI
$DJ_{GT125_6.6_CPLL}$	Deterministic Jitter ^{(3) (4)}		-	-	0.06	UI

类型	描述	条件	最小值	典型值	最大值	单位
TJ _{GT125_5.0}	Total Jitter ^{(3) (4)}	5 Gb/s	-	-	0.10	UI
DJ _{GT125_5.0}	Deterministic Jitter ^{(3) (4)}		-	-	0.03	UI
TJ _{GT125_4.25}	Total Jitter ^{(3) (4)}	4.25 Gb/s	-	-	0.30	UI
DJ _{GT125_4.25}	Deterministic Jitter ^{(3) (4)}		-	-	0.15	UI
TJ _{GT125_3.75}	Total Jitter ^{(3) (4)}	3.75Gb/s	-	-	0.30	UI
DJ _{GT125_3.75}	Deterministic Jitter ^{(3) (4)}		-	-	0.15	UI
TJ _{GT125_3.2}	Total Jitter ^{(3) (4)}	3.20Gb/s ⁽⁵⁾	-	-	0.20	UI
DJ _{GT125_3.2}	Deterministic Jitter ^{(3) (4)}		-	-	0.10	UI
TJ _{GT125_3.2L}	Total Jitter ^{(3) (4)}	3.20Gb/s ⁽⁶⁾	-	-	0.32	UI
DJ _{GT125_3.2L}	Deterministic Jitter ^{(3) (4)}		-	-	0.16	UI
TJ _{GT125_2.5}	Total Jitter ^{(3) (4)}	2.5 Gb/s ⁽⁷⁾	-	-	0.20	UI
DJ _{GT125_2.5}	Deterministic Jitter ^{(3) (4)}		-	-	0.08	UI
TJ _{GT125_1.25}	Total Jitter ^{(3) (4)}	1.25 Gb/s ⁽⁸⁾	-	-	0.15	UI
DJ _{GT125_1.25}	Deterministic Jitter ^{(3) (4)}		-	-	0.06	UI
TJ _{GT125_500}	Total Jitter ^{(3) (4)}	500 Mb/s	-	-	0.10	UI
DJ _{GT125_500}	Deterministic Jitter ^{(3) (4)}		-	-	0.03	UI

附注：

- 1.使用相同的 REFCLK 输入，并启用发射机相位对齐，最多可连接 12 台发射机（三台满载的 GT125 Quads）。
- 2.使用 QPLL_FBDIV = 40，内部数据宽度为 20 位。这些值不用于特定协议的合规性确定。
- 3.使用 CPLL_FBDIV = 2 时，内部数据宽度为 20 位。这些值不用于特定协议的合规性确定。
- 4.所有抖动值均基于 1e-12 的误码率。
- 5.CPLL 频率为 3.2 GHz，TXOUT_DIV = 2。
- 6.CPLL 频率为 1.6 GHz，TXOUT_DIV = 1。
- 7.CPLL 频率为 2.5 GHz，TXOUT_DIV = 2。
- 8.CPLL 频率为 2.5 GHz，TXOUT_DIV = 4。

表 4.2-10 GT125接收器交流特性

类型	描述		最小值	典型值	最大值	单位
F _{GT125_RX}	串行数据传输速率范围		0.500	-	F _{GT125_MAX}	Gb/s
T _{GT125_RXELEIDLE}	RXELECIDLE状态到数据恢复或者丢失响应的 时间		-	10	-	ns
RX _{GT125_OOBVDTPP}	OOB检测门限峰峰值		60	-	150	mV
RX _{GT125_SST}	接收端展频跟随，调制频率33kHz ⁽¹⁾		-5000	-	0	ppm
RX _{GT125_RL}	运行长度（CID）		-	-	512	UI
RX _{GT125_PPMTOL}	数据/参考时钟的PPM 偏差容限	比特率 ≤ 6.6 Gb/s	-1250	-	1250	ppm
		比特率 > 6.6 Gb/s 和 ≤ 8.0 Gb/s	-700	-	700	ppm
		比特率 > 8.0 Gb/s	-200	-	200	ppm
SJ 正弦抖动容限 ⁽²⁾						
JT _{GT125_SJ12.5}	正弦抖动（QPLL） ⁽³⁾	12.5Gb/s	0.30	-	-	UI
JT _{GT125_SJ11.18}	正弦抖动（QPLL） ⁽³⁾	11.18Gb/s	0.30	-	-	UI
JT _{GT125_SJ10.32}	正弦抖动（QPLL） ⁽³⁾	10.32Gb/s	0.30	-	-	UI
JT _{GT125_SJ9.95}	正弦抖动（QPLL） ⁽³⁾	9.95Gb/s	0.30	-	-	UI
JT _{GT125_SJ9.8}	正弦抖动（QPLL） ⁽³⁾	9.8Gb/s	0.30	-	-	UI
JT _{GT125_SJ8.0}	正弦抖动（QPLL） ⁽³⁾	8.0Gb/s	0.44	-	-	UI
JT _{GT125_SJ6.6_QPLL}	正弦抖动（QPLL） ⁽³⁾	6.6Gb/s	0.48	-	-	UI
JT _{GT125_SJ6.6_CPLL}	正弦抖动（CPLL） ⁽³⁾	6.6Gb/s	0.44	-	-	UI
JT _{GT125_SJ5.0}	正弦抖动（CPLL） ⁽³⁾	5.0Gb/s	0.44	-	-	UI
JT _{GT125_SJ4.25}	正弦抖动（CPLL） ⁽³⁾	4.25Gb/s	0.44	-	-	UI
JT _{GT125_SJ3.75}	正弦抖动（CPLL） ⁽³⁾	3.75Gb/s	0.44	-	-	UI

类型	描述		最小值	典型值	最大值	单位
JT _{GT125_SJ3.2}	正弦抖动 (CPLL) ⁽³⁾	3.2Gb/s ⁽⁴⁾	0.45	-	-	UI
JT _{GT125_SJ3.2L}	正弦抖动 (CPLL) ⁽³⁾	3.2Gb/s ⁽⁵⁾	0.45	-	-	UI
JT _{GT125_SJ2.5}	正弦抖动 (CPLL) ⁽³⁾	2.5Gb/s ⁽⁶⁾	0.50	-	-	UI
JT _{GT125_SJ1.25}	正弦抖动 (CPLL) ⁽³⁾	1.25Gb/s ⁽⁷⁾	0.50	-	-	UI
JT _{GT125_SJ500}	正弦抖动 (CPLL) ⁽³⁾	500Mb/s	0.40	-	-	UI
SJ 抖动容忍度与压力眼图 ⁽²⁾						
JT_TJSE _{3.2}	压力眼图时的总抖动 ⁽⁷⁾	3.2Gb/s	0.70	-	-	UI
JT_TJSE _{6.6}		6.6Gb/s	0.70	-	-	UI
JT_TJSE _{3.2}	带压力眼图的正弦抖动 ⁽⁷⁾	3.2Gb/s	0.10	-	-	UI
JT_TJSE _{6.6}		6.6Gb/s	0.10	-	-	UI

附注：

- 1.使用 RXOUT_DIV = 1、2 和 4。
- 2.所有抖动值均基于 1e-12 的误码率。
- 3.注入正弦抖动的频率为 10 MHz。
- 4.3.2 GHz 和 RXOUT_DIV = 2 时的 CPLL 频率
- 5.CPLL 频率为 1.6 GHz, RXOUT_DIV = 1。
- 6.CPLL 频率为 2.5 GHz, RXOUT_DIV = 2。
- 7.CPLL 频率为 2.5 GHz, RXOUT_DIV = 4。
- 8.RX 在 LPM 或 DFE 模式下的复合抖动。

第五章 PCIe特性

表 五-1 FPGA PCI Express 控制器输入时钟频率要求

类型	参数说明	典型电压	单位
		1V	
$F_{\text{PCIe_PIPECLK}}$	PCIe最大时钟频率	250.0	MHz
$F_{\text{PCIe_USERCLK}}$	用户时钟最大频率	250.0	MHz
$F_{\text{PCIe_DRPCLK}}$	DRP时钟最高频率	250.0	MHz

第六章 存储接口

表 六-1 存储接口最大运行速率

存储标准	器件	I/O 类型	$V_{\text{DDAUX_IO}}$	接口速率 ^{(1) (2) (3) (4) (5)}	单位
DDR3	MC1P170	HP	2.0V	1866	Mb/s
		HP	1.8V	1600	Mb/s
		HR	N/A	1066	Mb/s
	MC1P220	HR	N/A	1066	Mb/s
	MC1P110	HR	N/A	1066	Mb/s
	MC1P75	HR	N/A	1066	Mb/s

附注：

- 1.接口速率为1866 Mb/s时，功耗等级“S”的器件典型电压为1.0V，功耗等级“L”的器件典型电压为0.9V。
- 2.接口速率为1600 Mb/s时，功耗等级“S”的器件典型电压为0.9V，功耗等级“L”的器件典型电压为0.9V。
- 3.接口速率为1333 Mb/s时，功耗等级“S”的器件典型电压为0.9V，功耗等级“L”的器件典型电压为0.9V。
- 4.接口速率为1066 Mb/s时，功耗等级“S”的器件典型电压为0.9V，功耗等级“L”的器件典型电压为0.85V。
- 5.接口速率为800 Mb/s时，功耗等级“S”的器件典型电压为0.9V，功耗等级“L”的器件典型电压为0.85V。

第七章 MgiCubo®系列封装规格

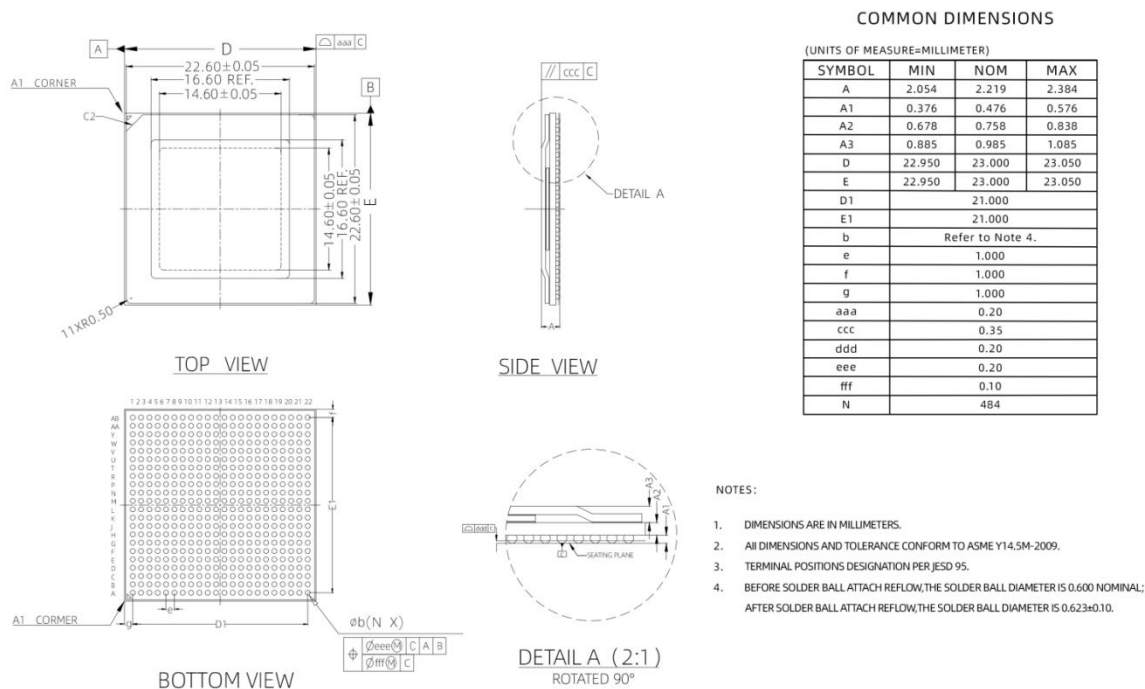


图 七-1 MC1P75-FCBGA484、MC1P110-FCBGA484封装规格图

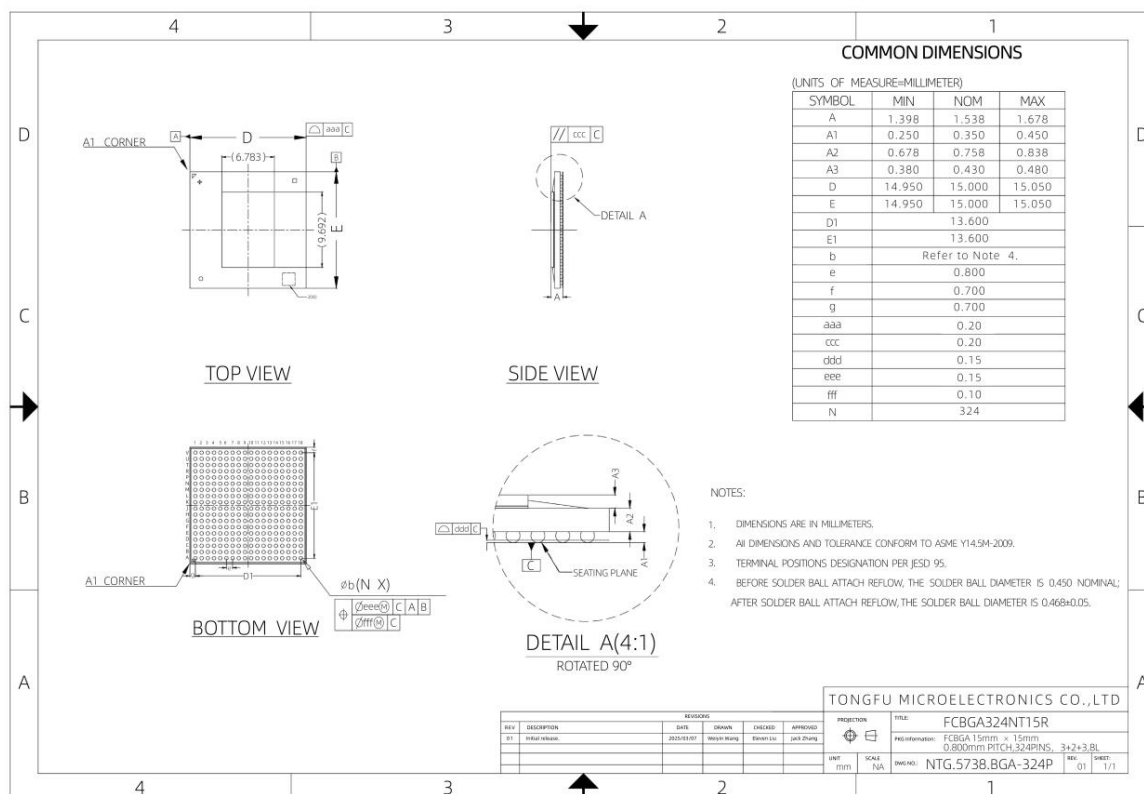


图 七-2 MC1P75-FCBGA324、MC1P110-FCBGA324封装规格图

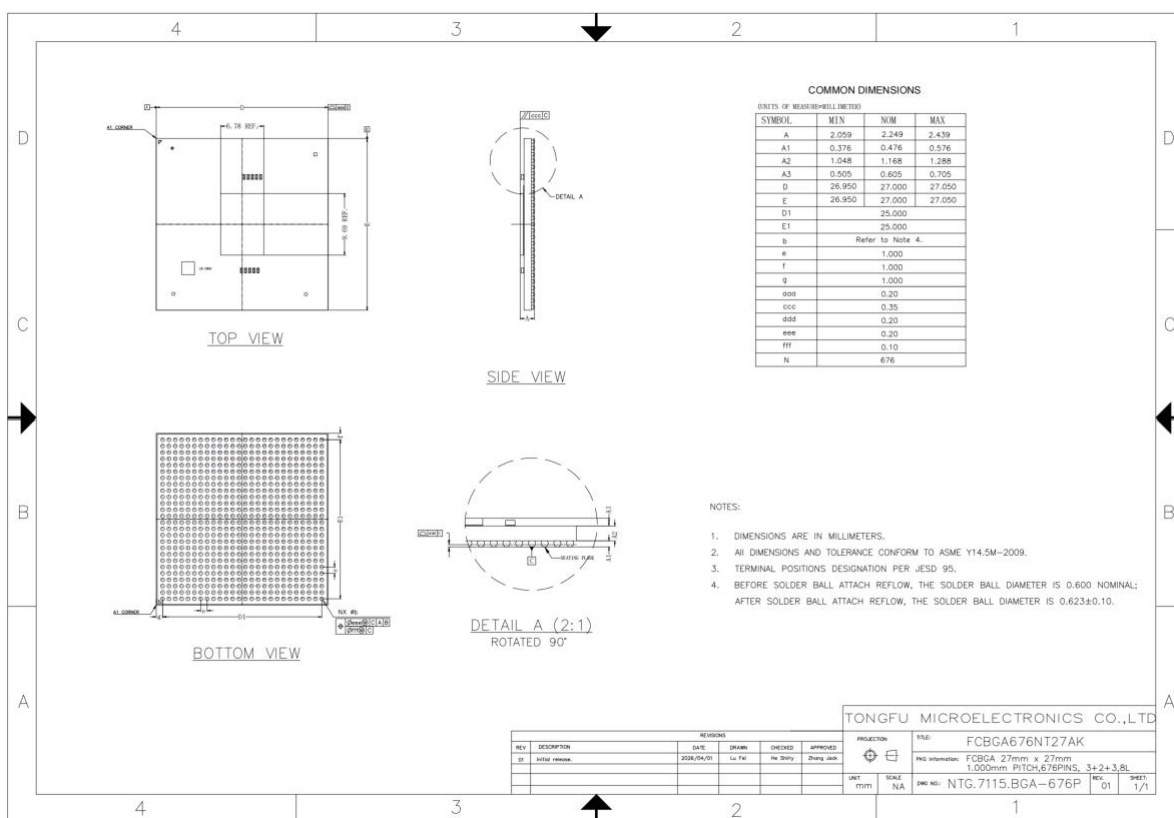


图 七-3 MC1P110-FCBGA676封装规格图

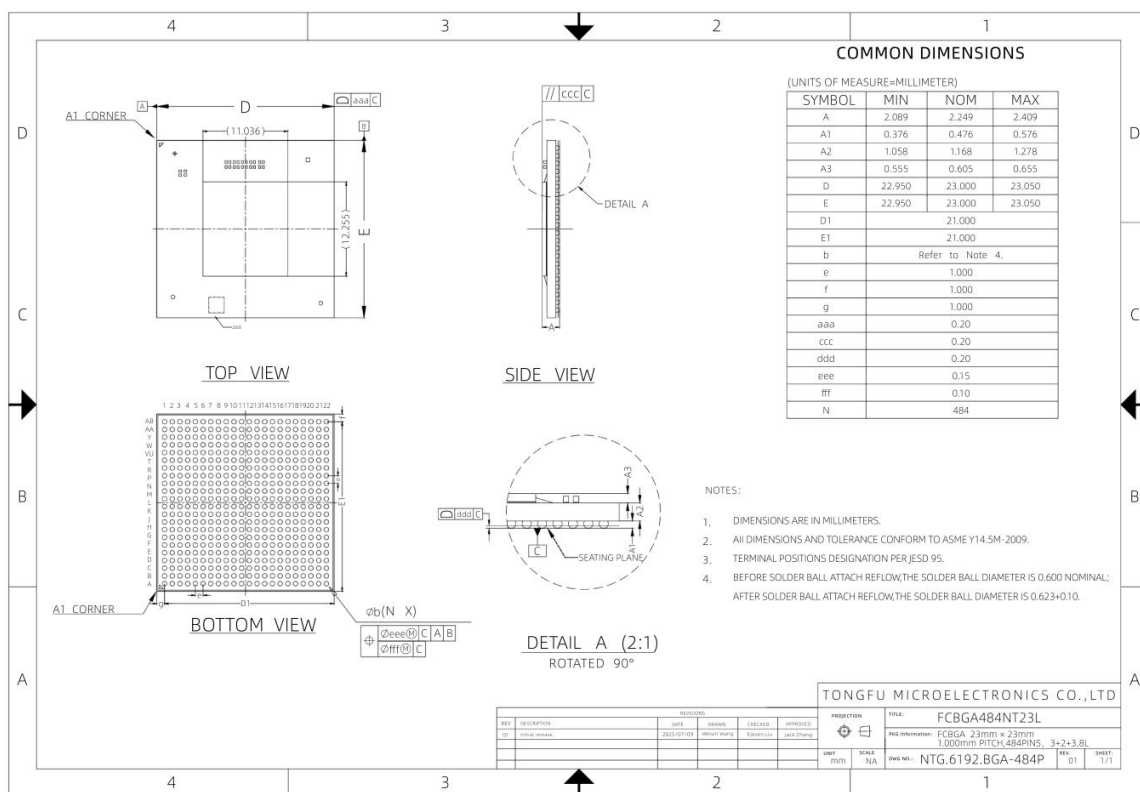


图 七-4 MC1P220-FCBGA484封装规格图

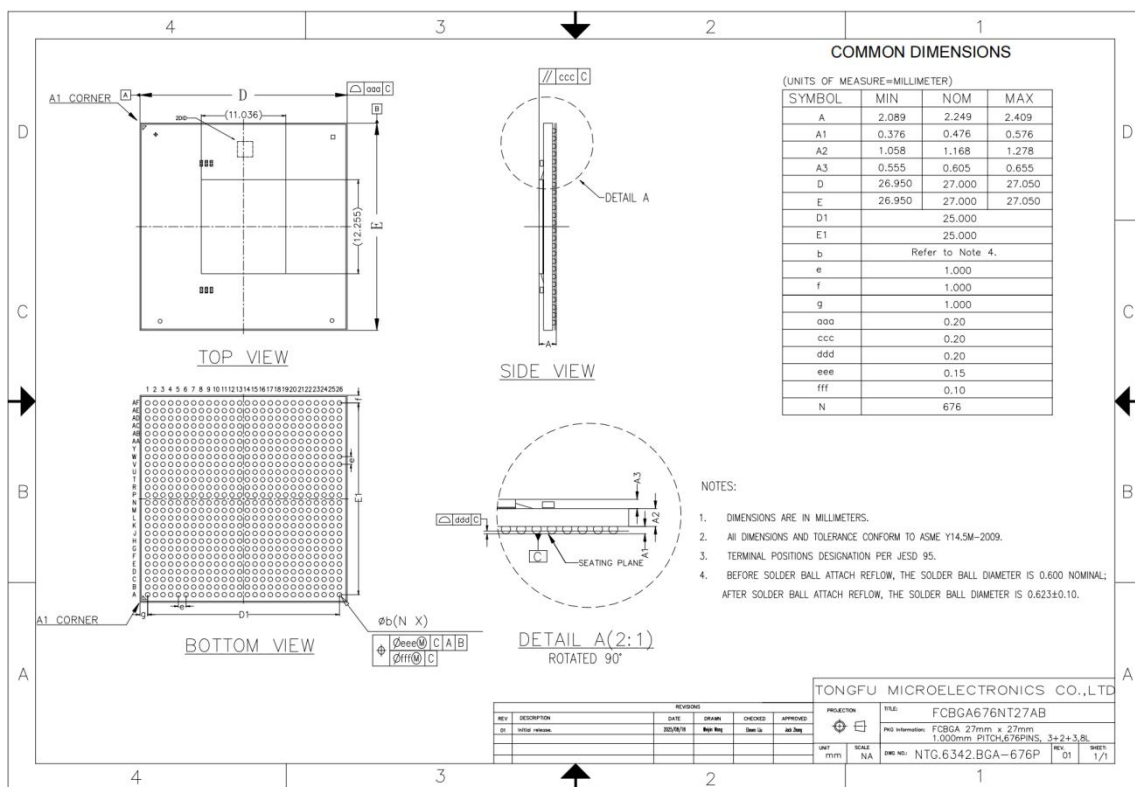


图 七-5 MC1P220-FCBGA676封装规格图

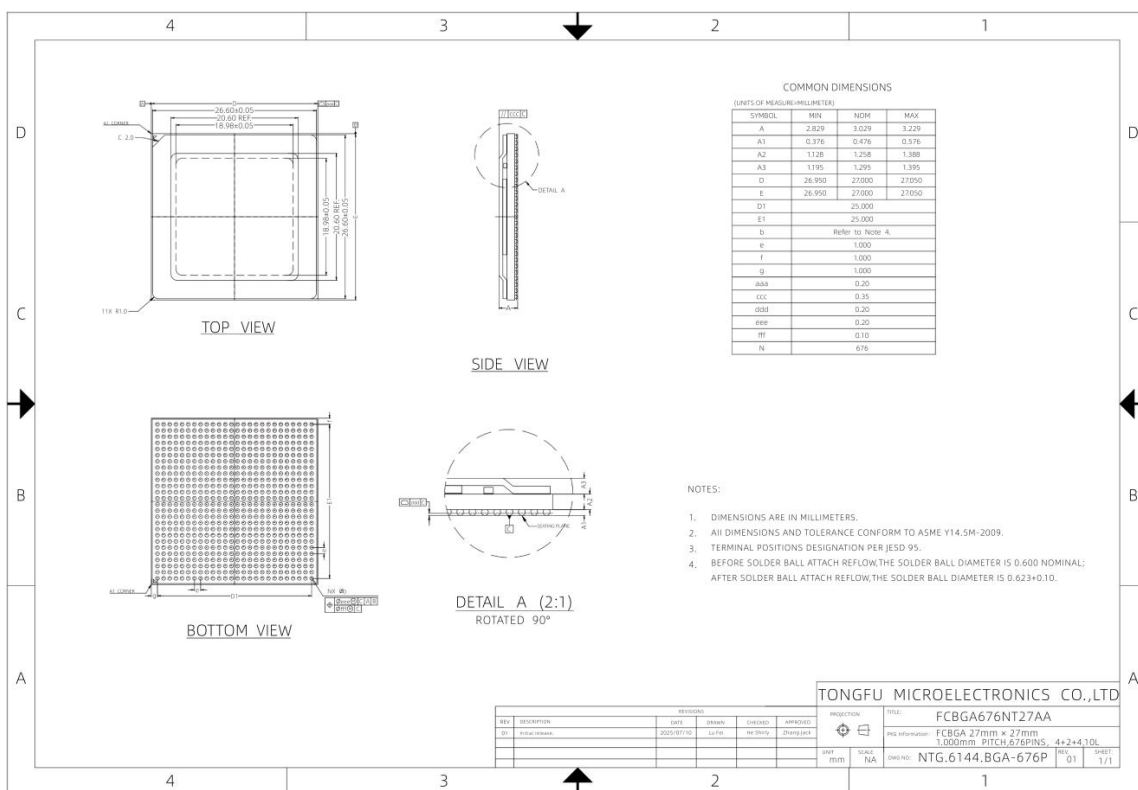


图 七-6 MC1P170-FCBGA676封装规格图

第八章 热阻特性

表八-1显示了MgiCubo®系列器件的热阻数据。该数据包括基于标准JEDEC四层测量的静止空气中结到环境、结到外壳以及结到电路板的热阻数据。

注意：表八-1中的数据仅用于器件/封装对比。请勿直接应用于您的系统设计。尝试复现此数据时，仅采用JESD51-14中概述的瞬态两相测量技术是有效的。

表 八-1 热阻数据

封装类型	封装尺寸 (mm)	器件	θ_{JA} (°C/W)	θ_{JB} (°C/W)	θ_{JC} (°C/W)
FC484	23X23	MC1P110	8.695	2.054	0.3264

第九章 回流焊温度曲线

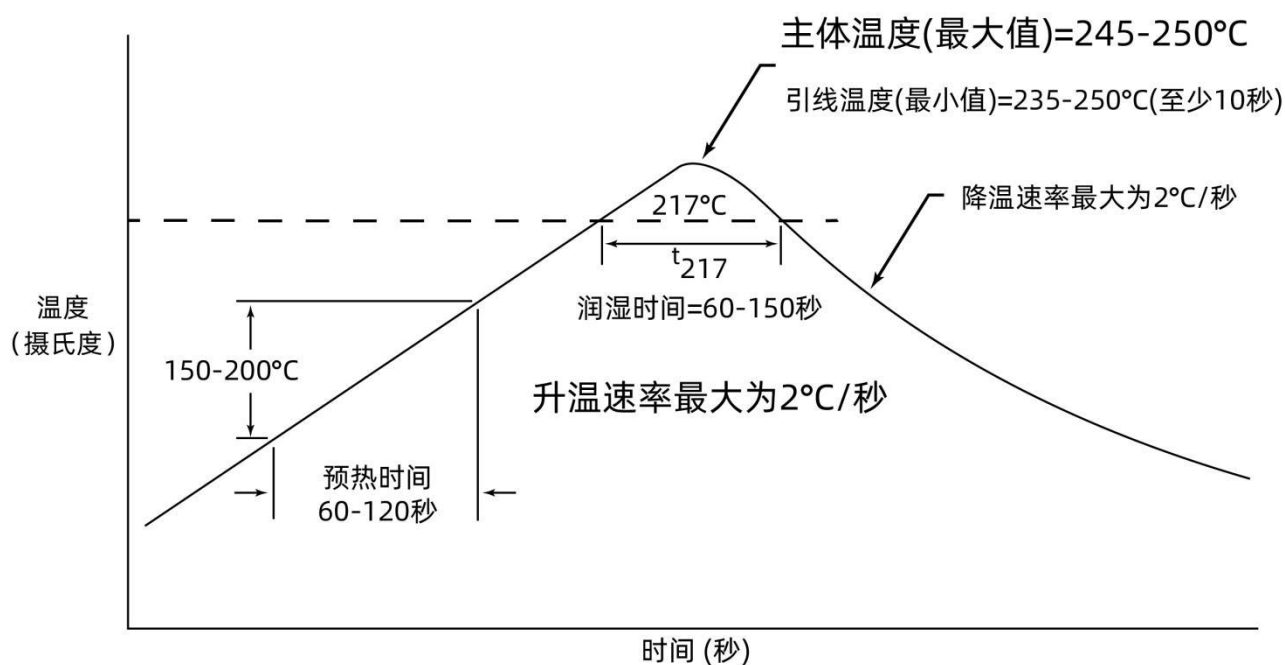


图 九-1 MgiCubo®系列器件回流焊温度曲线

第十章 版本信息

表 九-1 版本信息

日期	版本	修订记录
2024.10.11	V1.0	首次发布中文版
2025.3.31	V1.1	1. 更新图 7-1 MC1P110封装规格, 增加规格信息内容 2. 更改部分表述, 统一使用HybrdChip®标准化关键词表述 3. 修改表2.8-1中TX输出速率范围、TX数据流位宽、TX输出摆幅、TX输出jitter、FFE均衡增益、TX输出阻抗、TX对接RX、应用规格 4. 增加表2.8-1中附注内容
2025.6.20	V1.2	1. 增加MC1P110-FCBGA324发样产品 2. 324封装名统一修改为FCBGA324 3. 增加第七章 MC1P110-FCBGA324封装规格图
2025.6.24	V1.3	1. 增加2.8小节GT066/GT125架构示意图和主要特性 2. 增加3.1.1和3.1.2 GT125的相关内容 3. 增加3.1.4MC1P220和MC1P170典型静态电流值 4. 增加3.1.5MC1P220和MC1P170上下电时序图 5. 增加表3.1.5-1 和表3.1.5-2 MC1P220/ MC1P170电源上电时间 6. 增加表3.2-1 、3.2-2、3.2-3、3.2-4MC1P220/MC1P170器件单端I/O输入/输出电平 7. 增加表3.2-5 MC1P220器件LVDS_25直流规格, 表3.2-6MC1P170器件LVDS直流规格 8. 增加表3.2-9、3.2-10 、3.2-11、3.2-12 MC1P220/MC1P170互补差分IO直流输入/输出电平 9. 增加表4.1-2 GT125串行收发器的直流参数 10. 增加表4.2-1-4.2-10 GT066/GT125交流特性 11. 增加第七章MgiCubo®系列封装规格图

日期	版本	修订记录
2025.8.22	V1.4	1. 修改表 1.2-1 注： 1.内容改为已量产 2. 修改表 1.3-1 封装类型变更为 FC324, FC484, FC676 3. 修改表 1.4-1 命名规则相关内容 4. 修改表 3.1.2-1 修改芯片工作温度范围
2025.10.23	V1.5	1. 更改表 3.1.2-1 V_{DDC}最大电压及V_{DDM}最大电压 2. 增加第六章内容
2026.3.31	V1.6	1. 更改表 3.1.2-1 V_{DDC}最大电压及V_{DDM}最大电压 2. 更改表 3.1.2-1 GT066、GT125的V_{GTC}电压范围 3. 更改表 4.2-1 典型电压一行，取消分段式定义 4. 更改表 六-1 存储接口最大运行速率 5. 新增第八章 热阻特性 6. 新增器件MC1P075
2026.7.20	V1.7	1. 器件MC1P075，名称改为MC1P75 2. 新增第九章 回流焊温度曲线 3. 增加器件MC1P110-FC676封装信息、封装规格书

版权所有©2026 中科芯磁科技（珠海）有限责任公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本档内容的部分或全部，并不得以任何形式传播。

第十一章 版权声明

本文档版权归中科芯磁科技（珠海）有限责任公司所有，保留所有权利。未经原作者书面同意不得转载或复制本文部分或全部内容，否则将视为侵权。转载或者引用本文内容请注明来源及原作者。对于不遵守此声明或者其他违法使用本文内容者，本司依法保留追究权。

本文档中提供的所有关于MgiCubo®系列FPGA的信息仅供参考。尽管我们致力于提供准确和全面的信息，但本司不对文档中所含信息的准确性、完整性或最新性作任何明示或暗示的保证。本司保留在未经通知的情况下修改本文档内容的权利。MgiCubo®系列FPGA的性能和技术规格基于标准测试条件。实际应用中的性能可能受多种因素影响，包括但不限于使用环境和系统配置。用户应自行评估产品在其特定应用中的适用性。

本文档描述的MgiCubo®系列 FPGA应严格按照提供的技术规格和使用指南进行应用。不当使用或超出规定性能参数可能导致产品损坏、性能降低或系统故障。本司不对因不遵守操作规范或超出规格使用造成的任何损失或损害承担责任。

本文档所描述的技术和产品可能涉及本司或第三方的专利、版权或其他知识产权。使用这些技术或产品应遵守相应的法律、规定和任何必要的许可协议。对于任何要求的第三方许可所涵盖的事项，本司不承担任何保证、赔偿或其他义务。

中科芯磁科技（珠海）有限责任公司将不定期地对本文档进行更新、修订，不再另行通知。用户如需获取最新版本的文档，可通过中科芯磁科技（珠海）有限责任公司的官方网站（网址：<https://www.hybrdchip.com>）自行查询下载，也可联系本司的销售人员咨询获取。

销售邮箱：hybrdchip_info@hybrdchip.com