

条款中英文版本如有歧义，概以英文版本为准。

综述

赛灵思 Kintex® UltraScale+™ FPGA 支持 -3、-2 和 -1 速度等级，其中 -3E 器件性能最高。-2LE 器件和 -1LI 器件可以 0.85V 或 0.72V 的 V_{CCINT} 电压工作，并提供更低的最大静态功耗。使用以 $V_{CCINT} = 0.85V$ 工作的 -2LE 和 -1LI 器件时，L 器件的速度规格与 -2I 或 -1I 速度等级相同。以 $V_{CCINT} = 0.72V$ 工作时，-2LE 和 -1LI 器件的性能以及静态和动态功耗都将下降。

DC 和 AC 特性按以下温度范围来指定：扩展级 (E)、工业级 (I) 和军工级 (M)。除正常工作的温度外或者除非另行说明，否则特定速度等级的所有 DC 和 AC 电气参数都相同（即，-1 速度等级的扩展级器件的时序特性与 -1 速度等级的工业级器件相同）。但在每个温度范围内，仅限选定的速度等级和/或器件才可用。

本数据手册中的 XQ 参考信息仅适用于 XQ 加固型封装中可用的器件。请参阅《军用级 UltraScale 架构数据手册：简介》(DS895)，以获取有关 XQ 军用级器件编号、封装和订购的更多信息。

所有供电电压和结温规格均代表最差情况下的规格。所含参数为常用设计和典型应用的公用参数。

本数据手册属于 Kintex UltraScale+ FPGA 的整体文档集合的一部分，可通过赛灵思网站获取，网址为 china.xilinx.com/documentation。

DC 特性

绝对最大额定值

表 1：绝对最大额定值

标识	描述 ¹	最小值	最大值	单位
FPGA 逻辑				
V_{CCINT}	内部供电电压	-0.500	1.000	V
$V_{CCINT_IO}^2$	I/O bank 的内部供电电压	-0.500	1.000	V
V_{CCAUX}	辅助供电电压	-0.500	2.000	V
V_{CCBRAM}	块 RAM 存储器的供电电压	-0.500	1.000	V
V_{CCO}	HD I/O bank 的输出驱动供电电压	-0.500	3.400	V
	HP I/O bank 的输出驱动供电电压	-0.500	2.000	V
$V_{CCAUX_IO}^3$	I/O bank 的辅助供电电压	-0.500	2.000	V
V_{REF}	输入参考电压	-0.500	2.000	V

表 1: 绝对最大额定值 (续)

标识	描述 ¹	最小值	最大值	单位
V _{IN} ^{4, 5, 6}	HD I/O bank 的 I/O 输入电压	-0.550	V _{CCO} + 0.550	V
	HP I/O bank 的 I/O 输入电压	-0.550	V _{CCO} + 0.550	V
V _{BATT}	关键存储器电池备份供电电压	-0.500	2.000	V
I _{DC}	焊盘可用输出电流	-20	20	mA
I _{RMS}	焊盘可用 RMS 输出电流	-20	20	mA
GTH 或 GTY 收发器 ⁷				
V _{MGTAVCC}	收发器电路的模拟供电电压	-0.500	1.000	V
V _{MGTAVTT}	收发器终端电路的模拟供电电压	-0.500	1.300	V
V _{MGTVCCAUX}	收发器的辅助模拟四通道 PLL (QPLL) 供电电压	-0.500	1.900	V
V _{MGTREFCLK}	收发器参考时钟绝对输入电压	-0.500	1.300	V
V _{MGTAVTTRCAL}	收发器列的电阻校准电路的模拟供电电压	-0.500	1.300	V
V _{IN}	接收器 (RXP/RXN) 和发射器 (TXP/TXN) 绝对输入电压	-0.500	1.200	V
I _{DCIN-FLOAT}	接收器输入引脚 DC 耦合 RX 终端的 DC 输入电流 = 浮动 ⁸	-	10	mA
I _{DCIN-MGTAVTT}	接收器输入引脚 DC 耦合 RX 终端的 DC 输入电流 = V _{MGTAVTT}	-	10	mA
I _{DCIN-GND}	接收器输入引脚 DC 耦合 RX 终端的 DC 输入电流 = GND ⁹	-	0	mA
I _{DCIN-PROG}	接收器输入引脚 DC 耦合 RX 终端的 DC 输入电流 = 可编程 ¹⁰	-	0	mA
I _{DCOUT-FLOAT}	发射器引脚 DC 耦合 RX 终端的 DC 输出电流 = 浮动	-	6	mA
I _{DCOUT-MGTAVTT}	发射器引脚 DC 耦合 RX 终端的 DC 输出电流 = V _{MGTAVTT}	-	6	mA
系统监控器				
V _{CCADC}	GNDADC 相关的系统监控器供电电压	-0.500	2.000	V
V _{REFP}	GNDADC 相关的系统监控器参考输入	-0.500	2.000	V
温度 ¹¹				
T _{STG}	存放温度 (环境温度)	-65	150	°C
T _{SOL}	最大干返工焊接温度	-	260	°C
	SFVB784、FFVA676 和 FFVB676 封装的最大回流焊接温度	-	250	°C
	FFVD900、FFVE900、FFVA1156、FFVE1517、FFVA1760 和 FFVE1760 封装的最大回流焊接温度	-	245	°C
	FFRB676、SFRB784、FFRA1156 和 FFRE1517 封装的最大回流焊接温度	-	225	°C
T _j	最高结温	-	125	°C

注释:

- 如果压力超出“绝对最大额定值”下所列值, 可能导致对器件产生永久性损坏。这些只是压力额定值, 并非暗示器件能够以这些条件或超出“工作条件”下所列的任何其他条件来正常工作。长时间暴露在“绝对最大额定值”条件下可能影响器件可靠性。
- V_{CCINT_IO} 必须连接到 V_{CCBRAM}。
- V_{CCAUX_IO} 必须连接到 V_{CCAUX}。
- 始终适用较低的绝对电压规格。
- 对于 I/O 操作, 请参阅《UltraScale 架构 SelectIO 资源用户指南》(UG571)。
- 超出建议的工作条件范围运行时, 请参阅表 4 和表 5, 以了解最大过冲和下冲规格。
- 如需了解有关受支持的 GTH 或 GTY 收发器终端的更多信息, 请参阅《UltraScale 架构 GTH 收发器用户指南》(UG576) 或《UltraScale 架构 GTY 收发器用户指南》(UG578)。
- 针对 RX 终端 = 浮动, 不支持 AC 耦合操作。
- 对于 GTY 收发器, 针对 RX 终端 = GND, 不支持 DC 耦合操作。
- 针对 RX 终端 = 可编程, 不支持 DC 耦合操作。
- 如需了解焊接指南和热处理注意事项, 请参阅《UltraScale 和 UltraScale+ FPGA 封装和管脚分配产品规格》(UG575)。

推荐工作条件

表 2: 推荐工作条件

标识	描述 ^{1, 2}	最小值	典型值	最大值	单位
FPGA 逻辑					
V _{CCINT}	内部供电电压	0.825	0.850	0.876	V
	对于 -1LI 和 -2LE (V _{CCINT} = 0.72V) 器件: 内部供电电压	0.698	0.720	0.742	V
	对于 -3E 器件: 内部供电电压	0.873	0.900	0.927	V
V _{CCINT_IO} ³	I/O bank 的内部供电电压	0.825	0.850	0.876	V
	对于 -1LI 和 -2LE (V _{CCINT} = 0.72V) 器件: I/O bank 的内部供电电压	0.825	0.850	0.876	V
	对于 -3E 器件: I/O bank 的内部供电电压	0.873	0.900	0.927	V
V _{CCBRAM}	块 RAM 供电电压	0.825	0.850	0.876	V
	对于 -3E 器件: 块 RAM 供电电压	0.873	0.900	0.927	V
V _{CCAUX}	辅助供电电压	1.746	1.800	1.854	V
V _{CCO} ^{4, 5}	HD I/O bank 的供电电压	1.140	-	3.400	V
	HP I/O bank 的供电电压	0.950	-	1.900	V
V _{CCAUX_IO} ⁶	辅助 I/O 供电电压	1.746	1.800	1.854	V
V _{IN} ⁷	I/O 输入电压	-0.200	-	V _{CCO} + 0.200	V
I _{IN} ⁸	对钳位二极管进行正向偏置时, 流经已上电 bank 或未上电 bank 中的任意引脚的最大电流	-	-	10	mA
V _{BATT} ⁹	电池电压	1.000	-	1.890	V
GTH 或 GTY 收发器					
V _{MGTAVCC} ¹⁰	GTH 或 GTY 收发器的模拟供电电压	0.873	0.900	0.927	V
V _{MGTAVTT} ¹⁰	GTH 或 GTY 发射器和接收器终端电路的模拟供电电压	1.164	1.200	1.236	V
V _{MGTVCCAUX} ¹⁰	收发器的辅助模拟 QPLL 供电电压	1.746	1.800	1.854	V
V _{MGTAVTTRCAL} ¹⁰	GTH 或 GTY 收发器列的电阻校准电路的模拟供电电压	1.164	1.200	1.236	V
系统监控器					
V _{CCADC}	GNDADC 相关的系统监控器供电电压	1.746	1.800	1.854	V
V _{REFP}	GNDADC 相关的系统监控器外部供电参考电压	1.200	1.250	1.300	V

表 2: 推荐工作条件 (续)

标识	描述 ^{1, 2}	最小值	典型值	最大值	单位
温度					
T_j ¹¹	扩展级 (E) 温度范围器件的结温工作范围 ¹²	0	-	100	°C
	工业级 (I) 温度范围器件的结温工作范围	-40	-	100	°C
	军工级 (M) 温度范围器件的结温工作范围	-55	-	125	°C
	eFUSE 编程的结温工作范围 ¹³	-40	-	125	°C

注释:

- 所有电压都与 GND 相关。
- 如需了解配电系统的设计, 请参阅《UltraScale 架构 PCB 设计用户指南》(UG583)。
- V_{CCINT_IO} 必须连接到 V_{CCBRAM} 。
- 对于 V_{CCO_0} , 上电和配置器件推荐的最小工作电压为 1.425V。配置完成后, 会保留数据, 即使 V_{CCO} 降至 0V 也是如此。
- V_{CCO} 值包括 1.0V (仅限 HP I/O)、1.2V、1.35V、1.5V、1.8V、2.5V (仅限 HD I/O) ($\pm 5\%$) 和 3.3V (仅限 HD I/O) ($+3/-5\%$)。
- V_{CCAUX_IO} 必须连接到 V_{CCAUX} 。
- 始终适用较低的绝对电压规格。
- 每个 bank 不得超过总计 200 mA。
- 如果不使用电池, 请将 V_{BATT} 连接到 GND 或 V_{CCAUX} 。
- 列出的每项电压都必须按《UltraScale 架构 GTH 收发器用户指南》(UG576) 或《UltraScale 架构 GTY 收发器用户指南》(UG578) 中所述进行滤波。
- 赛灵思建议使用系统监控器测量器件的 T_j , 如《UltraScale 架构系统监控器用户指南》(UG580) 中所述。系统监控器温度测量误差 (如表 78 中所述) 必须一并纳入设计考量。例如, 使用带有外部参考电压 1.25V 的系统监控器时, 以及当系统监控器报告 97°C 时存在测量误差 $\pm 3^\circ\text{C}$ 。读数 97°C 可被视为最大值调整后 T_j ($100^\circ\text{C} - 3^\circ\text{C} = 97^\circ\text{C}$)。
- 含速度/温度等级 -2LE 标记的器件可以 100°C 到 110°C 之间的结温在限定时间内运行。时序参数达到 110°C 时遵循的速度文件与低于 110°C 时相同, 与工作电压 (额定电压 0.85V 或低电压 0.72V) 无关。以 $T_j = 110^\circ\text{C}$ 运行的时间不得超过器件寿命的 1%, 并且可持续运行或者按固定时间间隔运行, 只要总时间不超过器件寿命的 1% 即可。
- 器件配置期间 (例如, 配置期间、配置回读期间或回读 CRC 处于活动状态时), 请勿对 eFUSE 进行编程。

推荐工作条件下的 DC 特征

表 3: 推荐工作条件下的 DC 特征

标识	描述	最小值	典型值 ¹	最大值	单位
V_{DRINT}	数据保留 V_{CCINT} 电压 (低于此电压时, 配置数据可能丢失)	0.68	-	-	V
V_{DRAUX}	数据保留 V_{CCAUX} 电压 (低于此电压时, 配置数据可能丢失)	1.5	-	-	V
I_{REF}	V_{REF} 每个引脚漏电流	-	-	15	μA
I_L	每个引脚输入或输出漏电流 (已采样测试) ²	-	-	15	μA
C_{IN} ³	焊盘上的裸片输入电容 (HP I/O)	-	-	3.1	pF
	焊盘上的裸片输入电容 (HD I/O)	-	-	4.75	pF
I_{RPU}	$V_{IN} = 0\text{V}$ 且 $V_{CCO} = 3.3\text{V}$ 时的焊盘上拉 (选中时)	75	-	190	μA
	$V_{IN} = 0\text{V}$ 且 $V_{CCO} = 2.5\text{V}$ 时的焊盘上拉 (选中时)	50	-	169	μA
	$V_{IN} = 0\text{V}$ 且 $V_{CCO} = 1.8\text{V}$ 时的焊盘上拉 (选中时)	60	-	120	μA
	$V_{IN} = 0\text{V}$ 且 $V_{CCO} = 1.5\text{V}$ 时的焊盘上拉 (选中时)	30	-	120	μA
	$V_{IN} = 0\text{V}$ 且 $V_{CCO} = 1.2\text{V}$ 时的焊盘上拉 (选中时)	10	-	100	μA
I_{RPD}	$V_{IN} = 3.3\text{V}$ 时的焊盘上拉 (选中时)	60	-	200	μA
	$V_{IN} = 1.8\text{V}$ 时的焊盘上拉 (选中时)	29	-	120	μA
$I_{CCADCON}$	处于上电状态的 SYSMON 电路的模拟供电电流	-	-	8	mA
$I_{CCADCOFF}$	处于断电状态的 SYSMON 电路的模拟供电电流	-	-	1.5	mA

表 3: 推荐工作条件下的 DC 特征 (续)

标识	描述	最小值	典型值 ¹	最大值	单位
I_{BATT} ^{4,5}	$V_{BATT} = 1.89V$ 时的电池供电电流	-	-	650	nA
	$V_{BATT} = 1.20V$ 时的电池供电电流	-	-	150	nA
I_{PFS} ⁶	eFUSE 编程期间的 V_{CCAUX} 额外供电电流	-	-	115	mA
HP I/O bank 中经校准的可编程片上终端 (DCI)⁷ (按 JEDEC 规格测量)					
R^9	$V_{CCO}/2$ 的可编程输入终端的戴维南等效电阻, 其中 $ODT = RTT_{40}$	-10% ⁸	40	+10% ⁸	Ω
	$V_{CCO}/2$ 的可编程输入终端的戴维南等效电阻, 其中 $ODT = RTT_{48}$	-10% ⁸	48	+10% ⁸	Ω
	$V_{CCO}/2$ 的可编程输入终端的戴维南等效电阻, 其中 $ODT = RTT_{60}$	-10% ⁸	60	+10% ⁸	Ω
	V_{CCO} 的可编程输入终端, 其中 $ODT = RTT_{40}$	-10% ⁸	40	+10% ⁸	Ω
	V_{CCO} 的可编程输入终端, 其中 $ODT = RTT_{48}$	-10% ⁸	48	+10% ⁸	Ω
	V_{CCO} 的可编程输入终端, 其中 $ODT = RTT_{60}$	-10% ⁸	60	+10% ⁸	Ω
	V_{CCO} 的可编程输入终端, 其中 $ODT = RTT_{120}$	-10% ⁸	120	+10% ⁸	Ω
	V_{CCO} 的可编程输入终端, 其中 $ODT = RTT_{240}$	-10% ⁸	240	+10% ⁸	Ω
HP I/O bank 中未经校准的可编程片上终端 (按 JEDEC 规格测量)					
R^9	$V_{CCO}/2$ 的可编程输入终端的戴维南等效电阻, 其中 $ODT = RTT_{40}$	-50%	40	+50%	Ω
	$V_{CCO}/2$ 的可编程输入终端的戴维南等效电阻, 其中 $ODT = RTT_{48}$	-50%	48	+50%	Ω
	$V_{CCO}/2$ 的可编程输入终端的戴维南等效电阻, 其中 $ODT = RTT_{60}$	-50%	60	+50%	Ω
	V_{CCO} 的可编程输入终端, 其中 $ODT = RTT_{40}$	-50%	40	+50%	Ω
	V_{CCO} 的可编程输入终端, 其中 $ODT = RTT_{48}$	-50%	48	+50%	Ω
	V_{CCO} 的可编程输入终端, 其中 $ODT = RTT_{60}$	-50%	60	+50%	Ω
	V_{CCO} 的可编程输入终端, 其中 $ODT = RTT_{120}$	-50%	120	+50%	Ω
	V_{CCO} 的可编程输入终端, 其中 $ODT = RTT_{240}$	-50%	240	+50%	Ω
HD I/O bank 中未经校准的可编程片上终端 (按 JEDEC 规格测量)					
R^9	$V_{CCO}/2$ 的可编程输入终端的戴维南等效电阻, 其中 $ODT = RTT_{48}$	-50%	48	+50%	Ω
内部 V_{REF}	50% V_{CCO}	$V_{CCO} \times 0.49$	$V_{CCO} \times 0.50$	$V_{CCO} \times 0.51$	V
	70% V_{CCO}	$V_{CCO} \times 0.69$	$V_{CCO} \times 0.70$	$V_{CCO} \times 0.71$	V
差分终端	HP I/O bank 的可编程差分终端 (TERM_100)	-35%	100	+35%	Ω
n	温度二极管理想系数	-	1.026	-	-
r	温度二极管串联电阻	-	2	-	Ω

注释:

- 典型值是以 25°C 时的额定电压指定的。
- 对于 V_{CCO} 为 1.8V 且具有独立 V_{CCO} 电源和 V_{CCAUX_IO} 电源的 HP I/O bank, I_L 最大电流为 70 μA 。
- 此测量方式表示焊盘上的裸片电阻 (不包括封装)。
- 针对 25°C 的最差情况下的工艺指定的最大值。
- 启用电池供电式 RAM (BBRAM) 时, 会测量 I_{BATT} 。
- 器件配置期间 (例如, 配置期间、配置回读期间或回读 CRC 处于活动状态时), 请勿对 eFUSE 进行编程。
- VRP 电阻容限为 (240 $\Omega \pm 1\%$)。
- 如果 VRP 位于其他 bank (DCI 级联) 中, 此范围将增大到 $\pm 15\%$ 。
- 片上输入终端电阻, 如需了解更多信息, 请参阅《UltraScale 架构 SelectIO 资源用户指南》(UG571)。

V_{IN} 允许的 AC 电压过冲和下冲最大值

表 4: V_{IN} HD I/O Bank 允许的 AC 电压过冲和下冲最大值

AC 电压过冲 ¹	占 UI ² 的百分比 (%) (-40°C 到 100°C) ³	AC 电压下冲 ¹	占 UI ² 的百分比 (%) (-40°C 到 100°C)
V _{CCO} + 0.30	100%	-0.30	100%
V _{CCO} + 0.35	100%	-0.35	90%
V _{CCO} + 0.40	100%	-0.40	78%
V _{CCO} + 0.45	100%	-0.45	40%
V _{CCO} + 0.50	100%	-0.50	24%
V _{CCO} + 0.55	100%	-0.55	18.0%
V _{CCO} + 0.60	100%	-0.60	13.0%
V _{CCO} + 0.65	100%	-0.65	10.8%
V _{CCO} + 0.70	92%	-0.70	9.0%
V _{CCO} + 0.75	92%	-0.75	7.0%
V _{CCO} + 0.80	92%	-0.80	6.0%
V _{CCO} + 0.85	92%	-0.85	5.0%
V _{CCO} + 0.90	92%	-0.90	4.0%
V _{CCO} + 0.95	92%	-0.95	2.5%

注释:

1. 每个 bank 不得超过总计 200 mA。
2. 对应于低于 20 μs 的 UI。
3. 对于 -1M 器件, 温度限制范围为 -55°C 到 125°C。

表 5: V_{IN} HP I/O Bank 允许的 AC 电压过冲和下冲最大值

AC 电压过冲 ¹	占 UI ² 的百分比 (%) (-40°C 到 100°C)	AC 电压下冲 ¹	占 UI ² 的百分比 (%) (-40°C 到 100°C)
V _{CCO} + 0.30	100%	-0.30	100%
V _{CCO} + 0.35	100%	-0.35	100%
V _{CCO} + 0.40	92%	-0.40	92%
V _{CCO} + 0.45	50%	-0.45	50%
V _{CCO} + 0.50	20%	-0.50	20%
V _{CCO} + 0.55	10%	-0.55	10%
V _{CCO} + 0.60	6%	-0.60	6%
V _{CCO} + 0.65	2%	-0.65	2%
V _{CCO} + 0.70	2%	-0.70	2%

注释:

1. 每个 bank 不得超过总计 200 mA。
2. 对应于低于 20 μs 的 UI。
3. 对于 -1M 器件, 温度限制范围为 -55°C 到 125°C。

静态供电电流

表 6: 典型静态供电电流

标识	描述 1, 2, 3	器件	速度等级和 V _{CCINT} 工作电压					单位
			0.90V	0.85V		0.72V		
			-3	-2	-1	-2	-1	
I _{CCINTQ}	静态 V _{CCINT} 供电电流	XCKU3P	1242	1181	1181	1037	1037	mA
		XCKU5P	1242	1181	1181	1037	1037	mA
		XCKU9P	1592	1523	1523	1356	1356	mA
		XCKU11P	1780	1693	1693	1486	1486	mA
		XCKU13P	1950	1864	1864	1658	1658	mA
		XCKU15P	2677	2559	2559	2275	2275	mA
		XQKU5P	不适用	1181	1181	不适用	1037	mA
		XQKU15P	不适用	2559	2559	不适用	2275	mA
I _{CCINT_IOQ}	静态 V _{CCINT_IO} 供电电流	XCKU3P	61	59	59	59	59	mA
		XCKU5P	61	59	59	59	59	mA
		XCKU9P	61	59	59	59	59	mA
		XCKU11P	120	115	115	115	115	mA
		XCKU13P	61	59	59	59	59	mA
		XCKU15P	164	158	158	158	158	mA
		XQKU5P	不适用	59	59	不适用	59	mA
		XQKU15P	不适用	158	158	不适用	158	mA
I _{CCOQ}	静态 V _{CCO} 供电电流	所有器件	1	1	1	1	1	mA
I _{CCAUXQ}	静态 V _{CCAUX} 供电电流	XCKU3P	153	153	153	153	153	mA
		XCKU5P	153	153	153	153	153	mA
		XCKU9P	227	227	227	227	227	mA
		XCKU11P	255	255	255	255	255	mA
		XCKU13P	266	266	266	266	266	mA
		XCKU15P	396	396	396	396	396	mA
		XQKU5P	不适用	153	153	不适用	153	mA
		XQKU15P	不适用	396	396	不适用	396	mA
I _{CCAUX_IOQ}	静态 V _{CCAUX_IO} 供电电流	XCKU3P	32	32	32	32	32	mA
		XCKU5P	32	32	32	32	32	mA
		XCKU9P	33	33	33	33	33	mA
		XCKU11P	56	56	56	56	56	mA
		XCKU13P	33	33	33	33	33	mA
		XCKU15P	74	74	74	74	74	mA
		XQKU5P	不适用	32	32	不适用	32	mA
		XQKU15P	不适用	74	74	不适用	74	mA

表 6: 典型静态供电电流 (续)

标识	描述 1, 2, 3	器件	速度等级和 V _{CCINT} 工作电压					单位
			0.90V	0.85V		0.72V		
			-3	-2	-1	-2	-1	
I _{CCBRAMQ}	静态 V _{CCBRAM} 供电电流	XCKU3P	18	17	17	17	17	mA
		XCKU5P	18	17	17	17	17	mA
		XCKU9P	25	24	24	24	24	mA
		XCKU11P	23	22	22	22	22	mA
		XCKU13P	29	28	28	28	28	mA
		XCKU15P	37	35	35	35	35	mA
		XQKU5P	不适用	17	17	不适用	17	mA
		XQKU15P	不适用	74	74	不适用	74	mA

注释:

1. 典型值是以 85°C 结温 (T_j) 的单端 SelectIO™ 资源的额定电压指定的。
2. 典型值适用于空白配置器件, 此类器件无输出电流负载、无活动输入上拉电阻并且所有 I/O 引脚均处于三态浮动状态。
3. 使用 Xilinx® Power Estimator (XPE) 电子数据表工具 (可从 china.xilinx.com/power 下载) 可估算除此指定条件或电源以外的其他条件或电源的静态功耗。

电源排序

上电/断电电源排序

推荐上电顺序为 V_{CCINT}、V_{CCINT_IO/V_{CCBRAM}}、V_{CCAUX/V_{CCAUX_IO}} 和 V_{CCO}, 这样即可实现最低电流汲取并确保上电时 I/O 处于三态。推荐的断电顺序与上电顺序相反。如果 V_{CCINT} 和 V_{CCINT_IO/V_{CCBRAM}} 的推荐电压电平相同, 那么可使用相同电源为其供电并同步执行缓升。V_{CCINT_IO} 必须连接到 V_{CCBRAM}。如果 V_{CCAUX/V_{CCAUX_IO}} 和 V_{CCO} 的推荐电压电平相同, 那么可使用相同电源为其供电并同步执行缓升。V_{CCAUX} 和 V_{CCAUX_IO} 必须连接在一起。V_{CCADC} 和 V_{REF} 可随时上电, 无上电顺序要求。

为 GTH 或 GTY 收发器实现最小电流汲取的推荐上电顺序为 V_{CCINT}、V_{MGTAVCC}、V_{MGTAVTT} 或 V_{MGTAVCC}、V_{CCINT}、V_{MGTAVTT}。针对 V_{MGTVCCAUX} 不存在推荐的排序。V_{MGTAVCC} 和 V_{CCINT} 可同时执行电源缓升。推荐的断电顺序与实现最小电源汲取的上电顺序相反。如果不满足这些推荐的顺序, 那么上电和断电期间从 V_{MGTAVTT} 汲取的电流可能高于相应的规格。

电源要求

表 7 显示了每个 Kintex UltraScale+ FPGA 正常上电和配置所需的最低电流 (I_{CCQ} 最大值除外)。如果满足这些最低电流要求, 那么当所有电源都超过其上电复位阈值电压后, 器件即可上电。应用 V_{CCINT} 后, 才能配置器件。完成初始化和配置后, 请使用 Xilinx Power Estimator (XPE) 工具来估算这些电源的耗电量。XPE 电子数据表工具 (可从 <http://china.xilinx.com/power> 下载) 还可用于估算所有电源的上电电流。

表 7: 上电电流 (按器件)

器件	I _{CCINTMIN}	I _{CCINT_IOMIN} + I _{CCBRAMMIN}	I _{CCOMIN}	I _{CCAUXMIN} + I _{CCAUX_IOMIN}	单位
XCKU3P	I _{CCINTQ} + 770	I _{CCBRAMQ} + I _{CCINT_IOQ} + 229	I _{CCOQ} + 50	I _{CCAUXQ} + I _{CCAUX_IOQ} + 386	mA
XCKU5P XQKU5P	I _{CCINTQ} + 770	I _{CCBRAMQ} + I _{CCINT_IOQ} + 305	I _{CCOQ} + 50	I _{CCAUXQ} + I _{CCAUX_IOQ} + 515	mA
XCKU9P	I _{CCINTQ} + 1800	I _{CCBRAMQ} + I _{CCINT_IOQ} + 600	I _{CCOQ} + 50	I _{CCAUXQ} + I _{CCAUX_IOQ} + 650	mA
XCKU11P	I _{CCINTQ} + 1961	I _{CCBRAMQ} + I _{CCINT_IOQ} + 654	I _{CCOQ} + 55	I _{CCAUXQ} + I _{CCAUX_IOQ} + 709	mA
XCKU13P	I _{CCINTQ} + 2242	I _{CCBRAMQ} + I _{CCINT_IOQ} + 748	I _{CCOQ} + 63	I _{CCAUXQ} + I _{CCAUX_IOQ} + 810	mA
XCKU15P XQKU15P	I _{CCINTQ} + 3433	I _{CCBRAMQ} + I _{CCINT_IOQ} + 1145	I _{CCOQ} + 96	I _{CCAUXQ} + I _{CCAUX_IOQ} + 1240	mA

表 8: 电源缓升时间

标识	描述	最小值	最大值	单位
T_{VCCINT}	从 GND 到 95% 的 V_{CCINT} 的缓升时间	0.2	40	ms
T_{VCCINT_IO}	从 GND 到 95% 的 V_{CCINT_IO} 的缓升时间	0.2	40	ms
T_{VCCO}	从 GND 到 95% 的 V_{CCO} 的缓升时间	0.2	40	ms
T_{VCCAUX}	从 GND 到 95% 的 V_{CCAUX} 的缓升时间	0.2	40	ms
$T_{VCCBRAM}$	从 GND 到 95% 的 V_{CCBRAM} 的缓升时间	0.2	40	ms
$T_{MGTAVCC}$	从 GND 到 95% 的 $V_{MGTAVCC}$ 的缓升时间	0.2	40	ms
$T_{MGTAVTT}$	从 GND 到 95% 的 $V_{MGTAVTT}$ 的缓升时间	0.2	40	ms
$T_{MGTVCCAUX}$	从 GND 到 95% 的 $V_{MGTVCCAUX}$ 的缓升时间	0.2	40	ms

DC 输入电平和输出电平

V_{IL} 和 V_{IH} 为推荐的输入电压。 I_{OL} 和 I_{OH} 为对应 V_{OL} 和 V_{OH} 测试点的推荐工作条件下的保证值。仅测试选定标准。选择这些标准的目的是确保所有标准都满足其规格。所选标准按最低 V_{CCO} 进行测试，并显示相应的 V_{OL} 和 V_{OH} 电压电平。其他标准采用采样测试。

I/O 电平

表 9: HD I/O Bank 的 SelectIO DC 输入电平和输出电平

I/O 标准 ^{1,2}	V_{IL}		V_{IH}		V_{OL}	V_{OH}	I_{OL}	I_{OH}
	V, 最小值	V, 最大值	V, 最小值	V, 最大值	V, 最大值	V, 最小值	mA	mA
HSTL_I	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	8.0	-8.0
HSTL_I_18	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	8.0	-8.0
HSUL_12	-0.300	$V_{REF} - 0.130$	$V_{REF} + 0.130$	$V_{CCO} + 0.300$	20% V_{CCO}	80% V_{CCO}	0.1	-0.1
LVC MOS12	-0.300	35% V_{CCO}	65% V_{CCO}	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	注释 3	注释 3
LVC MOS15	-0.300	35% V_{CCO}	65% V_{CCO}	$V_{CCO} + 0.300$	0.450	$V_{CCO} - 0.450$	注释 4	注释 4
LVC MOS18	-0.300	35% V_{CCO}	65% V_{CCO}	$V_{CCO} + 0.300$	0.450	$V_{CCO} - 0.450$	注释 4	注释 4
LVC MOS25	-0.300	0.700	1.700	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	注释 4	注释 4
LVC MOS33	-0.300	0.800	2.000	3.400	0.400	$V_{CCO} - 0.400$	注释 4	注释 4
LV TTL	-0.300	0.800	2.000	3.400	0.400	2.400	注释 4	注释 4
SSTL12	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.150$	$V_{CCO}/2 + 0.150$	14.25	-14.25
SSTL135	-0.300	$V_{REF} - 0.090$	$V_{REF} + 0.090$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.150$	$V_{CCO}/2 + 0.150$	8.9	-8.9
SSTL135_II	-0.300	$V_{REF} - 0.090$	$V_{REF} + 0.090$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.150$	$V_{CCO}/2 + 0.150$	13.0	-13.0
SSTL15	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.175$	$V_{CCO}/2 + 0.175$	8.9	-8.9
SSTL15_II	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.175$	$V_{CCO}/2 + 0.175$	13.0	-13.0
SSTL18_I	-0.300	$V_{REF} - 0.125$	$V_{REF} + 0.125$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.470$	$V_{CCO}/2 + 0.470$	8.0	-8.0
SSTL18_II	-0.300	$V_{REF} - 0.125$	$V_{REF} + 0.125$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.600$	$V_{CCO}/2 + 0.600$	13.4	-13.4

注释:

- 根据相关规格经测试所得。
- 此处标准是使用默认 I/O 标准配置指定的。欲知详情，请参阅《UltraScale 架构 SelectIO 资源用户指南》(UG571)。
- HD I/O bank 中支持的驱动强度为 4 mA、8 mA 或 12 mA。
- HD I/O bank 中支持的驱动强度为 4 mA、8 mA、12 mA 或 16 mA。

表 10: HP I/O bank 的 SelectIO DC 输入电平和输出电平

I/O 标准 ^{1,2,3}	V_{IL}		V_{IH}		V_{OL}	V_{OH}	I_{OL}	I_{OH}
	V, 最小值	V, 最大值	V, 最小值	V, 最大值	V, 最大值	V, 最小值	mA	mA
HSTL_I	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	5.8	-5.8
HSTL_I_12	-0.300	$V_{REF} - 0.080$	$V_{REF} + 0.080$	$V_{CCO} + 0.300$	25% V_{CCO}	75% V_{CCO}	4.1	-4.1
HSTL_I_18	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	6.2	-6.2
HSUL_12	-0.300	$V_{REF} - 0.130$	$V_{REF} + 0.130$	$V_{CCO} + 0.300$	20% V_{CCO}	80% V_{CCO}	0.1	-0.1
LVC MOS12	-0.300	35% V_{CCO}	65% V_{CCO}	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	注释 4	注释 4
LVC MOS15	-0.300	35% V_{CCO}	65% V_{CCO}	$V_{CCO} + 0.300$	0.450	$V_{CCO} - 0.450$	注释 5	注释 5
LVC MOS18	-0.300	35% V_{CCO}	65% V_{CCO}	$V_{CCO} + 0.300$	0.450	$V_{CCO} - 0.450$	注释 5	注释 5
LVDCI_15	-0.300	35% V_{CCO}	65% V_{CCO}	$V_{CCO} + 0.300$	0.450	$V_{CCO} - 0.450$	7.0	-7.0
LVDCI_18	-0.300	35% V_{CCO}	65% V_{CCO}	$V_{CCO} + 0.300$	0.450	$V_{CCO} - 0.450$	7.0	-7.0
SSTL12	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.150$	$V_{CCO}/2 + 0.150$	8.0	-8.0
SSTL135	-0.300	$V_{REF} - 0.090$	$V_{REF} + 0.090$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.150$	$V_{CCO}/2 + 0.150$	9.0	-9.0
SSTL15	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.175$	$V_{CCO}/2 + 0.175$	10.0	-10.0
SSTL18_I	-0.300	$V_{REF} - 0.125$	$V_{REF} + 0.125$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.470$	$V_{CCO}/2 + 0.470$	7.0	-7.0
MIPI_DPHY_DCI_LP ⁶	-0.300	0.550	0.880 ⁷	$V_{CCO} + 0.300$	0.050	1.100	0.01	-0.01

注释:

- 根据相关规格经测试所得。
- 此处标准是使用默认 I/O 标准配置指定的。欲知详情, 请参阅《UltraScale 架构 SelectIO 资源用户指南》(UG571)。
- 如需了解 POD10 和 POD12 DC 输入电平和输出电平, 请参阅表 11、表 16 和表 17。
- HP I/O bank 中支持的驱动强度为 2 mA、4 mA、6 mA 或 8 mA。
- HP I/O bank 中支持的驱动强度为 2 mA、4 mA、6 mA、8 mA 或 12 mA。
- MIPI_DPHY_DCI 的低功耗选项。
- 以 1.5 Gb/s 到 2.5 Gb/s 的数据速率工作时, 最低 V_{IH} 为 0.790V。仅限 XC 器件才支持表 25 中所概述的这些数据速率。

表 11: 单端 POD10 和 POD12 I/O 标准的 DC 输入电平

I/O 标准 ^{1,2}	V_{IL}		V_{IH}	
	V, 最小值	V, 最大值	V, 最小值	V, 最大值
POD10	-0.300	$V_{REF} - 0.068$	$V_{REF} + 0.068$	$V_{CCO} + 0.300$
POD12	-0.300	$V_{REF} - 0.068$	$V_{REF} + 0.068$	$V_{CCO} + 0.300$

注释:

- 根据相关规格经测试所得。
- 此处标准是使用默认 I/O 标准配置指定的。欲知详情, 请参阅《UltraScale 架构 SelectIO 资源用户指南》(UG571)。

表 12: 差分 SelectIO DC 输入电平和输出电平

I/O 标准	V _{ICM} (V) ¹			V _{ID} (V) ²			V _{ILHS} ³	V _{IHHS} ³	V _{OCM} (V) ⁴			V _{OD} (V) ⁵		
	最小值	典型值	最大值	最小值	典型值	最大值	最小值	最大值	最小值	典型值	最大值	最小值	典型值	最大值
SUB_LVDS ⁸	0.500	0.900	1.300	0.070	-	-	-	-	0.700	0.900	1.100	0.100	0.150	0.200
LVPECL	0.300	1.200	1.425	0.100	0.350	0.600	-	-	-	-	-	-	-	-
SLVS_400_18	0.070	0.200	0.330	0.140	-	0.450	-	-	-	-	-	-	-	-
SLVS_400_25	0.070	0.200	0.330	0.140	-	0.450	-	-	-	-	-	-	-	-
MIPI_DPHY_DCI_HS ⁹	0.070	-	0.330	0.070	-	-	-0.040	0.460	0.150	0.200	0.250	0.140	0.200	0.270

注释:

1. V_{ICM} 是输入共模电压。
2. V_{ID} 是输入差分电压 (Q - $\bar{Q}$)。
3. V_{IHHS} 和 V_{ILHS} 是分别是单端输入的高压和低压。
4. V_{OCM} 是输出共模电压。
5. V_{OD} 是输出差分电压 (Q - $\bar{Q}$)。
6. LVDS_25 在表 18 中指定。
7. LVDS 在表 19 中指定。
8. 在 HD I/O bank 中仅支持 SUB_LVDS 接收器。
9. MIPI_DPHY_DCI 的高速选项。V_{ID} 最大值与相应标准规格相符。可接受更高的 V_{ID}，前提是同时满足 V_{IN} 规格。

表 13: HD I/O Bank 的互补差分 SelectIO DC 输入电平和输出电平

I/O 标准	V _{ICM} (V) ¹			V _{ID} (V) ²		V _{OL} (V) ³	V _{OH} (V) ⁴	I _{OL}	I _{OH}
	最小值	典型值	最大值	最小值	最大值	最大值	最小值	mA	mA
DIFF_HSTL_I	0.300	0.750	1.125	0.100	-	0.400	V _{CCO} - 0.400	8.0	-8.0
DIFF_HSTL_I_18	0.300	0.900	1.425	0.100	-	0.400	V _{CCO} - 0.400	8.0	-8.0
DIFF_HSUL_12	0.300	0.600	0.850	0.100	-	20% V _{CCO}	80% V _{CCO}	0.1	-0.1
DIFF_SSTL12	0.300	0.600	0.850	0.100	-	(V _{CCO} /2) - 0.150	(V _{CCO} /2) + 0.150	14.25	-14.25
DIFF_SSTL135	0.300	0.675	1.000	0.100	-	(V _{CCO} /2) - 0.150	(V _{CCO} /2) + 0.150	8.9	-8.9
DIFF_SSTL135_II	0.300	0.675	1.000	0.100	-	(V _{CCO} /2) - 0.150	(V _{CCO} /2) + 0.150	13.0	-13.0
DIFF_SSTL15	0.300	0.750	1.125	0.100	-	(V _{CCO} /2) - 0.175	(V _{CCO} /2) + 0.175	8.9	-8.9
DIFF_SSTL15_II	0.300	0.750	1.125	0.100	-	(V _{CCO} /2) - 0.175	(V _{CCO} /2) + 0.175	13.0	-13.0
DIFF_SSTL18_I	0.300	0.900	1.425	0.100	-	(V _{CCO} /2) - 0.470	(V _{CCO} /2) + 0.470	8.0	-8.0
DIFF_SSTL18_II	0.300	0.900	1.425	0.100	-	(V _{CCO} /2) - 0.600	(V _{CCO} /2) + 0.600	13.4	-13.4

注释:

1. V_{ICM} 是输入共模电压。
2. V_{ID} 是输入差分电压。
3. V_{OL} 是单端低输出电压。
4. V_{OH} 是单端高输出电压。

表 14: HP I/O bank 的互补差分 SelectIO DC 输入电平和输出电平

I/O 标准 ¹	V _{ICM} (V) ²			V _{ID} (V) ³		V _{OL} (V) ⁴	V _{OH} (V) ⁵	I _{OL}	I _{OH}
	最小值	典型值	最大值	最小值	最大值	最大值	最小值	mA	mA
DIFF_HSTL_I	0.680	V _{CCO} /2	(V _{CCO} /2) + 0.150	0.100	-	0.400	V _{CCO} - 0.400	5.8	-5.8
DIFF_HSTL_I_12	0.400 × V _{CCO}	V _{CCO} /2	0.600 × V _{CCO}	0.100	-	0.250 × V _{CCO}	0.750 × V _{CCO}	4.1	-4.1
DIFF_HSTL_I_18	(V _{CCO} /2) - 0.175	V _{CCO} /2	(V _{CCO} /2) + 0.175	0.100	-	0.400	V _{CCO} - 0.400	6.2	-6.2
DIFF_HSUL_12	(V _{CCO} /2) - 0.120	V _{CCO} /2	(V _{CCO} /2) + 0.120	0.100	-	20% V _{CCO}	80% V _{CCO}	0.1	-0.1
DIFF_SSTL12	(V _{CCO} /2) - 0.150	V _{CCO} /2	(V _{CCO} /2) + 0.150	0.100	-	(V _{CCO} /2) - 0.150	(V _{CCO} /2) + 0.150	8.0	-8.0
DIFF_SSTL135	(V _{CCO} /2) - 0.150	V _{CCO} /2	(V _{CCO} /2) + 0.150	0.100	-	(V _{CCO} /2) - 0.150	(V _{CCO} /2) + 0.150	9.0	-9.0
DIFF_SSTL15	(V _{CCO} /2) - 0.175	V _{CCO} /2	(V _{CCO} /2) + 0.175	0.100	-	(V _{CCO} /2) - 0.175	(V _{CCO} /2) + 0.175	10.0	-10.0
DIFF_SSTL18_I	(V _{CCO} /2) - 0.175	V _{CCO} /2	(V _{CCO} /2) + 0.175	0.100	-	(V _{CCO} /2) - 0.470	(V _{CCO} /2) + 0.470	7.0	-7.0

注释:

1. 如需了解 DIFF_POD10 和 DIFF_POD12 HP I/O bank 规格, 请参阅表 15、表 16 和表 17。
2. V_{ICM} 是输入共模电压。
3. V_{ID} 是输入差分电压。
4. V_{OL} 是单端低输出电压。
5. V_{OH} 是单端高输出电压。

表 15: 差分 POD10 和 POD12 I/O 标准的 DC 输入电平

I/O 标准 ^{1,2}	V _{ICM} (V)			V _{ID} (V)	
	最小值	典型值	最大值	最小值	最大值
DIFF_POD10	0.63	0.70	0.77	0.14	-
DIFF_POD12	0.76	0.84	0.92	0.16	-

注释:

1. 根据相关规格经测试所得。
2. 此处标准是使用默认 I/O 标准配置指定的。欲知详情, 请参阅《UltraScale 架构 SelectIO 资源用户指南》(UG571)。

表 16: 单端和差分 POD10 和 POD12 标准的 DC 输出电平

标识	描述 ^{1,2}	V _{OUT}	最小值	典型值	最大值	单位
R _{OL}	下拉电阻	V _{OM_DC} (如表 17 中所述)	36	40	44	Ω
R _{OH}	上拉电阻	V _{OM_DC} (如表 17 中所述)	36	40	44	Ω

注释:

1. 根据相关规格经测试所得。
2. 此处标准是使用默认 I/O 标准配置指定的。欲知详情, 请参阅《UltraScale 架构 SelectIO 资源用户指南》(UG571)。

表 17: 单端和差分 POD10 和 POD12 标准的 DC 输出电平定义

标识	描述	所有速度等级	单位
V _{OM_DC}	DC 输出中压测量电平 (对应于 IV 曲线线性)	0.8 × V _{CCO}	V

LVDS DC 规格 (LVDS_25)

在 HD I/O bank 中遵循 LVDS_25 标准。如需了解更多信息, 请参阅《UltraScale 架构 SelectIO 资源用户指南》(UG571)。

表 18: LVDS_25 DC 规格

标识	DC 参数	最小值	典型值	最大值	单位
V_{CCO}^1	供电电压	2.375	2.500	2.625	V
V_{IDIFF}	差分输入电压: (Q - $\bar{Q}$), Q = High ($\bar{Q}$ - Q), $\bar{Q}$ = High	100	350	600 ²	mV
V_{ICM}	输入共模电压	0.300	1.200	1.425	V

注释:

1. HD I/O bank 中的 LVDS_25 仅支持输入。无内部终端的 LVDS_25 输入不具有 V_{CCO} 要求。只要输入电压电平不违反 I/O 引脚电压的推荐工作条件 (表 2) 规格 V_{IN} , 即可选择任意 V_{CCO} 。
2. V_{IDIFF} 最大值是针对 V_{ICM} 规格最大值指定的。如果 V_{ICM} 值较低, 那么仅限在满足推荐的工作条件和过冲/下冲 V_{IN} 规格的条件下, 才能承受较高的 V_{DIFF} 值。

LVDS DC 规格 (LVDS)

在 HP I/O bank 中遵循 LVDS 标准。如需了解更多信息, 请参阅《UltraScale 架构 SelectIO 资源用户指南》(UG571)。

表 19: LVDS DC 规格

标识	DC 参数	条件	最小值	典型值	最大值	单位
V_{CCO}^1	供电电压		1.710	1.800	1.890	V
V_{ODIFF}^2	差分输出电压: (Q - $\bar{Q}$), Q = High ($\bar{Q}$ - Q), $\bar{Q}$ = High	$R_T = 100\Omega$ (Q 与 $\bar{Q}$ 信号间)	247	350	454	mV
V_{OCM}^2	输出共模电压	$R_T = 100\Omega$ (Q 与 $\bar{Q}$ 信号间)	1.000	1.250	1.425	V
V_{IDIFF}^3	差分输入电压: (Q - $\bar{Q}$), Q = High ($\bar{Q}$ - Q), $\bar{Q}$ = High		100	350	600 ³	mV
$V_{ICM_DC}^4$	输入共模电压 (DC 耦合)		0.300	1.200	1.425	V
$V_{ICM_AC}^5$	输入共模电压 (AC 耦合)		0.600	-	1.100	V

注释:

1. 在 HP I/O bank 中, 当 LVDS 配合仅限输入功能一起使用时, 仅限不使用内部差分终端的情况下才能将此 LVDS 置于其中 V_{CCO} 电平不同于指定电平的 bank 中。在此场景中, 必须选择 V_{CCO} 以避免输入引脚电压电平违反 V_{IN} I/O 引脚电压的推荐工作条件 (表 2) 规格。
2. V_{OCM} 和 V_{ODIFF} 值适用于 LVDS_PRE_EMPHASIS = FALSE。
3. V_{IDIFF} 最大值是针对 V_{ICM} 规格最大值指定的。如果 V_{ICM} 值较低, 那么仅限在满足推荐的工作条件和过冲/下冲 V_{IN} 规格的条件下, 才能承受较高的 V_{DIFF} 值。
4. DC 耦合配置的输入共模电压。EQUALIZATION = EQ_NONE (默认值)。
5. AC 耦合配置的外部输入共模电压规格。EQUALIZATION = EQ_LEVEL0、EQ_LEVEL1、EQ_LEVEL2、EQ_LEVEL3 和 EQ_LEVEL4。

AC 开关特性

本数据手册中所示的所有值均为根据下表中总结的 Vivado® Design Suite 中的速度规格所生成的。

表 20: 速度规格版本 (按器件)

2019.1.1	器件
1.23	XCKU3P、XCKU5P、XCKU9P、XCKU11P、XCKU13P 和 XCKU15P XQKU5P、XQKU15P

开关特性是根据速度等级为基础来指定的, 可指定为 Advance、Preliminary 或量产。每一种指定的开关特性定义如下:

- **Advance 产品规格：**这些规格仅基于仿真，通常在冻结器件设计规格不久后即可使用。虽然采用此项指定的速度等级被视为相对稳定且保守，但可能发生某些漏报问题。
- **Preliminary 产品规格：**这些规格基于完整工程采样 (ES) 硅片特性。采用此项指定的器件和速度等级旨在更加明确地表明期望的量产硅片性能。漏报延迟的概率相比于 Advance 数据显著降低。
- **产品规格：**一旦足够明确特定器件系列成员的量产硅片特性，即可发布这些规格以提供各种量产批次的规格与器件之间的完整关联。此类规格不存在漏报延迟，客户将收到所有后续变更的正式通知。通常速度等级按由慢到快的顺序转换到量产。

测试 AC 开关特性

内部时序参数是通过测试内部模式衍生出来的。所有 AC 开关特性均表示最差情况下的供电电压和结温条件。

要获取更具体、更精确且最差情况下的保证数据，请使用静态时序分析器报告的值和反标注释来对网络列表进行仿真。除非另行说明，否则这些值适用于所有 Kintex UltraScale+ FPGA。

速度等级指定

由于每个系列成员都是不同时间生成的，不同类别间的移植完全取决于每个器件的制造工艺状态。表 21 根据速度等级来组织 Kintex UltraScale+ FPGA 的当前状态。

表 21：速度等级指定（按器件）

器件	速度等级、温度范围和 V _{CCINT} 工作电压		
	Advance	Preliminary	量产
XCKU3P			-3E (V _{CCINT} = 0.90V) -2E (V _{CCINT} = 0.85V), -2I (V _{CCINT} = 0.85V) -1E (V _{CCINT} = 0.85V), -1I (V _{CCINT} = 0.85V) -2LE (V _{CCINT} = 0.85V), -1LI (V _{CCINT} = 0.85V) -2LE (V _{CCINT} = 0.72V) ¹ , -1LI (V _{CCINT} = 0.72V) ¹
XCKU5P			-3E (V _{CCINT} = 0.90V) -2E (V _{CCINT} = 0.85V), -2I (V _{CCINT} = 0.85V) -1E (V _{CCINT} = 0.85V), -1I (V _{CCINT} = 0.85V) -2LE (V _{CCINT} = 0.85V), -1LI (V _{CCINT} = 0.85V) -2LE (V _{CCINT} = 0.72V) ¹ , -1LI (V _{CCINT} = 0.72V) ¹
XCKU9P			-3E (V _{CCINT} = 0.90V) -2E (V _{CCINT} = 0.85V), -2I (V _{CCINT} = 0.85V) -1E (V _{CCINT} = 0.85V), -1I (V _{CCINT} = 0.85V) -2LE (V _{CCINT} = 0.85V), -1LI (V _{CCINT} = 0.85V) -2LE (V _{CCINT} = 0.72V) ¹ , -1LI (V _{CCINT} = 0.72V) ¹
XCKU11P			-3E (V _{CCINT} = 0.90V) -2E (V _{CCINT} = 0.85V), -2I (V _{CCINT} = 0.85V) -1E (V _{CCINT} = 0.85V), -1I (V _{CCINT} = 0.85V) -2LE (V _{CCINT} = 0.85V), -1LI (V _{CCINT} = 0.85V) -2LE (V _{CCINT} = 0.72V) ¹ , -1LI (V _{CCINT} = 0.72V) ¹
XCKU13P			-3E (V _{CCINT} = 0.90V) -2E (V _{CCINT} = 0.85V), -2I (V _{CCINT} = 0.85V) -1E (V _{CCINT} = 0.85V), -1I (V _{CCINT} = 0.85V) -2LE (V _{CCINT} = 0.85V), -1LI (V _{CCINT} = 0.85V) -2LE (V _{CCINT} = 0.72V) ¹ , -1LI (V _{CCINT} = 0.72V) ¹

表 21: 速度等级指定 (按器件) (续)

器件	速度等级、温度范围和 V _{CCINT} 工作电压		
	Advance	Preliminary	量产
XCKU15P			-3E (V _{CCINT} = 0.90V) -2E (V _{CCINT} = 0.85V), -2I (V _{CCINT} = 0.85V) -1E (V _{CCINT} = 0.85V), -1I (V _{CCINT} = 0.85V) -2LE (V _{CCINT} = 0.85V), -1LI (V _{CCINT} = 0.85V) -2LE (V _{CCINT} = 0.72V) ¹ , -1LI (V _{CCINT} = 0.72V) ¹
XQKU5P			-2I (V _{CCINT} = 0.85V) -1I (V _{CCINT} = 0.85V), -1M (V _{CCINT} = 0.85V) -1LI (V _{CCINT} = 0.85V), -1LI (V _{CCINT} = 0.72V) ¹
XQKU15P			-2I (V _{CCINT} = 0.85V) -1I (V _{CCINT} = 0.85V), -1M (V _{CCINT} = 0.85V) -1LI (V _{CCINT} = 0.85V), -1LI (V _{CCINT} = 0.72V) ¹

注释:

1. 最低功耗 -1L 和 -2L 器件 (其中 V_{CCINT} = 0.72V) 在 Vivado Design Suite 中分别列为 -1LV 和 -2LV。

量产硅片和软件状态

在某些情况下, 会先将某一特定系列的成员 (和速度等级) 发布到量产环境, 然后再以正确的标签 (Advance、Preliminary 和量产) 来发布速度规格。在后续速度规格发布中会纠正所有标签差异。

表 22 列出了已发布的量产级 Kintex UltraScale+ FPGA、速度等级和对应受支持的最低速度规格版本以及 Vivado 软件修订。其中列出的 Vivado 软件和速度规格均为量产所需的最低版本。所有后续发布的软件版本和速度规格均有效。

表 22: Kintex UltraScale+ FPGA 器件量产软件和速度规格发布版本

器件	速度等级和 V _{CCINT} 工作电压						
	0.90V	0.85V				0.72V	
	-3	-2	-1	-2L	-1L	-2L	-1L
XCKU3P	Vivado 工具 2018.1 v1.19	Vivado 工具 2017.1 v1.10		Vivado 工具 2017.4 v1.17			
XCKU5P	Vivado 工具 2018.1 v1.19	Vivado 工具 2017.1 v1.10		Vivado 工具 2017.4 v1.17			
XCKU9P	Vivado 工具 2018.2.1 v1.21	Vivado 工具 2017.1 v1.10		Vivado 工具 2017.3.1 v1.16			
XCKU11P	Vivado 工具 2018.1 v1.19	Vivado 工具 2017.3 v1.14		Vivado 工具 2017.4.1 v1.18			
XCKU13P	Vivado 工具 2018.1 v1.19	Vivado 工具 2017.2 v1.12		Vivado 工具 2017.3.1 v1.16			
XCKU15P	Vivado 工具 2018.1 v1.19	Vivado 工具 2017.2.1 v1.13		Vivado 工具 2017.4 v1.17			
XQKU5P	不适用	Vivado 工具 2018.3.1 v1.23		不适用	Vivado 工具 2018.3.1 v1.23	不适用	Vivado 工具 2018.3.1 v1.23
XQKU15P	不适用	Vivado 工具 2018.3.1 v1.23		不适用	Vivado 工具 2018.3.1 v1.23	不适用	Vivado 工具 2018.3.1 v1.23

FPGA 逻辑性能特性

本节介绍了 Kintex UltraScale+ FPGA 中实现的一些常用功能和设计的性能特性。这些值同样遵循 AC 开关特性 节中的准则。

在以下每个 LVDS 性能表中, I/O bank 类型为高性能 (HP) 或高密度 (HD)。

在 LVDS 组件模式下:

- 对于 HP I/O bank 中的输入/输出寄存器, Vivado 工具将所有速度等级的时钟频率都限制为 312.9 MHz。

- 对于 HP I/O bank 中的 IDDR, Vivado 工具将所有速度等级的时钟频率都限制为 625.0 MHz。
- 对于 HP I/O bank 中的 ODDR, Vivado 工具将所有速度等级的时钟频率都限制为 625.0 MHz。

表 23: LVDS 组件模式性能

描述	I/O Bank 类型	速度等级和 V _{CCINT} 工作电压										单位
		0.90V		0.85V				0.72V				
		-3		-2		-1		-2		-1		
		最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
LVDS TX DDR (OSERDES 4:1, 8:1)	HP	0	1250	0	1250	0	1250	0	1250	0	1250	Mb/s
LVDS TX SDR (OSERDES 2:1, 4:1)	HP	0	625	0	625	0	625	0	625	0	625	Mb/s
LVDS RX DDR (ISERDES 1:4, 1:8) ¹	HP	0	1250	0	1250	0	1250	0	1250	0	1250	Mb/s
LVDS RX DDR	HD	0	250	0	250	0	250	0	250	0	250	Mb/s
LVDS RX SDR (ISERDES 1:2, 1:4) ¹	HP	0	625	0	625	0	625	0	625	0	625	Mb/s
LVDS RX SDR	HD	0	125	0	125	0	125	0	125	0	125	Mb/s

注释:

1. LVDS 接收器通常与某些应用绑定以实现最佳性能。封装偏差不包含在内, 并且应通过 PCB 布线来消除。

表 24: LVDS 本机模式性能

描述 ^{1,2}	DATA_WIDTH	I/O Bank 类型	速度等级和 V _{CCINT} 工作电压										单位
			0.90V		0.85V				0.72V				
			-3		-2		-1		-2		-1		
			最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
LVDS TX DDR (TX_BITSLICE)	4	HP	375	1600	375	1600	375	1600	375	1400	375	1260	Mb/s
	8		375	1600	375	1600	375	1600	375	1600	375	1600	Mb/s
LVDS TX SDR (TX_BITSLICE)	4	HP	187.5	800	187.5	800	187.5	800	187.5	700	187.5	630	Mb/s
	8		187.5	800	187.5	800	187.5	800	187.5	800	187.5	800	Mb/s
LVDS RX DDR (RX_BITSLICE) ³	4	HP	375	1600 ⁴	375	1600 ⁴	375	1600 ⁴	375	1400 ⁴	375	1260 ⁴	Mb/s
	8		375	1600 ⁴	375	1600 ⁴	375	1600 ⁴	375	1600 ⁴	375	1600 ⁴	Mb/s
LVDS RX SDR (RX_BITSLICE) ³	4	HP	187.5	800	187.5	800	187.5	800	187.5	700	187.5	630	Mb/s
	8		187.5	800	187.5	800	187.5	800	187.5	800	187.5	800	Mb/s

注释:

1. 通过 Vivado Design Suite 提供的 [High Speed SelectIO Wizard](#) 来支持本机模式。性能值采用源同步接口。
2. PLL 设置可限制最低可允许数据速率。例如, 使用 CLKOUTPHY_MODE = VCO_HALF 的 PLL 时, 最低频率为 PLL_FVCOMIN/2。
3. LVDS 接收器通常与某些应用绑定以实现最佳性能。封装偏差不包含在内, 并且应通过 PCB 布线来消除。
4. 异步接收器性能分别限制为 1300 Mb/s (针对 -3/-2 速度等级) 和 1250 Mb/s (针对 -1 速度等级)。

表 25: MIPI D-PHY 性能

描述	I/O Bank 类型	速度等级和 V _{CCINT} 工作电压					单位
		0.90V	0.85V		0.72V		
		-3	-2	-1	-2	-1	
MIPI D-PHY 发射器或接收器	HP	1500 ¹	1500 ¹	1260 ²	1260 ²	1260	Mb/s

注释:

1. 使用 Vivado Design Suite v2019.1 或更低版本进行设计时, Kintex UltraScale+ FPGA 性能是以 1500 Mb/s 的数据速率指定的。对于 XC 器件, 使用 Vivado Design Suite v2019.1.1 或更高版本进行设计时, 此性能是以 2500 Mb/s 的数据速率指定的。XQ 器件是以 1500 Mb/s 的数据速率指定的。
2. 使用 Vivado Design Suite v2019.1 或更低版本进行设计时, Kintex UltraScale+ FPGA 性能是以 1260 Mb/s 的数据速率指定的。对于 XC 器件, 使用 Vivado Design Suite v2019.1.1 或更高版本进行设计时, 此性能是以 2500 Mb/s 的数据速率指定的。XQ 器件是以 1260 Mb/s 的数据速率指定的。

表 26: LVDS 本机模式 1000BASE-X 支持

描述 ¹	I/O Bank 类型	速度等级和 V _{CCINT} 工作电压				
		0.90V	0.85V		0.72V	
		-3	-2	-1	-2	-1
1000BASE-X	HP	有				

注释:

1. 1000BASE-X 支持以《适用于 CSMA/CD 访问方法和物理层面规范的 IEEE 标准》(IEEE Std 802.3-2008) 为基础。

下表提供了使用 Kintex UltraScale+ FPGA 存储器 PHY 的相应存储器标准的最高数据速率。请参阅[存储器接口](#)以获取受支持的存储器接口标准和详细规格的完整列表。存储器接口的最终性能是通过 Vivado Design Suite 中实现的完整设计来判定的, 遵循《UltraScale 架构 PCB 设计用户指南》(UG583) 中的指南、电气分析和系统特性。

表 27: 存储器接口的最高物理接口 (PHY) 速率

存储器标准	封装	DRAM 类型	速度等级和 V _{CCINT} 工作电压					单位
			0.90V	0.85V		0.72V		
			-3	-2	-1	-2	-1	
DDR4	所有 FFV 和 FFR 封装	单列组件	2666	2666	2400	2400	2133	Mb/s
		单列 DIMM ^{1,2,3}	2400	2400	2133	2133	1866	Mb/s
		双列 DIMM ^{1,4}	2133	2133	1866	1866	1600	Mb/s
		四列 DIMM ^{1,5}	1600	1600	1333	1333	不适用	Mb/s
	SFVB784 和 SFRB784	单列组件	2400	2400	2133	2133	1866	Mb/s
		单列 DIMM ^{1,2}	2133	2133	1866	1866	1600	Mb/s
		双列 DIMM ^{1,4}	1866	1866	1600	1600	1600	Mb/s

表 27: 存储器接口的最高物理接口 (PHY) 速率 (续)

存储器标准	封装	DRAM 类型	速度等级和 V _{CCINT} 工作电压					单位
			0.90V	0.85V		0.72V		
			-3	-2	-1	-2	-1	
DDR3	所有 FFV 和 FFR 封装	单列组件	2133	2133	2133	2133	1866	Mb/s
		单列 DIMM ^{1, 2}	1866	1866	1866	1866	1600	Mb/s
		双列 DIMM ^{1, 4}	1600	1600	1600	1600	1333	Mb/s
		四列 DIMM ^{1, 5}	1066	1066	1066	1066	800	Mb/s
	SFVB784 和 SFRB784	单列组件	1866	1866	1866	1866	1600	Mb/s
		单列 DIMM ^{1, 2}	1600	1600	1600	1600	1600	Mb/s
		双列 DIMM ^{1, 4}	1600	1600	1600	1600	1333	Mb/s
		四列 DIMM ^{1, 5}	1066	1066	1066	1066	800	Mb/s
DDR3L	所有 FFV 和 FFR 封装	单列组件	1866	1866	1866	1866	1600	Mb/s
		单列 DIMM ^{1, 2}	1600	1600	1600	1600	1333	Mb/s
		双列 DIMM ^{1, 4}	1333	1333	1333	1333	1066	Mb/s
		四列 DIMM ^{1, 5}	800	800	800	800	606	Mb/s
	SFVB784 和 SFRB784	单列组件	1600	1600	1600	1600	1600	Mb/s
		单列 DIMM ^{1, 2}	1600	1600	1600	1600	1333	Mb/s
		双列 DIMM ^{1, 4}	1333	1333	1333	1333	1066	Mb/s
		四列 DIMM ^{1, 5}	800	800	800	800	606	Mb/s
QDR II+	全部	单列组件 ⁶	633	633	600	600	550	MHz
RLDRAM 3	所有 FFV 和 FFR 封装	单列组件	1200	1200	1066	1066	933	MHz
	SFVB784 和 SFRB784	单列组件	1066	1066	933	933	800	MHz
QDR IV XP	全部	单列组件	1066	1066	1066	933	933	MHz
LPDDR3	全部	单列组件	1600	1600	1600	1600	1600	Mb/s

注释:

1. 双列直插式存储器模块 (DIMM) 包括 RDIMM、SODIMM、UDIMM 和 LRDIMM。
2. 包括: 单列 1 插槽, DDP 双列, LRDIMM 双列或四列 1 插槽。
3. 对于 -3 和 -2 (V_{CCINT} = 0.85V) 速度等级的 DDR4 DDP 组件, 针对不少于 6 个 DDP 器件的情况, 最高数据速率为 2133 Mb/s。对于不超过 5 个 DDP 器件的情况, 针对 -3 和 -2 (V_{CCINT} = 0.85V) 速度等级使用单列 DIMM 数据速率。
4. 包括: 双列 1 插槽, 单列 2 插槽, LRDIMM 双列 2 插槽。
5. 包括: 双列 2 插槽, 四列 1 插槽。
6. QDR II+ 性能规格适用于突发长度 4 (BL = 4) 的实现。

FPGA 逻辑开关特性

以下 IOB 高密度 (HD) 表和 IOB 高性能 (HP) 表汇总了特定标准下的数据输入延迟调整值、终止于焊盘的输出延迟 (基于标准) 值以及三态延迟值。

- T_{INBUF_DELAY_PAD_I} 是从 IOB 焊盘通过输入缓存到 IOB 焊盘的 I 引脚的延迟。此延迟因 SelectIO 输入缓存的功能而异。
- T_{OUTBUF_DELAY_O_PAD} 是从 O 引脚通过 IOB 焊盘的输出缓存到 IOB 焊盘的延迟。此延迟因 SelectIO 输出缓存的功能而异。
- T_{OUTBUF_DELAY_TD_PAD} 是禁用三态情况下, 从 T 引脚通过 IOB 焊盘的输出缓存到 IOB 焊盘的延迟。此延迟因输出缓存的 SelectIO 功能而异。在 HP I/O bank 中, 使用 DCITERMDISABLE 引脚时, 内部 DCI 终端开启时间始终比 T_{OUTBUF_DELAY_TD_PAD} 更短。在 HD I/O bank 中, 使用 INTERMDISABLE 引脚时, 片上终端开启时间始终比 T_{OUTBUF_DELAY_TD_PAD} 更短。

IOB 高密度 (HD) 开关特性

表 28: IOB 高密度 (HD) 开关特性

I/O 标准	T _{INBUF_DELAY_PAD_I}					T _{OUTBUF_DELAY_O_PAD}					T _{OUTBUF_DELAY_TD_PAD}					单位
	0.90V	0.85V		0.72V		0.90V	0.85V		0.72V		0.90V	0.85V		0.72V		
	-3	-2	-1	-2	-1	-3	-2	-1	-2	-1	-3	-2	-1	-2	-1	
DIFF_HSTL_I_18_F	0.873	0.978	1.058	0.978	1.058	1.510	1.574	1.718	1.966	2.101	1.160	1.160	1.271	1.515	1.544	ns
DIFF_HSTL_I_18_S	0.873	0.978	1.058	0.978	1.058	1.742	1.805	1.950	2.197	2.333	1.748	1.748	1.867	2.103	2.104	ns
DIFF_HSTL_I_F	0.873	0.978	1.058	0.978	1.058	1.563	1.611	1.762	2.003	2.145	1.313	1.313	1.417	1.668	1.668	ns
DIFF_HSTL_I_S	0.873	0.978	1.058	0.978	1.058	1.696	1.798	1.913	2.190	2.296	1.630	1.630	1.780	1.985	1.986	ns
DIFF_HSUL_12_F	0.796	0.911	0.977	0.911	0.977	1.493	1.573	1.703	1.965	2.086	1.222	1.222	1.335	1.577	1.578	ns
DIFF_HSUL_12_S	0.796	0.911	0.977	0.911	0.977	1.653	1.711	1.864	2.103	2.247	1.536	1.536	1.665	1.891	1.891	ns
DIFF_SSTL12_F	0.796	0.906	0.977	0.906	0.977	1.577	1.643	1.792	2.035	2.175	1.285	1.285	1.423	1.640	1.640	ns
DIFF_SSTL12_S	0.796	0.906	0.977	0.906	0.977	1.726	1.784	1.948	2.176	2.331	1.567	1.567	1.706	1.922	1.922	ns
DIFF_SSTL135_F	0.807	0.927	0.995	0.927	0.995	1.558	1.625	1.765	2.017	2.148	1.341	1.341	1.458	1.696	1.696	ns
DIFF_SSTL135_II_F	0.807	0.927	0.995	0.927	0.995	1.560	1.623	1.770	2.015	2.153	1.325	1.325	1.470	1.680	1.689	ns
DIFF_SSTL135_II_S	0.807	0.927	0.995	0.927	0.995	1.694	1.768	1.916	2.160	2.299	1.722	1.722	1.911	2.077	2.078	ns
DIFF_SSTL135_S	0.807	0.927	0.995	0.927	0.995	1.796	1.869	2.025	2.261	2.408	1.814	1.814	1.976	2.169	2.169	ns
DIFF_SSTL15_F	0.840	0.928	1.020	0.928	1.020	1.559	1.628	1.771	2.020	2.154	1.374	1.374	1.483	1.729	1.729	ns
DIFF_SSTL15_II_F	0.840	0.928	1.020	0.928	1.020	1.574	1.622	1.778	2.014	2.161	1.356	1.356	1.442	1.711	1.712	ns
DIFF_SSTL15_II_S	0.840	0.928	1.020	0.928	1.020	1.769	1.821	1.987	2.213	2.370	1.895	1.895	2.047	2.250	2.250	ns
DIFF_SSTL15_S	0.840	0.928	1.020	0.928	1.020	1.752	1.824	1.977	2.216	2.360	1.743	1.743	1.907	2.098	2.098	ns
DIFF_SSTL18_II_F	0.873	0.961	1.038	0.961	1.038	1.672	1.729	1.880	2.121	2.263	1.377	1.377	1.492	1.732	1.732	ns
DIFF_SSTL18_II_S	0.873	0.961	1.038	0.961	1.038	1.748	1.796	1.965	2.188	2.348	1.616	1.616	1.800	1.971	1.972	ns
DIFF_SSTL18_I_F	0.873	0.961	1.038	0.961	1.038	1.539	1.609	1.755	2.001	2.138	1.220	1.220	1.313	1.575	1.575	ns
DIFF_SSTL18_I_S	0.873	0.961	1.038	0.961	1.038	1.728	1.786	1.942	2.178	2.325	1.677	1.677	1.836	2.032	2.033	ns
HSTL_I_18_F	0.854	0.947	1.021	0.947	1.021	1.510	1.574	1.718	1.966	2.101	1.160	1.160	1.271	1.515	1.544	ns
HSTL_I_18_S	0.854	0.947	1.021	0.947	1.021	1.742	1.805	1.950	2.197	2.333	1.748	1.748	1.867	2.103	2.104	ns
HSTL_I_F	0.748	0.856	0.900	0.856	0.900	1.563	1.611	1.762	2.003	2.145	1.313	1.313	1.417	1.668	1.668	ns
HSTL_I_S	0.748	0.856	0.900	0.856	0.900	1.696	1.798	1.913	2.190	2.296	1.630	1.630	1.780	1.985	1.986	ns
HSUL_12_F	0.712	0.780	0.867	0.780	0.867	1.493	1.573	1.703	1.965	2.086	1.222	1.222	1.335	1.577	1.578	ns
HSUL_12_S	0.712	0.780	0.867	0.780	0.867	1.653	1.711	1.864	2.103	2.247	1.536	1.536	1.665	1.891	1.891	ns
LVC MOS12_F_12	0.761	0.918	0.976	0.918	0.976	1.652	1.689	1.856	2.081	2.239	1.202	1.202	1.317	1.557	1.557	ns
LVC MOS12_F_4	0.761	0.918	0.976	0.918	0.976	1.714	1.742	1.922	2.134	2.305	1.353	1.353	1.478	1.708	1.708	ns
LVC MOS12_F_8	0.761	0.918	0.976	0.918	0.976	1.668	1.714	1.879	2.106	2.262	1.292	1.292	1.432	1.647	1.647	ns
LVC MOS12_S_12	0.761	0.918	0.976	0.918	0.976	2.019	2.073	2.247	2.465	2.630	1.581	1.581	1.717	1.936	1.937	ns
LVC MOS12_S_4	0.761	0.918	0.976	0.918	0.976	1.979	1.979	2.182	2.371	2.565	1.633	1.633	1.772	1.988	1.989	ns
LVC MOS12_S_8	0.761	0.918	0.976	0.918	0.976	2.132	2.205	2.406	2.597	2.789	1.767	1.767	1.928	2.122	2.123	ns
LVC MOS15_F_12	0.775	0.905	0.958	0.905	0.958	1.691	1.713	1.892	2.105	2.275	1.275	1.275	1.428	1.630	1.630	ns
LVC MOS15_F_16	0.775	0.905	0.958	0.905	0.958	1.665	1.722	1.881	2.114	2.264	1.260	1.260	1.407	1.615	1.615	ns
LVC MOS15_F_4	0.775	0.905	0.958	0.905	0.958	1.747	1.825	1.959	2.217	2.342	1.453	1.453	1.557	1.808	1.809	ns
LVC MOS15_F_8	0.775	0.905	0.958	0.905	0.958	1.721	1.778	1.930	2.170	2.313	1.378	1.378	1.458	1.733	1.733	ns
LVC MOS15_S_12	0.775	0.905	0.958	0.905	0.958	1.936	1.991	2.139	2.383	2.522	1.516	1.516	1.648	1.871	1.871	ns
LVC MOS15_S_16	0.775	0.905	0.958	0.905	0.958	2.172	2.172	2.389	2.564	2.772	1.707	1.707	1.888	2.062	2.062	ns

表 28: IOB 高密度 (HD) 开关特性 (续)

I/O 标准	T _{INBUF_DELAY_PAD_I}					T _{OUTBUF_DELAY_O_PAD}					T _{OUTBUF_DELAY_TD_PAD}					单位
	0.90V		0.85V		0.72V	0.90V		0.85V		0.72V	0.90V		0.85V		0.72V	
	-3	-2	-1	-2	-1	-3	-2	-1	-2	-1	-3	-2	-1	-2	-1	
LVC MOS15_S_4	0.775	0.905	0.958	0.905	0.958	2.274	2.313	2.483	2.705	2.866	1.952	1.952	2.123	2.307	2.307	ns
LVC MOS15_S_8	0.775	0.905	0.958	0.905	0.958	2.170	2.170	2.400	2.562	2.783	1.817	1.817	1.984	2.172	2.173	ns
LVC MOS18_F_12	0.810	0.915	0.958	0.915	0.958	1.741	1.805	1.962	2.197	2.345	1.383	1.383	1.471	1.738	1.738	ns
LVC MOS18_F_16	0.810	0.915	0.958	0.915	0.958	1.698	1.785	1.917	2.177	2.300	1.338	1.338	1.446	1.693	1.693	ns
LVC MOS18_F_4	0.810	0.915	0.958	0.915	0.958	1.815	1.868	2.013	2.260	2.396	1.472	1.472	1.599	1.827	1.832	ns
LVC MOS18_F_8	0.810	0.915	0.958	0.915	0.958	1.785	1.797	1.979	2.189	2.362	1.384	1.384	1.487	1.739	1.739	ns
LVC MOS18_S_12	0.810	0.915	0.958	0.915	0.958	2.163	2.201	2.408	2.593	2.791	1.762	1.762	1.894	2.117	2.118	ns
LVC MOS18_S_16	0.810	0.915	0.958	0.915	0.958	2.102	2.173	2.362	2.565	2.745	1.702	1.702	1.834	2.057	2.057	ns
LVC MOS18_S_4	0.810	0.915	0.958	0.915	0.958	2.342	2.346	2.567	2.738	2.950	1.951	1.951	2.092	2.306	2.306	ns
LVC MOS18_S_8	0.810	0.915	0.958	0.915	0.958	2.275	2.292	2.511	2.684	2.894	1.848	1.848	2.008	2.203	2.204	ns
LVC MOS25_F_12	0.963	0.988	1.042	0.988	1.042	2.153	2.153	2.453	2.545	2.836	1.692	1.692	1.856	2.047	2.047	ns
LVC MOS25_F_16	0.963	0.988	1.042	0.988	1.042	2.105	2.105	2.406	2.497	2.789	1.623	1.623	1.786	1.978	1.979	ns
LVC MOS25_F_4	0.963	0.988	1.042	0.988	1.042	2.317	2.344	2.554	2.736	2.937	1.842	1.842	2.039	2.197	2.197	ns
LVC MOS25_F_8	0.963	0.988	1.042	0.988	1.042	2.184	2.184	2.516	2.576	2.899	1.726	1.726	1.910	2.081	2.081	ns
LVC MOS25_S_12	0.963	0.988	1.042	0.988	1.042	2.550	2.558	2.840	2.950	3.223	1.971	1.971	2.194	2.326	2.327	ns
LVC MOS25_S_16	0.963	0.988	1.042	0.988	1.042	2.449	2.449	2.740	2.841	3.123	1.852	1.852	2.063	2.207	2.207	ns
LVC MOS25_S_4	0.963	0.988	1.042	0.988	1.042	2.770	2.770	3.066	3.162	3.449	2.224	2.224	2.458	2.579	2.579	ns
LVC MOS25_S_8	0.963	0.988	1.042	0.988	1.042	2.663	2.663	2.963	3.055	3.346	2.091	2.091	2.373	2.446	2.446	ns
LVC MOS33_F_12	1.154	1.154	1.213	1.154	1.213	2.415	2.415	2.651	2.807	3.034	1.754	1.754	1.915	2.109	2.109	ns
LVC MOS33_F_16	1.154	1.154	1.213	1.154	1.213	2.381	2.383	2.603	2.775	2.986	1.734	1.734	1.869	2.089	2.089	ns
LVC MOS33_F_4	1.154	1.154	1.213	1.154	1.213	2.541	2.541	2.765	2.933	3.148	1.932	1.932	2.135	2.287	2.287	ns
LVC MOS33_F_8	1.154	1.154	1.213	1.154	1.213	2.603	2.603	2.822	2.995	3.205	1.937	1.937	2.130	2.292	2.294	ns
LVC MOS33_S_12	1.154	1.154	1.213	1.154	1.213	2.705	2.705	3.047	3.097	3.430	2.049	2.049	2.318	2.404	2.404	ns
LVC MOS33_S_16	1.154	1.154	1.213	1.154	1.213	2.714	2.714	3.024	3.106	3.407	2.028	2.028	2.232	2.383	2.383	ns
LVC MOS33_S_4	1.154	1.154	1.213	1.154	1.213	2.999	2.999	3.340	3.391	3.723	2.320	2.320	2.610	2.675	2.675	ns
LVC MOS33_S_8	1.154	1.154	1.213	1.154	1.213	2.929	2.929	3.260	3.321	3.643	2.260	2.260	2.532	2.615	2.616	ns
LVDS_25	0.980	1.003	1.116	1.003	1.116	不适用	不适用	不适用	不适用	不适用	不适用	不适用	不适用	不适用	不适用	ns
LVPECL	0.980	1.003	1.116	1.003	1.116	不适用	不适用	不适用	不适用	不适用	不适用	不适用	不适用	不适用	不适用	ns
LVTTL_F_12	1.164	1.164	1.223	1.164	1.223	2.415	2.415	2.651	2.807	3.034	1.754	1.754	1.915	2.109	2.109	ns
LVTTL_F_16	1.164	1.164	1.223	1.164	1.223	2.464	2.464	2.732	2.856	3.115	1.750	1.750	1.986	2.105	2.117	ns
LVTTL_F_4	1.164	1.164	1.223	1.164	1.223	2.541	2.541	2.765	2.933	3.148	1.932	1.932	2.135	2.287	2.287	ns
LVTTL_F_8	1.164	1.164	1.223	1.164	1.223	2.582	2.582	2.787	2.974	3.170	1.910	1.910	2.063	2.265	2.265	ns
LVTTL_S_12	1.164	1.164	1.223	1.164	1.223	2.731	2.731	3.075	3.123	3.458	2.072	2.072	2.343	2.427	2.427	ns
LVTTL_S_16	1.164	1.164	1.223	1.164	1.223	2.714	2.714	3.024	3.106	3.407	2.028	2.028	2.232	2.383	2.383	ns
LVTTL_S_4	1.164	1.164	1.223	1.164	1.223	2.999	2.999	3.340	3.391	3.723	2.320	2.320	2.610	2.675	2.675	ns
LVTTL_S_8	1.164	1.164	1.223	1.164	1.223	2.929	2.929	3.260	3.321	3.643	2.260	2.260	2.532	2.615	2.616	ns
SLVS_400_25	0.998	1.020	1.136	1.020	1.136	不适用	不适用	不适用	不适用	不适用	不适用	不适用	不适用	不适用	不适用	ns
SSTL12_F	0.712	0.780	0.867	0.780	0.867	1.577	1.643	1.792	2.035	2.175	1.285	1.285	1.423	1.640	1.640	ns

表 28: IOB 高密度 (HD) 开关特性 (续)

I/O 标准	T _{INBUF_DELAY_PAD_I}					T _{OUTBUF_DELAY_O_PAD}					T _{OUTBUF_DELAY_TD_PAD}					单位
	0.90V		0.85V		0.72V	0.90V		0.85V		0.72V	0.90V		0.85V		0.72V	
	-3	-2	-1	-2	-1	-3	-2	-1	-2	-1	-3	-2	-1	-2	-1	
SSTL12_S	0.712	0.780	0.867	0.780	0.867	1.726	1.784	1.948	2.176	2.331	1.567	1.567	1.706	1.922	1.922	ns
SSTL135_F	0.731	0.798	0.881	0.798	0.881	1.558	1.625	1.765	2.017	2.148	1.341	1.341	1.458	1.696	1.696	ns
SSTL135_II_F	0.731	0.798	0.881	0.798	0.881	1.574	1.623	1.770	2.015	2.153	1.325	1.325	1.470	1.680	1.689	ns
SSTL135_II_S	0.731	0.798	0.881	0.798	0.881	1.694	1.768	1.916	2.160	2.299	1.722	1.722	1.911	2.077	2.078	ns
SSTL135_S	0.731	0.798	0.881	0.798	0.881	1.796	1.869	2.025	2.261	2.408	1.814	1.814	1.976	2.169	2.169	ns
SSTL15_F	0.731	0.838	0.880	0.838	0.880	1.544	1.612	1.754	2.004	2.137	1.357	1.357	1.464	1.712	1.713	ns
SSTL15_II_F	0.731	0.838	0.880	0.838	0.880	1.588	1.622	1.778	2.014	2.161	1.356	1.356	1.442	1.711	1.712	ns
SSTL15_II_S	0.731	0.838	0.880	0.838	0.880	1.769	1.821	1.987	2.213	2.370	1.895	1.895	2.047	2.250	2.250	ns
SSTL15_S	0.731	0.838	0.880	0.838	0.880	1.752	1.824	1.977	2.216	2.360	1.743	1.743	1.907	2.098	2.098	ns
SSTL18_II_F	0.854	0.947	1.021	0.947	1.021	1.699	1.729	1.880	2.121	2.263	1.377	1.377	1.492	1.732	1.732	ns
SSTL18_II_S	0.854	0.947	1.021	0.947	1.021	1.748	1.796	1.965	2.188	2.348	1.616	1.616	1.800	1.971	1.972	ns
SSTL18_I_F	0.854	0.947	1.021	0.947	1.021	1.566	1.609	1.755	2.001	2.138	1.220	1.220	1.313	1.575	1.575	ns
SSTL18_I_S	0.854	0.947	1.021	0.947	1.021	1.745	1.786	1.942	2.178	2.325	1.677	1.677	1.836	2.032	2.033	ns
SUB_LVDS	0.871	1.002	1.036	1.002	1.036	不适用	不适用	不适用	不适用	不适用	不适用	不适用	不适用	不适用	不适用	ns

IOB 高性能 (HP) 开关特性

表 29: IOB 高性能 (HP) 开关特性

I/O 标准	T _{INBUF_DELAY_PAD_I}					T _{OUTBUF_DELAY_O_PAD}					T _{OUTBUF_DELAY_TD_PAD}					单位
	0.90V		0.85V		0.72V	0.90V		0.85V		0.72V	0.90V		0.85V		0.72V	
	-3	-2	-1	-2	-1	-3	-2	-1	-2	-1	-3	-2	-1	-2	-1	
DIFF_HSTL_I_12_F	0.288	0.394	0.402	0.394	0.402	0.410	0.423	0.443	0.423	0.443	0.514	0.553	0.582	0.553	0.582	ns
DIFF_HSTL_I_12_M	0.288	0.394	0.402	0.394	0.402	0.552	0.552	0.583	0.552	0.583	0.632	0.641	0.679	0.641	0.679	ns
DIFF_HSTL_I_12_S	0.288	0.394	0.402	0.394	0.402	0.752	0.752	0.800	0.752	0.800	0.813	0.813	0.868	0.813	0.868	ns
DIFF_HSTL_I_18_F	0.259	0.319	0.339	0.319	0.339	0.439	0.456	0.474	0.456	0.474	0.549	0.576	0.606	0.576	0.606	ns
DIFF_HSTL_I_18_M	0.259	0.319	0.339	0.319	0.339	0.563	0.570	0.603	0.570	0.603	0.636	0.653	0.692	0.653	0.692	ns
DIFF_HSTL_I_18_S	0.259	0.319	0.339	0.319	0.339	0.782	0.782	0.834	0.782	0.834	0.816	0.816	0.871	0.816	0.871	ns
DIFF_HSTL_I_DCI_12_F	0.288	0.394	0.402	0.394	0.402	0.393	0.406	0.429	0.406	0.429	0.502	0.534	0.564	0.534	0.564	ns
DIFF_HSTL_I_DCI_12_M	0.288	0.394	0.402	0.394	0.402	0.546	0.557	0.587	0.557	0.587	0.636	0.653	0.694	0.653	0.694	ns
DIFF_HSTL_I_DCI_12_S	0.288	0.394	0.402	0.394	0.402	0.755	0.755	0.806	0.755	0.806	0.842	0.842	0.907	0.842	0.907	ns
DIFF_HSTL_I_DCI_18_F	0.259	0.323	0.339	0.323	0.339	0.422	0.445	0.461	0.445	0.461	0.509	0.566	0.595	0.566	0.595	ns
DIFF_HSTL_I_DCI_18_M	0.259	0.323	0.339	0.323	0.339	0.546	0.555	0.586	0.555	0.586	0.626	0.643	0.684	0.643	0.684	ns
DIFF_HSTL_I_DCI_18_S	0.259	0.323	0.339	0.323	0.339	0.762	0.762	0.818	0.762	0.818	0.836	0.836	0.900	0.836	0.900	ns
DIFF_HSTL_I_DCI_F	0.335	0.397	0.417	0.397	0.417	0.407	0.431	0.445	0.431	0.445	0.517	0.555	0.575	0.555	0.575	ns
DIFF_HSTL_I_DCI_M	0.335	0.397	0.417	0.397	0.417	0.549	0.553	0.583	0.553	0.583	0.634	0.644	0.684	0.644	0.684	ns
DIFF_HSTL_I_DCI_S	0.335	0.397	0.417	0.397	0.417	0.767	0.767	0.823	0.767	0.823	0.848	0.848	0.912	0.848	0.912	ns
DIFF_HSTL_I_F	0.304	0.404	0.417	0.404	0.417	0.409	0.423	0.443	0.423	0.443	0.514	0.549	0.581	0.549	0.581	ns
DIFF_HSTL_I_M	0.304	0.404	0.417	0.404	0.417	0.549	0.555	0.586	0.555	0.586	0.624	0.640	0.677	0.640	0.677	ns
DIFF_HSTL_I_S	0.304	0.404	0.417	0.404	0.417	0.767	0.767	0.818	0.767	0.818	0.811	0.811	0.866	0.811	0.866	ns

表 29: IOB 高性能 (HP) 开关特性 (续)

I/O 标准	T _{INBUF_DELAY_PAD_I}					T _{OUTBUF_DELAY_O_PAD}					T _{OUTBUF_DELAY_TD_PAD}					单位
	0.90V	0.85V	0.72V	0.90V	0.85V	0.72V	0.90V	0.85V	0.72V	0.90V	0.85V	0.72V	0.90V	0.85V	0.72V	
	-3	-2	-1	-2	-1	-3	-2	-1	-2	-1	-3	-2	-1	-2	-1	
DIFF_HSUL_12_DCI_F	0.320	0.381	0.400	0.381	0.400	0.411	0.425	0.443	0.425	0.443	0.520	0.558	0.586	0.558	0.586	ns
DIFF_HSUL_12_DCI_M	0.320	0.381	0.400	0.381	0.400	0.546	0.557	0.587	0.557	0.587	0.636	0.653	0.694	0.653	0.694	ns
DIFF_HSUL_12_DCI_S	0.320	0.381	0.400	0.381	0.400	0.737	0.737	0.787	0.737	0.787	0.822	0.822	0.885	0.822	0.885	ns
DIFF_HSUL_12_F	0.322	0.394	0.402	0.394	0.402	0.394	0.412	0.430	0.412	0.430	0.494	0.538	0.566	0.538	0.566	ns
DIFF_HSUL_12_M	0.322	0.394	0.402	0.394	0.402	0.552	0.552	0.583	0.552	0.583	0.632	0.641	0.679	0.641	0.679	ns
DIFF_HSUL_12_S	0.322	0.394	0.402	0.394	0.402	0.752	0.752	0.800	0.752	0.800	0.813	0.813	0.868	0.813	0.868	ns
DIFF_POD10_DCI_F	0.289	0.411	0.430	0.411	0.430	0.407	0.425	0.444	0.425	0.444	0.512	0.555	0.584	0.555	0.584	ns
DIFF_POD10_DCI_M	0.289	0.411	0.430	0.411	0.430	0.533	0.542	0.571	0.542	0.571	0.618	0.640	0.681	0.640	0.681	ns
DIFF_POD10_DCI_S	0.289	0.411	0.430	0.411	0.430	0.754	0.754	0.815	0.754	0.815	0.850	0.850	0.917	0.850	0.917	ns
DIFF_POD10_F	0.288	0.411	0.433	0.411	0.433	0.425	0.438	0.459	0.438	0.459	0.531	0.569	0.601	0.569	0.601	ns
DIFF_POD10_M	0.288	0.411	0.433	0.411	0.433	0.519	0.538	0.568	0.538	0.568	0.589	0.630	0.667	0.630	0.667	ns
DIFF_POD10_S	0.288	0.411	0.433	0.411	0.433	0.752	0.766	0.821	0.766	0.821	0.821	0.836	0.894	0.836	0.894	ns
DIFF_POD12_DCI_F	0.320	0.407	0.432	0.407	0.432	0.411	0.425	0.443	0.425	0.443	0.519	0.558	0.586	0.558	0.586	ns
DIFF_POD12_DCI_M	0.320	0.407	0.432	0.407	0.432	0.516	0.543	0.572	0.543	0.572	0.602	0.638	0.678	0.638	0.678	ns
DIFF_POD12_DCI_S	0.320	0.407	0.432	0.407	0.432	0.740	0.772	0.822	0.772	0.822	0.833	0.862	0.929	0.862	0.929	ns
DIFF_POD12_F	0.305	0.409	0.430	0.409	0.430	0.438	0.455	0.476	0.455	0.476	0.549	0.595	0.626	0.595	0.626	ns
DIFF_POD12_M	0.305	0.409	0.430	0.409	0.430	0.551	0.551	0.582	0.551	0.582	0.632	0.641	0.679	0.641	0.679	ns
DIFF_POD12_S	0.305	0.409	0.430	0.409	0.430	0.749	0.767	0.817	0.767	0.817	0.818	0.832	0.889	0.832	0.889	ns
DIFF_SSTL12_DCI_F	0.303	0.381	0.400	0.381	0.400	0.411	0.425	0.443	0.425	0.443	0.520	0.558	0.586	0.558	0.586	ns
DIFF_SSTL12_DCI_M	0.303	0.381	0.400	0.381	0.400	0.549	0.557	0.587	0.557	0.587	0.643	0.654	0.694	0.654	0.694	ns
DIFF_SSTL12_DCI_S	0.303	0.381	0.400	0.381	0.400	0.754	0.754	0.803	0.754	0.803	0.842	0.842	0.908	0.842	0.908	ns
DIFF_SSTL12_F	0.288	0.394	0.402	0.394	0.402	0.394	0.412	0.430	0.412	0.430	0.494	0.538	0.566	0.538	0.566	ns
DIFF_SSTL12_M	0.288	0.394	0.402	0.394	0.402	0.550	0.553	0.584	0.553	0.584	0.630	0.641	0.676	0.641	0.676	ns
DIFF_SSTL12_S	0.288	0.394	0.402	0.394	0.402	0.758	0.758	0.808	0.758	0.808	0.823	0.823	0.879	0.823	0.879	ns
DIFF_SSTL135_DCI_F	0.303	0.371	0.402	0.371	0.402	0.392	0.411	0.428	0.411	0.428	0.494	0.537	0.565	0.537	0.565	ns
DIFF_SSTL135_DCI_M	0.303	0.371	0.402	0.371	0.402	0.551	0.551	0.582	0.551	0.582	0.643	0.645	0.685	0.645	0.685	ns
DIFF_SSTL135_DCI_S	0.303	0.371	0.402	0.371	0.402	0.746	0.746	0.799	0.746	0.799	0.829	0.829	0.893	0.829	0.893	ns
DIFF_SSTL135_F	0.289	0.375	0.402	0.375	0.402	0.393	0.408	0.428	0.408	0.428	0.491	0.528	0.561	0.528	0.561	ns
DIFF_SSTL135_M	0.289	0.375	0.402	0.375	0.402	0.548	0.555	0.585	0.555	0.585	0.621	0.641	0.679	0.641	0.679	ns
DIFF_SSTL135_S	0.289	0.375	0.402	0.375	0.402	0.772	0.772	0.823	0.772	0.823	0.827	0.827	0.878	0.827	0.878	ns
DIFF_SSTL15_DCI_F	0.335	0.397	0.417	0.397	0.417	0.394	0.412	0.429	0.412	0.429	0.497	0.531	0.563	0.531	0.563	ns
DIFF_SSTL15_DCI_M	0.335	0.397	0.417	0.397	0.417	0.549	0.553	0.583	0.553	0.583	0.632	0.645	0.685	0.645	0.685	ns
DIFF_SSTL15_DCI_S	0.335	0.397	0.417	0.397	0.417	0.768	0.768	0.822	0.768	0.822	0.847	0.847	0.912	0.847	0.912	ns
DIFF_SSTL15_F	0.304	0.404	0.417	0.404	0.417	0.409	0.424	0.445	0.424	0.445	0.513	0.551	0.577	0.551	0.577	ns
DIFF_SSTL15_M	0.304	0.404	0.417	0.404	0.417	0.547	0.554	0.585	0.554	0.585	0.624	0.639	0.677	0.639	0.677	ns
DIFF_SSTL15_S	0.304	0.404	0.417	0.404	0.417	0.767	0.767	0.817	0.767	0.817	0.813	0.813	0.867	0.813	0.867	ns
DIFF_SSTL18_I_DCI_F	0.256	0.320	0.336	0.320	0.336	0.422	0.445	0.461	0.445	0.461	0.540	0.566	0.595	0.566	0.595	ns
DIFF_SSTL18_I_DCI_M	0.256	0.320	0.336	0.320	0.336	0.552	0.554	0.585	0.554	0.585	0.629	0.644	0.683	0.644	0.683	ns
DIFF_SSTL18_I_DCI_S	0.256	0.320	0.336	0.320	0.336	0.762	0.762	0.818	0.762	0.818	0.837	0.837	0.899	0.837	0.899	ns
DIFF_SSTL18_I_F	0.256	0.316	0.336	0.316	0.336	0.439	0.454	0.476	0.454	0.476	0.549	0.578	0.608	0.578	0.608	ns

表 29: IOB 高性能 (HP) 开关特性 (续)

I/O 标准	T _{INBUF_DELAY_PAD_I}					T _{OUTBUF_DELAY_O_PAD}					T _{OUTBUF_DELAY_TD_PAD}					单位
	0.90V	0.85V	0.72V	0.90V	0.85V	0.72V	0.90V	0.85V	0.72V	0.90V	0.85V	0.72V	0.90V	0.85V	0.72V	
	-3	-2	-1	-2	-1	-3	-2	-1	-2	-1	-3	-2	-1	-2	-1	
DIFF_SSTL18_I_M	0.256	0.316	0.336	0.316	0.336	0.567	0.571	0.603	0.571	0.603	0.535	0.652	0.692	0.652	0.692	ns
DIFF_SSTL18_I_S	0.256	0.316	0.336	0.316	0.336	0.782	0.782	0.835	0.782	0.835	0.816	0.816	0.870	0.816	0.870	ns
HSLVDCI_15_F	0.336	0.393	0.415	0.393	0.415	0.407	0.425	0.443	0.425	0.443	0.513	0.548	0.579	0.548	0.579	ns
HSLVDCI_15_M	0.336	0.393	0.415	0.393	0.415	0.548	0.552	0.581	0.552	0.581	0.635	0.644	0.684	0.644	0.684	ns
HSLVDCI_15_S	0.336	0.393	0.415	0.393	0.415	0.748	0.748	0.802	0.748	0.802	0.827	0.827	0.890	0.827	0.890	ns
HSLVDCI_18_F	0.367	0.424	0.447	0.424	0.447	0.424	0.445	0.461	0.445	0.461	0.541	0.566	0.595	0.566	0.595	ns
HSLVDCI_18_M	0.367	0.424	0.447	0.424	0.447	0.563	0.567	0.598	0.567	0.598	0.647	0.658	0.699	0.658	0.699	ns
HSLVDCI_18_S	0.367	0.424	0.447	0.424	0.447	0.761	0.761	0.817	0.761	0.817	0.836	0.836	0.900	0.836	0.900	ns
HSTL_I_12_F	0.322	0.378	0.399	0.378	0.399	0.410	0.423	0.443	0.423	0.443	0.514	0.553	0.582	0.553	0.582	ns
HSTL_I_12_M	0.322	0.378	0.399	0.378	0.399	0.551	0.551	0.582	0.551	0.582	0.632	0.642	0.679	0.642	0.679	ns
HSTL_I_12_S	0.322	0.378	0.399	0.378	0.399	0.750	0.750	0.799	0.750	0.799	0.813	0.813	0.868	0.813	0.868	ns
HSTL_I_18_F	0.258	0.322	0.339	0.322	0.339	0.439	0.456	0.474	0.456	0.474	0.549	0.576	0.606	0.576	0.606	ns
HSTL_I_18_M	0.258	0.322	0.339	0.322	0.339	0.562	0.569	0.602	0.569	0.602	0.637	0.653	0.692	0.653	0.692	ns
HSTL_I_18_S	0.258	0.322	0.339	0.322	0.339	0.781	0.781	0.833	0.781	0.833	0.816	0.816	0.871	0.816	0.871	ns
HSTL_I_DCI_12_F	0.322	0.378	0.399	0.378	0.399	0.393	0.406	0.429	0.406	0.429	0.502	0.534	0.564	0.534	0.564	ns
HSTL_I_DCI_12_M	0.322	0.378	0.399	0.378	0.399	0.551	0.556	0.586	0.556	0.586	0.644	0.654	0.694	0.654	0.694	ns
HSTL_I_DCI_12_S	0.322	0.378	0.399	0.378	0.399	0.754	0.754	0.803	0.754	0.803	0.842	0.842	0.907	0.842	0.907	ns
HSTL_I_DCI_18_F	0.258	0.321	0.339	0.321	0.339	0.422	0.445	0.461	0.445	0.461	0.509	0.566	0.595	0.566	0.595	ns
HSTL_I_DCI_18_M	0.258	0.321	0.339	0.321	0.339	0.551	0.554	0.585	0.554	0.585	0.634	0.643	0.684	0.643	0.684	ns
HSTL_I_DCI_18_S	0.258	0.321	0.339	0.321	0.339	0.761	0.761	0.817	0.761	0.817	0.836	0.836	0.900	0.836	0.900	ns
HSTL_I_DCI_F	0.288	0.393	0.415	0.393	0.415	0.407	0.431	0.445	0.431	0.445	0.517	0.555	0.575	0.555	0.575	ns
HSTL_I_DCI_M	0.288	0.393	0.415	0.393	0.415	0.548	0.552	0.581	0.552	0.581	0.635	0.644	0.684	0.644	0.684	ns
HSTL_I_DCI_S	0.288	0.393	0.415	0.393	0.415	0.766	0.766	0.821	0.766	0.821	0.847	0.847	0.912	0.847	0.912	ns
HSTL_I_F	0.322	0.378	0.399	0.378	0.399	0.409	0.423	0.443	0.423	0.443	0.514	0.549	0.581	0.549	0.581	ns
HSTL_I_M	0.322	0.378	0.399	0.378	0.399	0.548	0.554	0.585	0.554	0.585	0.624	0.640	0.677	0.640	0.677	ns
HSTL_I_S	0.322	0.378	0.399	0.378	0.399	0.766	0.766	0.816	0.766	0.816	0.811	0.811	0.866	0.811	0.866	ns
HSUL_12_DCI_F	0.319	0.378	0.399	0.378	0.399	0.411	0.425	0.443	0.425	0.443	0.520	0.558	0.586	0.558	0.586	ns
HSUL_12_DCI_M	0.319	0.378	0.399	0.378	0.399	0.551	0.556	0.586	0.556	0.586	0.644	0.654	0.694	0.654	0.694	ns
HSUL_12_DCI_S	0.319	0.378	0.399	0.378	0.399	0.736	0.736	0.784	0.736	0.784	0.821	0.821	0.886	0.821	0.886	ns
HSUL_12_F	0.305	0.378	0.399	0.378	0.399	0.394	0.412	0.430	0.412	0.430	0.494	0.538	0.566	0.538	0.566	ns
HSUL_12_M	0.305	0.378	0.399	0.378	0.399	0.551	0.551	0.582	0.551	0.582	0.632	0.642	0.679	0.642	0.679	ns
HSUL_12_S	0.305	0.378	0.399	0.378	0.399	0.750	0.750	0.799	0.750	0.799	0.813	0.813	0.868	0.813	0.868	ns
LVC MOS12_F_2	0.443	0.512	0.555	0.512	0.555	0.657	0.672	0.692	0.672	0.692	0.862	0.898	0.922	0.898	0.922	ns
LVC MOS12_F_4	0.443	0.512	0.555	0.512	0.555	0.486	0.504	0.521	0.504	0.521	0.645	0.664	0.693	0.664	0.693	ns
LVC MOS12_F_6	0.443	0.512	0.555	0.512	0.555	0.469	0.485	0.507	0.485	0.507	0.585	0.634	0.669	0.634	0.669	ns
LVC MOS12_F_8	0.443	0.512	0.555	0.512	0.555	0.457	0.465	0.489	0.465	0.489	0.592	0.611	0.666	0.611	0.666	ns
LVC MOS12_M_2	0.443	0.512	0.555	0.512	0.555	0.687	0.708	0.727	0.708	0.727	0.889	0.916	0.945	0.916	0.945	ns
LVC MOS12_M_4	0.443	0.512	0.555	0.512	0.555	0.533	0.550	0.573	0.550	0.573	0.629	0.664	0.690	0.664	0.690	ns
LVC MOS12_M_6	0.443	0.512	0.555	0.512	0.555	0.520	0.527	0.554	0.527	0.554	0.608	0.622	0.652	0.622	0.652	ns
LVC MOS12_M_8	0.443	0.512	0.555	0.512	0.555	0.532	0.540	0.571	0.540	0.571	0.606	0.614	0.649	0.614	0.649	ns

表 29: IOB 高性能 (HP) 开关特性 (续)

I/O 标准	T _{INBUF_DELAY_PAD_I}					T _{OUTBUF_DELAY_O_PAD}					T _{OUTBUF_DELAY_TD_PAD}					单位
	0.90V	0.85V	0.72V	0.90V	0.85V	0.72V	0.90V	0.85V	0.72V	0.90V	0.85V	0.72V	0.90V	0.85V	0.72V	
	-3	-2	-1	-2	-1	-3	-2	-1	-2	-1	-3	-2	-1	-2	-1	
LVC MOS12_S_2	0.443	0.512	0.555	0.512	0.555	0.767	0.767	0.803	0.767	0.803	0.981	0.990	1.024	0.990	1.024	ns
LVC MOS12_S_4	0.443	0.512	0.555	0.512	0.555	0.666	0.666	0.704	0.666	0.704	0.803	0.803	0.848	0.803	0.848	ns
LVC MOS12_S_6	0.443	0.512	0.555	0.512	0.555	0.657	0.657	0.695	0.657	0.695	0.732	0.732	0.774	0.732	0.774	ns
LVC MOS12_S_8	0.443	0.512	0.555	0.512	0.555	0.708	0.708	0.761	0.708	0.761	0.745	0.745	0.790	0.745	0.790	ns
LVC MOS15_F_12	0.368	0.414	0.445	0.414	0.445	0.485	0.500	0.522	0.500	0.522	0.584	0.647	0.682	0.647	0.682	ns
LVC MOS15_F_2	0.368	0.414	0.445	0.414	0.445	0.686	0.702	0.722	0.702	0.722	0.893	0.919	0.940	0.919	0.940	ns
LVC MOS15_F_4	0.368	0.414	0.445	0.414	0.445	0.567	0.579	0.601	0.579	0.601	0.727	0.755	0.781	0.755	0.781	ns
LVC MOS15_F_6	0.368	0.414	0.445	0.414	0.445	0.533	0.547	0.569	0.547	0.569	0.684	0.711	0.742	0.711	0.742	ns
LVC MOS15_F_8	0.368	0.414	0.445	0.414	0.445	0.500	0.518	0.538	0.518	0.538	0.635	0.686	0.703	0.686	0.703	ns
LVC MOS15_M_12	0.368	0.414	0.445	0.414	0.445	0.607	0.607	0.644	0.607	0.644	0.637	0.637	0.676	0.637	0.676	ns
LVC MOS15_M_2	0.368	0.414	0.445	0.414	0.445	0.736	0.741	0.770	0.741	0.770	0.929	0.938	0.962	0.938	0.962	ns
LVC MOS15_M_4	0.368	0.414	0.445	0.414	0.445	0.610	0.625	0.651	0.625	0.651	0.733	0.754	0.786	0.754	0.786	ns
LVC MOS15_M_6	0.368	0.414	0.445	0.414	0.445	0.564	0.576	0.604	0.576	0.604	0.655	0.674	0.710	0.674	0.710	ns
LVC MOS15_M_8	0.368	0.414	0.445	0.414	0.445	0.565	0.568	0.601	0.568	0.601	0.634	0.639	0.681	0.639	0.681	ns
LVC MOS15_S_12	0.368	0.414	0.445	0.414	0.445	0.788	0.788	0.855	0.788	0.855	0.695	0.695	0.733	0.695	0.733	ns
LVC MOS15_S_2	0.368	0.414	0.445	0.414	0.445	0.829	0.829	0.864	0.829	0.864	1.038	1.039	1.079	1.039	1.079	ns
LVC MOS15_S_4	0.368	0.414	0.445	0.414	0.445	0.687	0.687	0.725	0.687	0.725	0.813	0.813	0.851	0.813	0.851	ns
LVC MOS15_S_6	0.368	0.414	0.445	0.414	0.445	0.671	0.671	0.710	0.671	0.710	0.726	0.726	0.763	0.726	0.763	ns
LVC MOS15_S_8	0.368	0.414	0.445	0.414	0.445	0.704	0.704	0.755	0.704	0.755	0.721	0.721	0.758	0.721	0.758	ns
LVC MOS18_F_12	0.352	0.418	0.445	0.418	0.445	0.564	0.573	0.601	0.573	0.601	0.696	0.731	0.769	0.731	0.769	ns
LVC MOS18_F_2	0.352	0.418	0.445	0.418	0.445	0.723	0.739	0.760	0.739	0.760	0.918	0.945	0.971	0.945	0.971	ns
LVC MOS18_F_4	0.352	0.418	0.445	0.418	0.445	0.598	0.609	0.630	0.609	0.630	0.749	0.778	0.802	0.778	0.802	ns
LVC MOS18_F_6	0.352	0.418	0.445	0.418	0.445	0.598	0.603	0.633	0.603	0.633	0.781	0.781	0.808	0.781	0.808	ns
LVC MOS18_F_8	0.352	0.418	0.445	0.418	0.445	0.567	0.573	0.600	0.573	0.600	0.712	0.733	0.767	0.733	0.767	ns
LVC MOS18_M_12	0.352	0.418	0.445	0.418	0.445	0.640	0.640	0.678	0.640	0.678	0.670	0.670	0.709	0.670	0.709	ns
LVC MOS18_M_2	0.352	0.418	0.445	0.418	0.445	0.785	0.798	0.822	0.798	0.822	0.986	0.991	1.016	0.991	1.016	ns
LVC MOS18_M_4	0.352	0.418	0.445	0.418	0.445	0.658	0.664	0.693	0.664	0.693	0.786	0.798	0.836	0.798	0.836	ns
LVC MOS18_M_6	0.352	0.418	0.445	0.418	0.445	0.625	0.629	0.663	0.629	0.663	0.727	0.735	0.775	0.735	0.775	ns
LVC MOS18_M_8	0.352	0.418	0.445	0.418	0.445	0.626	0.626	0.661	0.626	0.661	0.705	0.705	0.746	0.705	0.746	ns
LVC MOS18_S_12	0.352	0.418	0.445	0.418	0.445	0.795	0.795	0.861	0.795	0.861	0.683	0.683	0.721	0.683	0.721	ns
LVC MOS18_S_2	0.352	0.418	0.445	0.418	0.445	0.861	0.862	0.897	0.862	0.897	1.061	1.076	1.098	1.076	1.098	ns
LVC MOS18_S_4	0.352	0.418	0.445	0.418	0.445	0.716	0.716	0.758	0.716	0.758	0.829	0.829	0.872	0.829	0.872	ns
LVC MOS18_S_6	0.352	0.418	0.445	0.418	0.445	0.682	0.682	0.724	0.682	0.724	0.724	0.724	0.762	0.724	0.762	ns
LVC MOS18_S_8	0.352	0.418	0.445	0.418	0.445	0.707	0.707	0.760	0.707	0.760	0.709	0.709	0.745	0.709	0.745	ns
LVDCI_15_F	0.369	0.425	0.462	0.425	0.462	0.407	0.426	0.443	0.426	0.443	0.514	0.548	0.581	0.548	0.581	ns
LVDCI_15_M	0.369	0.425	0.462	0.425	0.462	0.549	0.553	0.582	0.553	0.582	0.632	0.645	0.685	0.645	0.685	ns
LVDCI_15_S	0.369	0.425	0.462	0.425	0.462	0.749	0.749	0.803	0.749	0.803	0.821	0.821	0.890	0.821	0.890	ns
LVDCI_18_F	0.367	0.414	0.447	0.414	0.447	0.422	0.441	0.459	0.441	0.459	0.541	0.560	0.589	0.560	0.589	ns
LVDCI_18_M	0.367	0.414	0.447	0.414	0.447	0.546	0.554	0.585	0.554	0.585	0.622	0.644	0.683	0.644	0.683	ns
LVDCI_18_S	0.367	0.414	0.447	0.414	0.447	0.760	0.760	0.818	0.760	0.818	0.837	0.837	0.899	0.837	0.899	ns

表 29: IOB 高性能 (HP) 开关特性 (续)

I/O 标准	T _{INBUF_DELAY_PAD_I}					T _{OUTBUF_DELAY_O_PAD}					T _{OUTBUF_DELAY_TD_PAD}					单位
	0.90V	0.85V	0.72V	0.90V	0.85V	0.72V	0.90V	0.85V	0.72V	0.90V	0.85V	0.72V	0.90V	0.85V	0.72V	
	-3	-2	-1	-2	-1	-3	-2	-1	-2	-1	-3	-2	-1	-2	-1	
LVDS	0.508	0.539	0.620	0.539	0.620	0.626	0.626	0.662	0.626	0.662	960.447					ns
MIPI_DPHY_DCI_HS	0.305	0.386	0.415	0.386	0.415	0.489	0.502	0.522	0.502	0.522	不适用	不适用	不适用	不适用	不适用	ns
MIPI_DPHY_DCI_LP	8.438	8.438	8.792	8.438	8.792	0.895	0.914	0.937	0.914	0.937	不适用	不适用	不适用	不适用	不适用	ns
POD10_DCI_F	0.336	0.408	0.430	0.408	0.430	0.407	0.425	0.444	0.425	0.444	0.512	0.555	0.584	0.555	0.584	ns
POD10_DCI_M	0.336	0.408	0.430	0.408	0.430	0.533	0.542	0.571	0.542	0.571	0.618	0.640	0.681	0.640	0.681	ns
POD10_DCI_S	0.336	0.408	0.430	0.408	0.430	0.724	0.754	0.815	0.754	0.815	0.815	0.850	0.917	0.850	0.917	ns
POD10_F	0.336	0.407	0.430	0.407	0.430	0.425	0.438	0.459	0.438	0.459	0.531	0.569	0.601	0.569	0.601	ns
POD10_M	0.336	0.407	0.430	0.407	0.430	0.519	0.538	0.568	0.538	0.568	0.589	0.630	0.667	0.630	0.667	ns
POD10_S	0.336	0.407	0.430	0.407	0.430	0.752	0.766	0.821	0.766	0.821	0.821	0.836	0.894	0.836	0.894	ns
POD12_DCI_F	0.336	0.409	0.431	0.409	0.431	0.411	0.425	0.443	0.425	0.443	0.519	0.558	0.586	0.558	0.586	ns
POD12_DCI_M	0.336	0.409	0.431	0.409	0.431	0.516	0.543	0.572	0.543	0.572	0.602	0.638	0.678	0.638	0.678	ns
POD12_DCI_S	0.336	0.409	0.431	0.409	0.431	0.740	0.772	0.822	0.772	0.822	0.833	0.862	0.929	0.862	0.929	ns
POD12_F	0.336	0.409	0.431	0.409	0.431	0.438	0.455	0.476	0.455	0.476	0.549	0.595	0.626	0.595	0.626	ns
POD12_M	0.336	0.409	0.431	0.409	0.431	0.551	0.551	0.582	0.551	0.582	0.632	0.641	0.679	0.641	0.679	ns
POD12_S	0.336	0.409	0.431	0.409	0.431	0.749	0.767	0.817	0.767	0.817	0.818	0.832	0.889	0.832	0.889	ns
SLVS_400_18	0.492	0.539	0.620	0.539	0.620	不适用	不适用	不适用	不适用	不适用	不适用	不适用	不适用	不适用	不适用	ns
SSTL12_DCI_F	0.331	0.381	0.399	0.381	0.399	0.411	0.425	0.443	0.425	0.443	0.520	0.558	0.586	0.558	0.586	ns
SSTL12_DCI_M	0.331	0.381	0.399	0.381	0.399	0.549	0.557	0.587	0.557	0.587	0.643	0.654	0.694	0.654	0.694	ns
SSTL12_DCI_S	0.331	0.381	0.399	0.381	0.399	0.754	0.754	0.803	0.754	0.803	0.842	0.842	0.908	0.842	0.908	ns
SSTL12_F	0.320	0.403	0.403	0.403	0.403	0.394	0.412	0.430	0.412	0.430	0.494	0.538	0.566	0.538	0.566	ns
SSTL12_M	0.320	0.403	0.403	0.403	0.403	0.550	0.553	0.584	0.553	0.584	0.630	0.641	0.676	0.641	0.676	ns
SSTL12_S	0.320	0.403	0.403	0.403	0.403	0.758	0.758	0.808	0.758	0.808	0.823	0.823	0.879	0.823	0.879	ns
SSTL135_DCI_F	0.341	0.366	0.399	0.366	0.399	0.392	0.411	0.428	0.411	0.428	0.494	0.537	0.565	0.537	0.565	ns
SSTL135_DCI_M	0.341	0.366	0.399	0.366	0.399	0.551	0.551	0.582	0.551	0.582	0.643	0.645	0.685	0.645	0.685	ns
SSTL135_DCI_S	0.341	0.366	0.399	0.366	0.399	0.746	0.746	0.799	0.746	0.799	0.829	0.829	0.893	0.829	0.893	ns
SSTL135_F	0.321	0.378	0.399	0.378	0.399	0.393	0.408	0.428	0.408	0.428	0.491	0.528	0.561	0.528	0.561	ns
SSTL135_M	0.321	0.378	0.399	0.378	0.399	0.548	0.555	0.585	0.555	0.585	0.621	0.641	0.679	0.641	0.679	ns
SSTL135_S	0.321	0.378	0.399	0.378	0.399	0.772	0.772	0.823	0.772	0.823	0.827	0.827	0.878	0.827	0.878	ns
SSTL15_DCI_F	0.319	0.402	0.417	0.402	0.417	0.394	0.412	0.429	0.412	0.429	0.497	0.531	0.563	0.531	0.563	ns
SSTL15_DCI_M	0.319	0.402	0.417	0.402	0.417	0.549	0.553	0.583	0.553	0.583	0.632	0.645	0.685	0.645	0.685	ns
SSTL15_DCI_S	0.319	0.402	0.417	0.402	0.417	0.768	0.768	0.822	0.768	0.822	0.847	0.847	0.912	0.847	0.912	ns
SSTL15_F	0.320	0.371	0.400	0.371	0.400	0.393	0.408	0.428	0.408	0.428	0.494	0.530	0.556	0.530	0.556	ns
SSTL15_M	0.320	0.371	0.400	0.371	0.400	0.547	0.554	0.585	0.554	0.585	0.624	0.639	0.677	0.639	0.677	ns
SSTL15_S	0.320	0.371	0.400	0.371	0.400	0.767	0.767	0.817	0.767	0.817	0.813	0.813	0.867	0.813	0.867	ns
SSTL18_I_DCI_F	0.256	0.329	0.336	0.329	0.336	0.422	0.445	0.461	0.445	0.461	0.540	0.566	0.595	0.566	0.595	ns
SSTL18_I_DCI_M	0.256	0.329	0.336	0.329	0.336	0.552	0.554	0.585	0.554	0.585	0.629	0.644	0.683	0.644	0.683	ns
SSTL18_I_DCI_S	0.256	0.329	0.336	0.329	0.336	0.762	0.762	0.818	0.762	0.818	0.837	0.837	0.899	0.837	0.899	ns
SSTL18_I_F	0.259	0.316	0.337	0.316	0.337	0.439	0.454	0.476	0.454	0.476	0.549	0.578	0.608	0.578	0.608	ns

表 29: IOB 高性能 (HP) 开关特性 (续)

I/O 标准	T _{INBUF_DELAY_PAD_I}					T _{OUTBUF_DELAY_O_PAD}					T _{OUTBUF_DELAY_TD_PAD}					单位
	0.90V		0.85V		0.72V	0.90V		0.85V		0.72V	0.90V		0.85V		0.72V	
	-3	-2	-1	-2	-1	-3	-2	-1	-2	-1	-3	-2	-1	-2	-1	
SSTL18_I_M	0.259	0.316	0.337	0.316	0.337	0.567	0.571	0.603	0.571	0.603	0.535	0.652	0.692	0.652	0.692	ns
SSTL18_I_S	0.259	0.316	0.337	0.316	0.337	0.782	0.782	0.835	0.782	0.835	0.816	0.816	0.870	0.816	0.870	ns
SUB_LVDS	0.508	0.539	0.620	0.539	0.620	0.658	0.660	0.692	0.660	0.692	907.4	969.863				ns

IOB 三态输出开关特性

表 30 指定了 T_{OUTBUF_DELAY_TE_PAD} 和 T_{INBUF_DELAY_IBUFDIS_O} 的值。

- T_{OUTBUF_DELAY_TE_PAD} 是启用三态的情况下（即，高阻抗状态下），从 T 引脚通过 IOB 焊盘的输出缓存到 IOB 焊盘的延迟。
- T_{INBUF_DELAY_IBUFDIS_O} 是从 IBUFDISABLE 到 O 输出的 IOB 延迟。
- 在 HP I/O bank 中，使用 DCITERMDISABLE 引脚时，内部 DCI 终端关闭时间始终比 T_{OUTBUF_DELAY_TE_PAD} 更短。
- 在 HD I/O bank 中，使用 INTERMDISABLE 引脚时，内部 IN_TERM 终端关闭时间始终比 T_{OUTBUF_DELAY_TE_PAD} 更短。

表 30: IOB 三态输出开关特性

标识	描述	速度等级和 V _{CCINT} 工作电压					单位
		0.90V	0.85V		0.72V		
		-3	-2	-1	-2	-1	
T _{OUTBUF_DELAY_TE_PAD}	T 输入到 HD I/O bank 的焊盘高阻抗	6.167	6.318	6.369	6.699	6.752	ns
	T 输入到 HP I/O bank 的焊盘高阻抗	5.330	5.330	5.341	5.330	5.341	ns
T _{INBUF_DELAY_IBUFDIS_O}	从 IBUFDISABLE 到 HD I/O bank 的 O 输出的 IBUF 开启时间	2.266	2.266	2.430	2.266	2.430	ns
	从 IBUFDISABLE 到 HP I/O bank 的 O 输出的 IBUF 开启时间	0.873	0.936	1.037	0.936	1.037	ns

输入延迟测量方法

下表显示了用于测量输入延迟的测试设置参数。

表 31: 输入延迟测量方法

描述	I/O 标准属性	V _L ^{1,2}	V _H ^{1,2}	V _{MEAS} ^{1,4}	V _{REF} ^{1,3,5}
LVC MOS, 1.2V	LVC MOS12	0.1	1.1	0.6	-
LVC MOS, LVDCI, HSLVDCI, 1.5V	LVC MOS15、LVDCI_15 和 HSLVDCI_15	0.1	1.4	0.75	-
LVC MOS, LVDCI, HSLVDCI, 1.8V	LVC MOS18、LVDCI_18 和 HSLVDCI_18	0.1	1.7	0.9	-
LVC MOS, 2.5V	LVC MOS25	0.1	2.4	1.25	-
LVC MOS, 3.3V	LVC MOS33	0.1	3.2	1.65	-
LV TTL, 3.3V	LV TTL	0.1	3.2	1.65	-
高速收发器逻辑 (HSTL), I 类, 1.2V	HSTL_I_12	V _{REF} - 0.25	V _{REF} + 0.25	V _{REF}	0.6
HSTL, I 类, 1.5V	HSTL_I	V _{REF} - 0.325	V _{REF} + 0.325	V _{REF}	0.75
HSTL, I 类, 1.8V	HSTL_I_18	V _{REF} - 0.4	V _{REF} + 0.4	V _{REF}	0.9

表 31: 输入延迟测量方法 (续)

描述	I/O 标准属性	$V_L^{1,2}$	$V_H^{1,2}$	$V_{MEAS}^{1,4}$	$V_{REF}^{1,3,5}$
高速无终端逻辑 (HSUL), 1.2V	HSUL_12	$V_{REF} - 0.25$	$V_{REF} + 0.25$	V_{REF}	0.6
短截线串联终端逻辑 (SSTL12), 1.2V	SSTL12	$V_{REF} - 0.25$	$V_{REF} + 0.25$	V_{REF}	0.6
SSTL135 和 SSTL135 II 类, 1.35V	SSTL135, SSTL135_II	$V_{REF} - 0.2875$	$V_{REF} + 0.2875$	V_{REF}	0.675
SSTL15 和 SSTL15 II 类, 1.5V	SSTL15, SSTL15_II	$V_{REF} - 0.325$	$V_{REF} + 0.325$	V_{REF}	0.75
SSTL18, I 类和 II 类, 1.8V	SSTL18_I, SSTL18_II	$V_{REF} - 0.4$	$V_{REF} + 0.4$	V_{REF}	0.9
POD10, 1.0V	POD10	$V_{REF} - 0.2$	$V_{REF} + 0.2$	V_{REF}	0.7
POD12, 1.2V	POD12	$V_{REF} - 0.24$	$V_{REF} + 0.24$	V_{REF}	0.84
DIFF_HSTL, I 类, 1.2V	DIFF_HSTL_I_12	$0.6 - 0.25$	$0.6 + 0.25$	0^6	-
DIFF_HSTL, I 类, 1.5V	DIFF_HSTL_I	$0.75 - 0.325$	$0.75 + 0.325$	0^6	-
DIFF_HSTL, I 类, 1.8V	DIFF_HSTL_I_18	$0.9 - 0.4$	$0.9 + 0.4$	0^6	-
DIFF_HSUL, 1.2V	DIFF_HSUL_12	$0.6 - 0.25$	$0.6 + 0.25$	0^6	-
DIFF_SSTL, 1.2V	DIFF_SSTL12	$0.6 - 0.25$	$0.6 + 0.25$	0^6	-
DIFF_SSTL135 和 DIFF_SSTL135 II 类, 1.35V	DIFF_SSTL135, DIFF_SSTL135_II	$0.675 - 0.2875$	$0.675 + 0.2875$	0^6	-
DIFF_SSTL15 和 DIFF_SSTL15 II 类, 1.5V	DIFF_SSTL15, DIFF_SSTL15_II	$0.75 - 0.325$	$0.75 + 0.325$	0^6	-
DIFF_SSTL18_I, DIFF_SSTL18_II, 1.8V	DIFF_SSTL18_I, DIFF_SSTL18_II	$0.9 - 0.4$	$0.9 + 0.4$	0^6	-
DIFF_POD10, 1.0V	DIFF_POD10	$0.5 - 0.2$	$0.5 + 0.2$	0^6	-
DIFF_POD12, 1.2V	DIFF_POD12	$0.6 - 0.25$	$0.6 + 0.25$	0^6	-
低压差分信号 (LVDS), 1.8V	LVDS	$0.9 - 0.125$	$0.9 + 0.125$	0^6	-
LVDS_25, 2.5V	LVDS_25	$1.25 - 0.125$	$1.25 + 0.125$	0^6	-
SUB_LVDS, 1.8V	SUB_LVDS	$0.9 - 0.125$	$0.9 + 0.125$	0^6	-
SLVS, 1.8V	SLVS_400_18	$0.9 - 0.125$	$0.9 + 0.125$	0^6	-
SLVS, 2.5V	SLVS_400_25	$1.25 - 0.125$	$1.25 + 0.125$	0^6	-
LVPECL, 2.5V	LVPECL	$1.25 - 0.125$	$1.25 + 0.125$	0^6	-
MIPI D-PHY (高速) 1.2V	MIPI_DPHY_DCI_HS	$0.2 - 0.125$	$0.2 + 0.125$	0^6	-
MIPI D-PHY (低功耗) 1.2V	MIPI_DPHY_DCI_LP	$0.715 - 0.2$	$0.715 + 0.2$	0^6	-

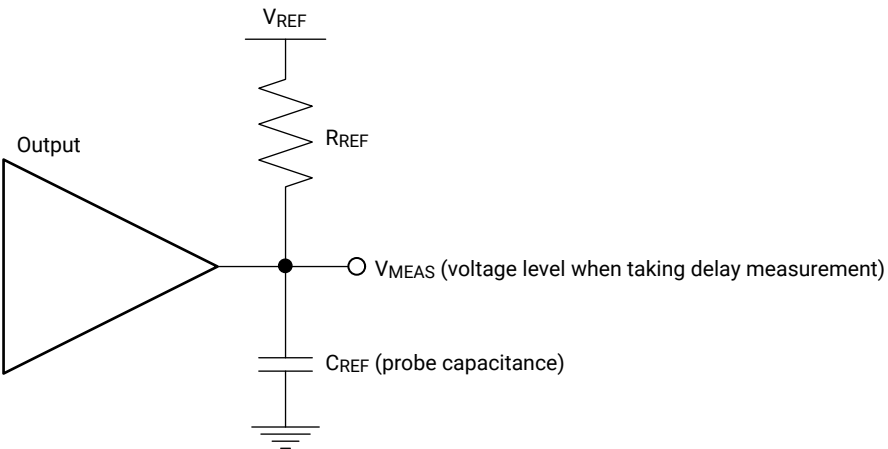
注释:

- 对于相同电压下的 LVCMOS 标准, LVDCI/HSLVDCI 的输入延迟测量方法参数是相同的。对于对应的非 DCI 标准, 所有其他 DCI 标准的参数都是相同的。
- V_L 与 V_H 之间的输入波形开关。
- 采用 V_{REF} 典型值、最小值和最大值进行测量。报告的延迟反映的是这些测量的最差情况。列出的 V_{REF} 值均为典型值。
- 开始测量时的输入电压电平。
- 此输入电压参考值与 IBIS 模型和/或图 1 中标注的 V_{REF}/V_{MEAS} 参数无关。
- 给定的值是差分输入电压。

输出延迟测量方法

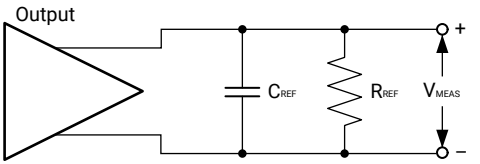
输出延迟是通过短输出走线来测量的。所有测试都使用标准终止。走线的传输延迟从最终测量结果中剔除出来单独鉴别, 因此不包含在图 1 和图 2 中所示的通用测试设置中。

图 1：单端测试设置：



X16654-072117

图 2：差分测试设置



X16640-072117

参数 V_{REF} 、 R_{REF} 、 C_{REF} 和 V_{MEAS} 完整描述了每一项 I/O 标准的测试条件。可通过 IBIS 仿真采用如下方法获取任意给定应用中的传输延迟的最准确的预测结果：

1. 使用来自表 32 的值将所选输出驱动仿真到通用测试设置中。
2. 将时间记录到 V_{MEAS} 内。
3. 将所选输出驱动仿真到实际 PCB 走线和负载中，使用相应的 IBIS 模型或电容值来表示负载。
4. 将时间记录到 V_{MEAS} 内。
5. 比对步骤 2 和步骤 4 的结果。延迟的增减将导致 PCB 走线实际产生传输延迟。

表 32：输出延迟测量方法

描述	I/O 标准属性	R_{REF} (Ω)	C_{REF} ¹ (pF)	V_{MEAS} (V)	V_{REF} (V)
LVC MOS, 1.2V	LVC MOS12	1M	0	0.6	0
LVC MOS, 1.5V	LVC MOS15	1M	0	0.75	0
LVC MOS, 1.8V	LVC MOS18	1M	0	0.9	0
LVC MOS, 2.5V	LVC MOS25	1M	0	1.25	0
LVC MOS, 3.3V	LVC MOS33	1M	0	1.65	0
LVTTL, 3.3V	LVTTL	1M	0	1.65	0
LVDCI, HSLVDCI, 1.5V	LVDCI_15、HSLVDCI_15	50	0	V_{REF}	0.75
LVDCI, HSLVDCI, 1.8V	LVDCI_15、HSLVDCI_18	50	0	V_{REF}	0.9
高速收发器逻辑 (HSTL), I 类, 1.2V	HSTL_I_12	50	0	V_{REF}	0.6
HSTL, I 类, 1.5V	HSTL_I	50	0	V_{REF}	0.75
HSTL, I 类, 1.8V	HSTL_I_18	50	0	V_{REF}	0.9
高速无终端逻辑 (HSUL), 1.2V	HSUL_12	50	0	V_{REF}	0.6

表 32: 输出延迟测量方法 (续)

描述	I/O 标准属性	R_{REF} (Ω)	C_{REF} ¹ (pF)	V_{MEAS} (V)	V_{REF} (V)
短截线串联终端逻辑 (SSTL12), 1.2V	SSTL12	50	0	V_{REF}	0.6
SSTL135 和 SSTL135 II 类, 1.35V	SSTL135, SSTL135_II	50	0	V_{REF}	0.675
SSTL15 和 SSTL15 II 类, 1.5V	SSTL15, SSTL15_II	50	0	V_{REF}	0.75
SSTL18, I 类和 II 类, 1.8V	SSTL18_I, SSTL18_II	50	0	V_{REF}	0.9
POD10, 1.0V	POD10	50	0	V_{REF}	1.0
POD12, 1.2V	POD12	50	0	V_{REF}	1.2
DIFF_HSTL, I 类, 1.2V	DIFF_HSTL_I_12	50	0	V_{REF}	0.6
DIFF_HSTL, I 类, 1.5V	DIFF_HSTL_I	50	0	V_{REF}	0.75
DIFF_HSTL, I 类, 1.8V	DIFF_HSTL_I_18	50	0	V_{REF}	0.9
DIFF_HSUL, 1.2V	DIFF_HSUL_12	50	0	V_{REF}	0.6
DIFF_SSTL12, 1.2V	DIFF_SSTL12	50	0	V_{REF}	0.6
DIFF_SSTL135 和 DIFF_SSTL135 II 类, 1.35V	DIFF_SSTL135, DIFF_SSTL135_II	50	0	V_{REF}	0.675
DIFF_SSTL15 和 DIFF_SSTL15 II 类, 1.5V	DIFF_SSTL15, DIFF_SSTL15_II	50	0	V_{REF}	0.75
DIFF_SSTL18, I 类和 II 类, 1.8V	DIFF_SSTL18_I, DIFF_SSTL18_II	50	0	V_{REF}	0.9
DIFF_POD10, 1.0V	DIFF_POD10	50	0	V_{REF}	1.0
DIFF_POD12, 1.2V	DIFF_POD12	50	0	V_{REF}	1.2
低压差分信号 (LVDS), 1.8V	LVDS	100	0	0 ²	0
SUB_LVDS, 1.8V	SUB_LVDS	100	0	0 ²	0
MIPI D-PHY (高速) 1.2V	MIPI_DPHY_DCI_HS	100	0	0 ²	0
MIPI D-PHY (低功耗) 1.2V	MIPI_DPHY_DCI_LP	1M	0	0.6	0

注释:

- C_{REF} 是探针的电容, 额定值为 0 pF。
- 给定的值是差分输出电压。

块 RAM 和 FIFO 开关特性

表 33: 块 RAM 和 FIFO 开关特性

标识	描述	速度等级和 V _{CCINT} 工作电压					单位
		0.90V	0.85V		0.72V		
		-3	-2	-1	-2	-1	
最高频率							
F _{MAX_WF_NC}	块 RAM (WRITE_FIRST 和 NO_CHANGE 模式)	825	738	645	585	516	MHz
F _{MAX_RF}	块 RAM (READ_FIRST 模式)	718	637	575	510	460	MHz
F _{MAX_FIFO}	所有模式下的 FIFO (无 ECC)	825	738	645	585	516	MHz
F _{MAX_ECC}	ECC 配置中的块 RAM 和 FIFO (无 PIPELINE)	718	637	575	510	460	MHz
	ECC 配置中的块 RAM 和 FIFO (含 PIPELINE) 以及 WRITE_FIRST 模式或 NO_CHANGE 模式下的块 RAM	825	738	645	585	516	MHz
T _{PW} ¹	最小脉冲宽度	495	542	543	577	578	ps
块 RAM 和 FIFO 时钟到输出 (Clock-to-Out) 延迟							
T _{RCKO_DO}	时钟 CLK 到 DOUT 输出 (无输出寄存器)	0.91	1.02	1.11	1.46	1.53	ns, 最大值
T _{RCKO_DO_REG}	时钟 CLK 到 DOUT 输出 (含输出寄存器)	0.27	0.29	0.30	0.42	0.44	ns, 最大值

注释:

1. MMCM 和 PLL DUTY_CYCLE 属性应设置为 50% 以满足更高频率下的脉冲宽度需求。

UltraRAM 开关特性

《UltraScale 架构和产品数据手册: 简介》(DS890) 列出了包含此存储器的 Kintex UltraScale+ FPGA。

表 34: UltraRAM 开关特性

标识	描述	速度等级和 V _{CCINT} 工作电压					单位
		0.90V	0.85V		0.72V		
		-3	-2	-1	-2	-1	
最高频率							
F _{MAX}	OREG_B = True 时 UltraRAM 最高频率	650	600	575	500	481	MHz
F _{MAX_ECC_NOPIPELINE}	OREG_B = False 且 EN_ECC_RD_B = True 时 UltraRAM 最高频率	435	400	386	312	303	MHz
F _{MAX_NOPIPELINE}	OREG_B = False 且 EN_ECC_RD_B = False 时 UltraRAM 最高频率	528	500	478	404	389	MHz
T _{PW} ¹	最小脉冲宽度	650	700	730	800	832	ps
T _{RSTPW}	异步复位最小脉冲宽度需 1 个周期	1 个时钟周期					

注释:

1. MMCM 和 PLL DUTY_CYCLE 属性应设置为 50% 以满足更高频率下的脉冲宽度需求。

输入/输出延迟开关特性

表 35: 输入/输出延迟开关特性

标识	描述	速度等级和 V _{CCINT} 工作电压					单位
		0.90V	0.85V		0.72V		
		-3	-2	-1	-2	-1	
F _{REFCLK}	IDELAYCTRL 的参考时钟频率（命令模式）	300 - 800					MHz
	在本机模式下使用含 REFCLK 的 BITSlice_CONTROL 时的参考时钟频率（仅适用于 RX_BITSlice）	300 - 800					MHz
	在本机模式下使用含 PLL_CLK 的 BITSlice_CONTROL 时的参考时钟频率 ¹	300 - 2666.67	300 - 2666.67	300 - 2400	300 - 2400	300 - 2133	MHz
T _{MINPER_CLK}	IDELAY 时钟的最短周期	3.195	3.195	3.195	3.195	3.195	ns
T _{MINPER_RST}	最小复位脉冲宽度	52.00					ns
T _{IDELAY_RESOLUTION} / T _{ODELAY_RESOLUTION}	IDELAY/ODELAY 链分辨率	2.1 - 12					ps

注释:

- PLL 设置可限制最低可允许数据速率。例如, 使用 CLKOUTPHY_MODE = VCO_HALF 的 PLL 时, 最低频率为 PLL_F_{VCOMIN}/2。

DSP48 slice 开关特性

表 36: DSP48 slice 开关特性

标识	描述	速度等级和 V _{CCINT} 工作电压					单位
		0.90V	0.85V		0.72V ¹		
		-3	-2	-1	-2	-1	
最高频率							
F _{MAX}	使用所有寄存器的情况下	891	775	645	644	600	MHz
F _{MAX_PATDET}	含模式检测器	794	687	571	562	524	MHz
F _{MAX_MULT_NOMREG}	两个寄存器相乘，无 MREG	635	544	456	440	413	MHz
F _{MAX_MULT_NOMREG_PATDET}	两个寄存器相乘，无 MREG，含模式检测	577	492	410	395	371	MHz
F _{MAX_PREADD_NOADREG}	无 ADREG	655	565	468	453	423	MHz
F _{MAX_NOPIPELINEREG}	无流水线寄存器（MREG 和 ADREG）	483	410	338	323	304	MHz
F _{MAX_NOPIPELINEREG_PATDET}	无流水线寄存器（MREG 和 ADREG），含模式检测	448	379	314	299	280	MHz

注释:

- 对于以较低功耗的 V_{CCINT} = 0.72V 电压工作的器件, 跨时钟区域中心的 DSP 级联可能以低于指定 F_{MAX} 的电压工作。

时钟缓存和网络

表 37: 时钟缓存开关特性

标识	描述	速度等级和 V _{CCINT} 工作电压					单位
		0.90V	0.85V		0.72V		
		-3	-2	-1	-2	-1	
全局时钟开关特性（包括 BUFGCTRL）							
F _{MAX}	全局时钟树的最高频率 (BUFG)	891	775	667	725	667	MHz
含输入分频功能的全局时钟缓存 (BUFGCE_DIV)							
F _{MAX}	含输入分频功能的全局时钟缓存的最高频率 (BUFGCE_DIV)	891	775	667	725	667	MHz
含时钟使能的全局时钟缓存 (BUFGCE)							
F _{MAX}	含时钟使能的全局时钟缓存的最高频率 (BUFGCE)	891	775	667	725	667	MHz
含时钟使能的叶时钟缓存 (BUFCE_LEAF)							
F _{MAX}	含时钟使能的叶时钟缓存的最高频率 (BUFCE_LEAF)	891	775	667	725	667	MHz
含时钟使能和时钟输入分频功能的 GTH 或 GTY 时钟缓存 (BUFG_GT)							
F _{MAX}	含时钟使能和时钟输入分频功能的串行收发器时钟缓存的最高频率	512	512	512	512	512	MHz

MMCM 开关特性

表 38: MMCM 规格

标识	描述	速度等级和 V _{CCINT} 工作电压					单位
		0.90V	0.85V		0.72V		
		-3	-2	-1	-2	-1	
MMCM_F _{INMAX}	最高输入时钟频率	1066	933	800	933	800	MHz
MMCM_F _{INMIN}	最低输入时钟频率	10	10	10	10	10	MHz
MMCM_F _{INJITTER}	最大输入时钟周期抖动	< 时钟输入周期的 20%，或者最大值为 1 ns					
MMCM_F _{INDUTY}	输入占空比范围：10 - 49 MHz	25-75					%
	输入占空比范围：50 - 199 MHz	30-70					%
	输入占空比范围：200 - 399 MHz	35-65					%
	输入占空比范围：400 - 499 MHz	40-60					%
	输入占空比范围：> 500 MHz	45-55					%
MMCM_F _{MIN_PSCLK}	最低动态相移时钟频率	0.01	0.01	0.01	0.01	0.01	MHz
MMCM_F _{MAX_PSCLK}	最高动态相移时钟频率	550	500	450	500	450	MHz
MMCM_F _{VCOMIN}	最低 MMCM VCO 频率	800	800	800	800	800	MHz
MMCM_F _{VCOMAX}	最高 MMCM VCO 频率	1600	1600	1600	1600	1600	MHz
MMCM_F _{BANDWIDTH}	典型情况下低 MMCM 带宽 ¹	1.00	1.00	1.00	1.00	1.00	MHz
	典型情况下高 MMCM 带宽 ¹	4.00	4.00	4.00	4.00	4.00	MHz
MMCM_T _{STATPHAOFFSET}	MMCM 输出的静态相位偏移 ²	0.12	0.12	0.12	0.12	0.12	ns
MMCM_T _{OUTJITTER}	MMCM 输出抖动。	注释 ³					
MMCM_T _{OUTDUTY}	MMCM 输出时钟占空比精度 ⁴	0.165	0.20	0.20	0.20	0.20	ns
MMCM_T _{LOCKMAX}	MMCM_F _{PFDMIN} 的 MMCM 最长锁定时间	100	100	100	100	100	μs
MMCM_F _{OUTMAX}	MMCM 最高输出频率	891	775	667	725	667	MHz
MMCM_F _{OUTMIN}	MMCM 最低输出频率 ^{4,5}	6.25	6.25	6.25	6.25	6.25	MHz
MMCM_T _{EXTFDVAR}	外部时钟反馈变化	< 时钟输入周期的 20%，或者最大值为 1 ns					
MMCM_RST _{MINPULSE}	最小复位脉冲宽度	5.00	5.00	5.00	5.00	5.00	ns
MMCM_F _{PFDMAX}	相位频率检测器测得的最高频率	550	500	450	500	450	MHz
MMCM_F _{PFDMIN}	相位频率检测器测得的最低频率	10	10	10	10	10	MHz
MMCM_T _{FBDELAY}	反馈路径中的最大延迟	最大值 5 ns，或者一个时钟周期					
MMCM_F _{DPRCLK_MAX}	最高 DRP 时钟频率	250	250	250	250	250	MHz

注释:

- MMCM 不会对典型扩展频谱输入时钟进行滤波，因为此类时钟通常远低于带宽滤波频率。
- 静态偏移测量的是相同相位的任意 MMCM 输出之间的偏移。
- 此参数的值可在 Clocking Wizard 中使用。
- 包含全局时钟缓存。
- 计算方式为 F_{VCO}/128，假定输出占空比为 50%。

PLL 开关特性

表 39: PLL 规格

标识	描述 ¹	速度等级和 V _{CCINT} 工作电压					单位
		0.90V	0.85V		0.72V		
		-3	-2	-1	-2	-1	
PLL_F _{INMAX}	最高输入时钟频率	1066	933	800	933	800	MHz
PLL_F _{INMIN}	最低输入时钟频率	70	70	70	70	70	MHz
PLL_F _{INJITTER}	最大输入时钟周期抖动	< 时钟输入周期的 20%，或者最大值为 1 ns					
PLL_F _{INDUTY}	输入占空比范围：70 - 399 MHz	35-65					%
	输入占空比范围：400 - 499 MHz	40-60					%
	输入占空比范围：> 500 MHz	45-55					%
PLL_F _{VCOMIN}	最低 PLL VCO 频率	750	750	750	750	750	MHz
PLL_F _{VCOMAX}	最高 PLL VCO 频率	1500	1500	1500	1500	1500	MHz
PLL_T _{STATPHAOFFSET}	PLL 输出的静态相位偏移 ²	0.12	0.12	0.12	0.12	0.12	ns
PLL_T _{OUTJITTER}	PLL 输出抖动。	注释 ³					
PLL_T _{OUTDUTY}	PLL CLKOUT0、CLKOUT0B、CLKOUT1 和 CLKOUT1B 占空比精度 ⁴	0.165	0.20	0.20	0.20	0.20	ns
PLL_T _{LOCKMAX}	PLL 最长锁定时间	100					μs
PLL_F _{OUTMAX}	处于 CLKOUT0、CLKOUT0B、CLKOUT1 和 CLKOUT1B 时的 PLL 最高输出频率	891	775	667	725	667	MHz
	处于 CLKOUTPHY 时的 PLL 最高输出频率	2667	2667	2400	2400	2133	MHz
PLL_F _{OUTMIN}	处于 CLKOUT0、CLKOUT0B、CLKOUT1 和 CLKOUT1B 时的 PLL 最低输出频率 ⁵	5.86	5.86	5.86	5.86	5.86	MHz
	处于 CLKOUTPHY 时的 PLL 最低输出频率	2 x VCO 模式：1500，1 x VCO 模式：750，0.5 x VCO 模式：375					MHz
PLL_RST _{MINPULSE}	最小复位脉冲宽度	5.00	5.00	5.00	5.00	5.00	ns
PLL_F _{PFDMAX}	相位频率检测器测得的最高频率	667.5	667.5	667.5	667.5	667.5	MHz
PLL_F _{PFDMIN}	相位频率检测器测得的最低频率	70	70	70	70	70	MHz
PLL_F _{BANDWIDTH}	典型情况下 PLL 带宽	14	14	14	14	14	MHz
PLL_F _{DPRCLK_MAX}	最高 DRP 时钟频率	250	250	250	250	250	MHz

注释:

- PLL 不会对典型扩展频谱输入时钟进行滤波，因为此类时钟通常远低于循环滤波频率。
- 静态偏移测量的是相同相位的任意 PLL 输出之间的偏移。
- 此参数的值可在 Clocking Wizard 中使用。
- 包含全局时钟缓存。
- 计算方式为 F_{VCO}/128，假定输出占空比为 50%。

器件引脚间输出参数指南

下表中的引脚间数值是基于器件中心的时钟根布局生成的。如果所选根布局不同，那么实际引脚间数值可能变动。请查阅 Vivado Design Suite 时序报告以了解实际的引脚间数值。

表 40：无 MMCM（近端时钟区域）情况下全局时钟输入到输出延迟

标识	描述 ¹	器件	速度等级和 V _{CCINT} 工作电压					单位
			0.90V	0.85V		0.72V		
			-3	-2	-1	-2	-1	
以下情况下的 SSTL15 全局时钟输入到输出延迟：使用输出触发器、高压摆率、无 MMCM								
T _{ICKOF}	无 MMCM（近端时钟区域）情况下的全局时钟输入和输出触发器	XCKU3P	4.65	5.09	5.48	6.37	6.84	ns
		XCKU5P	4.65	5.09	5.48	6.37	6.84	ns
		XCKU9P	5.42	5.91	6.35	7.48	8.03	ns
		XCKU11P	5.92	6.49	6.96	8.16	8.91	ns
		XCKU13P	5.58	6.09	6.55	7.75	8.33	ns
		XCKU15P	6.29	6.90	7.40	8.68	9.32	ns
		XQKU5P	不适用	5.09	5.48	不适用	6.84	ns
		XQKU15P	不适用	6.90	7.40	不适用	9.32	ns

注释：

- 该表列出了代表性的值，其中每个全局时钟输入负责驱动每个可访问列中的一个垂直时钟行，并且所有可访问 I/O 和 CLB 触发器均由全局时钟网络进行时钟配置。

表 41：无 MMCM（远端时钟区域）情况下全局时钟输入到输出延迟

标识	描述 ¹	器件	速度等级和 V _{CCINT} 工作电压					单位
			0.90V	0.85V		0.72V		
			-3	-2	-1	-2	-1	
以下情况下的 SSTL15 全局时钟输入到输出延迟：使用输出触发器、高压摆率、无 MMCM								
T _{TICKOF_FAR}	无 MMCM（远端时钟区域）情况下的全局时钟输入和输出触发器	XCKU3P	4.84	5.30	5.70	6.64	7.14	ns
		XCKU5P	4.84	5.30	5.70	6.64	7.14	ns
		XCKU9P	5.91	6.49	6.97	8.16	8.76	ns
		XCKU11P	6.29	6.91	7.41	8.72	9.52	ns
		XCKU13P	5.90	6.49	6.96	8.16	8.77	ns
		XCKU15P	6.84	7.53	8.07	9.52	10.23	ns
		XQKU5P	不适用	5.30	5.70	不适用	7.14	ns
		XQKU15P	不适用	7.53	8.07	不适用	10.23	ns

注释：

- 该表列出了代表性的值，其中每个全局时钟输入负责驱动每个可访问列中的一个垂直时钟行，并且所有可访问 I/O 和 CLB 触发器均由全局时钟网络进行时钟配置。

表 42: 含 MMCM 情况下的全局时钟输入到输出延迟

标识	描述 ^{1,2}	器件	速度等级和 V _{CCINT} 工作电压					单位
			0.90V	0.85V		0.72V		
			-3	-2	-1	-2	-1	
以下情况下的 SSTL15 全局时钟输入到输出延迟：使用输出触发器、高压摆率、含 MMCM								
T _{ICKOFFMMCMCC}	含 MMCM 情况下的全局时钟输入和输出触发器	XCKU3P	1.67	1.98	2.17	2.59	2.74	ns
		XCKU5P	1.67	1.98	2.17	2.59	2.74	ns
		XCKU9P	1.83	2.15	2.36	2.80	2.95	ns
		XCKU11P	1.96	2.30	2.51	2.99	3.20	ns
		XCKU13P	1.85	2.18	2.38	2.82	2.98	ns
		XCKU15P	2.08	2.44	2.66	3.15	3.33	ns
		XQKU5P	不适用	1.98	2.17	不适用	2.74	ns
		XQKU15P	不适用	2.44	2.66	不适用	3.33	ns

注释:

1. 该表列出了代表性的值, 其中每个全局时钟输入负责驱动每个可访问列中的一个垂直时钟行, 并且所有可访问 I/O 和 CLB 触发器均由全局时钟网络进行时钟配置。
2. MMCM 输出抖动已包含在时序计算内。

表 43: 电源同步输出特征 (组件模式)

描述	速度等级和 V _{CCINT} 工作电压					单位
	0.90V	0.85V		0.72V		
	-3	-2	-1	-2	-1	
T _{OUTPUT_LOGIC_DELAY_VARIATION} ¹	80					ps

注释:

1. 在 bank 中使用组件模式输出逻辑 (ODDRE1, OSERDESE3) 时, 传输总线中延迟不匹配。

器件引脚间输入参数指南

下表中的引脚间数值是基于器件中心的时钟根布局生成的。如果所选根布局不同, 那么实际引脚间数值可能变动。请查阅 Vivado Design Suite 时序报告以了解实际的引脚间数值。

表 44: 全局时钟输入的建立与保持 (含 3.3V HD I/O, 无 MMCM)

标识	描述	器件	速度等级和 V _{CCINT} 工作电压					单位	
			0.90V	0.85V		0.72V			
			-3	-2	-1	-2	-1		
与使用 SSTL15 标准的全局时钟输入信号相关的输入建立与保持时间。1, 2, 3									
T _{PSFD_KU3P}	不含 MMCM 情况下的全局时钟输入和输入触发器（或锁存）	建立	XCKU3P	1.98	2.28	2.38	3.55	3.83	ns
T _{PHFD_KU3P}		保持		-0.36	-0.36	-0.36	-1.04	-1.04	ns
T _{PSFD_KU5P}		建立	XCKU5P	1.98	2.28	2.38	3.55	3.83	ns
T _{PHFD_KU5P}		保持		-0.36	-0.36	-0.36	-1.04	-1.04	ns
T _{PSFD_KU9P}		建立	XCKU9P	1.51	1.79	1.86	2.85	3.06	ns
T _{PHFD_KU9P}		保持		-0.05	-0.05	-0.05	-0.60	-0.60	ns
T _{PSFD_KU11P}		建立	XCKU11P	1.99	2.28	2.38	3.54	3.79	ns
T _{PHFD_KU11P}		保持		-0.38	-0.38	-0.38	-1.05	-1.05	ns
T _{PSFD_KU13P}		建立	XCKU13P	1.51	1.79	1.85	2.84	3.05	ns
T _{PHFD_KU13P}		保持		-0.04	-0.04	-0.04	-0.60	-0.60	ns
T _{PSFD_KU15P}		建立	XCKU15P	2.00	2.29	2.38	3.56	3.83	ns
T _{PHFD_KU15P}		保持		-0.38	-0.38	-0.38	-1.08	-1.08	ns
T _{PSFD_XQKU5P}		建立	XQKU5P	不适用	2.28	2.38	不适用	3.83	ns
T _{PHFD_XQKU5P}		保持		不适用	-0.36	-0.36	不适用	-1.04	ns
T _{PSFD_XQKU15P}		建立	XQKU15P	不适用	2.29	2.38	不适用	3.83	ns
T _{PHFD_XQKU15P}		保持		不适用	-0.38	-0.38	不适用	-1.08	ns

注释:

1. 建立时间与保持时间是根据最差情况下的条件 (工艺、电压、温度) 来测量的。建立时间是根据所使用的工艺、温度和电压均为最慢的条件下的全局时钟输入信号来测量的。保持时间是根据所使用的工艺、温度和电压均为最快的条件下的全局时钟输入信号来测量的。
2. 该表列出了代表性的值, 其中每个全局时钟输入负责驱动每个可访问列中的一个垂直时钟行, 并且所有可访问 I/O 和 CLB 触发器均由全局时钟网络进行时钟配置。
3. 使用 IBIS 可确定使用各项标准所引发的任意占空比失真。

表 45: 全局时钟输入建立与保持 (含 MMCM)

标识	描述	器件	速度等级和 V _{CCINT} 工作电压					单位	
			0.90V	0.85V		0.72V			
			-3	-2	-1	-2	-1		
与使用 SSTL15 标准的全局时钟输入信号相关的输入建立与保持时间。1, 2, 3									
T _{PSMMCMCC_KU3P}	含 MMCM 情况下的全局时钟输入和输入触发器（或锁存）	建立	XCKU3P	2.04	2.04	2.16	2.04	2.16	ns
T _{PHMMCMCC_KU3P}		保持		-0.17	-0.17	-0.17	-0.23	-0.23	ns
T _{PSMMCMCC_KU5P}		建立	XCKU5P	2.04	2.04	2.16	2.04	2.16	ns
T _{PHMMCMCC_KU5P}		保持		-0.17	-0.17	-0.17	-0.23	-0.23	ns
T _{PSMMCMCC_KU9P}		建立	XCKU9P	2.00	2.00	2.12	2.00	2.12	ns
T _{PHMMCMCC_KU9P}		保持		-0.11	-0.11	-0.11	-0.18	-0.18	ns
T _{PSMMCMCC_KU11P}		建立	XCKU11P	1.89	1.89	2.02	1.89	2.02	ns
T _{PHMMCMCC_KU11P}		保持		-0.20	-0.20	-0.20	-0.25	-0.25	ns
T _{PSMMCMCC_KU13P}		建立	XCKU13P	1.99	1.99	2.12	1.99	2.12	ns
T _{PHMMCMCC_KU13P}		保持		-0.10	-0.10	-0.10	-0.16	-0.16	ns
T _{PSMMCMCC_KU15P}		建立	XCKU15P	1.89	1.89	2.03	1.89	2.03	ns
T _{PHMMCMCC_KU15P}		保持		-0.16	-0.16	-0.16	-0.23	-0.23	ns
T _{PSMMCMCC_XQKU5P}		建立	XQKU5P	不适用	2.04	2.16	不适用	2.16	ns
T _{PHMMCMCC_XQKU5P}		保持		不适用	-0.17	-0.17	不适用	-0.23	ns
T _{PSMMCMCC_XQKU15P}		建立	XQKU15P	不适用	1.89	2.03	不适用	2.03	ns
T _{PHMMCMCC_XQKU15P}		保持		不适用	-0.16	-0.16	不适用	-0.23	ns

注释:

1. 建立时间与保持时间是根据最差情况下的条件 (工艺、电压、温度) 来测量的。建立时间是根据所使用的工艺、温度和电压均为最慢的条件下的全局时钟输入信号来测量的。保持时间是根据所使用的工艺、温度和电压均为最快的条件下的全局时钟输入信号来测量的。
2. 该表列出了代表性的值, 其中每个全局时钟输入负责驱动每个可访问列中的一个垂直时钟行, 并且所有可访问 I/O 和 CLB 触发器均由全局时钟网络进行时钟配置。
3. 使用 IBIS 可确定使用各项标准所引发的任意占空比失真。

表 46: 采样时间范围

描述	速度等级和 V _{CCINT} 工作电压					单位
	0.90V	0.85V		0.72V		
	-3	-2	-1	-2	-1	
T _{SAMP_BUFG} ¹	510	610	610	610	610	ps
T _{SAMP_NATIVE_DPA} ²	100	100	125	125	150	ps
T _{SAMP_NATIVE_BISC} ³	60	60	85	85	110	ps

注释:

1. 此参数表示 Kintex UltraScale+ FPGA DDR 输入寄存器的总采样误差, 根据电压、温度和工艺来测量。特性描述方法使用 MMCM 来捕获 DDR 输入寄存器的操作沿。此测量对象包括: CLK0 MMCM 抖动、MMCM 准确性 (相位偏移) 和 MMCM 相移解析。这些测量方法不包括封装或时钟树偏差。
2. 此参数表示使用动态相位对齐时 RX_BITSLICE 的接收采样误差。
3. 此参数表示使用内置自校准 (BISC) 时 RX_BITSLICE 的接收采样误差。

表 47: 动态相位对齐应用的输入逻辑特性 (组件模式)

描述	速度等级和 V _{CCINT} 工作电压					单位
	0.90V	0.85V		0.72V		
	-3	-2	-1	-2	-1	
T _{INPUT_LOGIC_UNCERTAINTY} ¹	40					ps
T _{CAL_ERROR} ²	24					ps

注释:

1. Input_logic_uncertainty 会考量输入逻辑 (输入寄存器、IDDRE1 或 ISERDESE3) 的建立/保持以及所有模式相关的抖动。
2. 与基于 IDELAY 解析的量化效应相关的校准错误。必须针对每个输入引脚执行校准, 以便确保实现最优化的性能。

封装参数指南

本节中的参数提供了必要的值, 以供用于计算时钟发射器和接收器数据有效时间范围的时序预算。

表 48: 封装偏差

标识	描述	器件	封装	值	单位
PKGSKEW	封装偏差 ^{1,2}	XCKU3P	SFVB784	75	ps
			FFVA676	136	ps
			FFVB676	69	ps
			FFVD900	179	ps
		XCKU5P	SFVB784	75	ps
			FFVA676	136	ps
			FFVB676	69	ps
			FFVD900	179	ps
		XCKU9P	FFVE900	212	ps
		XCKU11P	FFVD900	146	ps
			FFVA1156	170	ps
			FFVE1517	178	ps
		XCKU13P	FFVE900	197	ps
		XCKU15P	FFVA1156	203	ps
			FFVE1517	167	ps
			FFVA1760	191	ps
			FFVE1760	172	ps
		XQKU5P	FFRB676	70	ps
			SFRB784	75	ps
		XQKU15P	FFRA1156	201	ps
			FFRE1517	161	ps

注释:

1. 这些值表示封装中任意两个 SelectIO 资源之间的最差情况下的偏差: 从裸片焊盘到球栅的最短延迟到最长延迟。
2. 封装延迟可用于这些器件/封装组合。此信息可用于对封装进行纠偏。

GTH 收发器规格

《UltraScale 架构和产品数据手册: 简介》(DS890) 列出了包含 GTH 收发器的 Kintex UltraScale+ FPGA。

GTH 收发器 DC 输入电平和输出电平

下表汇总了 Kintex UltraScale+ FPGA 中的 GTH 收发器的 DC 规格。请参阅《UltraScale 架构 GTH 收发器用户指南》(UG576)，以获取更多详情。

表 49: GTH 收发器 DC 规格

标识	DC 参数	条件	最小值	典型值	最大值	单位
DV _{PPIN}	差分峰峰值输入电压（外部 AC 已耦合）	>10.3125 Gb/s	150	-	1250	mV
		6.6 Gb/s - 10.3125 Gb/s	150	-	1250	mV
		≤6.6 Gb/s	150	-	2000	mV
V _{IN}	单端输入电压。在参考 GND 的引脚上测量所得电压	DC 耦合 V _{MGTAVTT} = 1.2V	-400	-	V _{MGTAVTT}	mV
V _{CMIN}	共模输入电压	DC 耦合 V _{MGTAVTT} = 1.2V	-	2/3 V _{MGTAVTT}	-	mV
DV _{PPOUT}	差分峰峰值输出电压 ¹	发射器输出摆幅设置为 11111	800	-	-	mV
V _{CMOUTDC}	共模输出电压：DC 已耦合（根据方程）	当远程 RX 终止于 GND 时	$V_{MGTAVTT}/2 - D_{VPPOUT}/4$			mV
		当远程 RX 终端浮动时	$V_{MGTAVTT} - D_{VPPOUT}/2$			mV
		当远程 RX 终止于 V _{RX_TERM} ² 时	$V_{MGTAVTT} - \frac{D_{VPPOUT}}{4} - \left(\frac{V_{MGTAVTT} - V_{RX_TERM}}{2} \right)$			mV
V _{CMOUTAC}	共模输出电压：AC 已耦合（根据方程）		$V_{MGTAVTT} - D_{VPPOUT}/2$			mV
R _{IN}	差分输入电阻		-	100	-	Ω
R _{OUT}	差分输出电阻		-	100	-	Ω
T _{OSKEW}	发射器输出对（TXP 和 TXN）的配对间偏差（所有封装）		-	-	10	ps
C _{EXT}	推荐的外部 AC 耦合电容器 ³		-	100	-	nF

- 注释：
- 1. 输出摆幅和预加重电平可使用《UltraScale 架构 GTH 收发器用户指南》(UG576) 中所探讨的属性来加以编程，生成的值可能低于该表中报告的值。
 - 2. V_{RX_TERM} 为远程 RX 终端电压。
 - 3. 可使用其他适当的值以符合具体协议和标准的要求。

图 3: 单端峰峰值电压

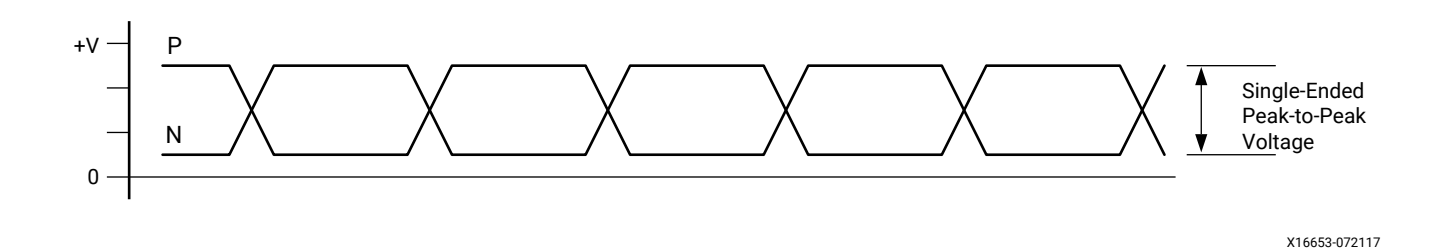


图 4: 差分峰峰值电压

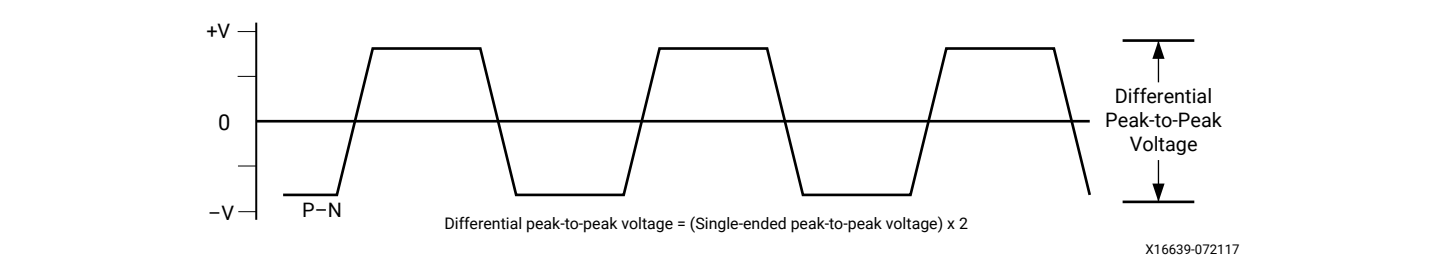


表 50 和表 51 汇总了 Kintex UltraScale+ FPGA 中 GTH 收发器输入和输出时钟的 DC 规格。请参阅《UltraScale 架构 GTH 收发器用户指南》(UG576)，以获取更多详情。

表 50: GTH 收发器时钟输入电平规格

标识	DC 参数	最小值	典型值	最大值	单位
V _{IDIFF}	差分峰峰值输入电压	250	-	2000	mV
R _{IN}	差分输入电阻	-	100	-	Ω
C _{EXT}	所需的外部 AC 耦合电容器	-	10	-	nF

表 51: GTH 收发器时钟输出电平规格

标识	描述	条件	最小值	典型值	最大值	单位
V _{OL}	P 和 N 的输出低电压	P 和 N 信号间 R _T = 100Ω	100	-	330	mV
V _{OH}	P 和 N 的输出高电压	P 和 N 信号间 R _T = 100Ω	500	-	700	mV
V _{DDOUT}	差分输出电压 (P-N), P = 高 (N-P), N = 高	P 和 N 信号间 R _T = 100Ω	300	-	430	mV
V _{CMOUT}	共模电压	P 和 N 信号间 R _T = 100Ω	300	-	500	mV

GTH 收发器开关特性

请参阅《UltraScale 架构 GTH 收发器用户指南》(UG576)，以获取更多信息。

表 52: GTH 收发器性能

标识	描述	输出分频器	速度等级和 V _{CCINT} 工作电压										单位
			0.90V		0.85V				0.72V				
			-3		-2		-1		-2		-1		
F _{GTHMAX}	GTH 最高线速		16.375		16.375		12.5		12.5		10.3125		Gb/s
F _{GTHMIN}	GTH 最低线速		0.5		0.5		0.5		0.5		0.5		Gb/s
			最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
F _{GTHCRANGE}	CPLL 线速范围 ¹	1	4	12.5	4	12.5	4	8.5	4	8.5	4	8.5	Gb/s
		2	2	6.25	2	6.25	2	4.25	2	4.25	2	4.25	Gb/s
		4	1	3.125	1	3.125	1	2.125	1	2.125	1	2.125	Gb/s
		8	0.5	1.5625	0.5	1.5625	0.5	1.0625	0.5	1.0625	0.5	1.0625	Gb/s
		16	不适用										Gb/s
			最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
F _{GTHQRANGE1}	QPLL0 线速范围 ²	1	9.8	16.375	9.8	16.375	9.8	12.5	9.8	12.5	9.8	10.3125	Gb/s
		2	4.9	8.1875	4.9	8.1875	4.9	8.15	4.9	8.1875	4.9	8.15	Gb/s
		4	2.45	4.0938	2.45	4.0938	2.45	4.075	2.45	4.0938	2.45	4.075	Gb/s
		8	1.225	2.0469	1.225	2.0469	1.225	2.0375	1.225	2.0469	1.225	2.0375	Gb/s
		16	0.6125	1.0234	0.6125	1.0234	0.6125	1.0188	0.6125	1.0234	0.6125	1.0188	Gb/s
			最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
F _{GTHQRANGE2}	QPLL1 线速范围 ³	1	8.0	13.0	8.0	13.0	8.0	12.5	8.0	12.5	8.0	10.3125	Gb/s
		2	4.0	6.5	4.0	6.5	4.0	6.5	4.0	6.5	4.0	6.5	Gb/s
		4	2.0	3.25	2.0	3.25	2.0	3.25	2.0	3.25	2.0	3.25	Gb/s
		8	1.0	1.625	1.0	1.625	1.0	1.625	1.0	1.625	1.0	1.625	Gb/s
		16	0.5	0.8125	0.5	0.8125	0.5	0.8125	0.5	0.8125	0.5	0.8125	Gb/s

表 52: GTH 收发器性能 (续)

标识	描述	输出分频器	速度等级和 V _{CCINT} 工作电压										单位
			0.90V		0.85V				0.72V				
			-3		-2		-1		-2		-1		
			最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
F _{CPLL} RANGE	CPLL 频率范围		2	6.25	2	6.25	2	4.25	2	4.25	2	4.25	GHz
F _{QPLL0} RANGE	QPLL0 频率范围		9.8	16.375	9.8	16.375	9.8	16.375	9.8	16.375	9.8	16.375	GHz
F _{QPLL1} RANGE	QPLL1 频率范围		8	13	8	13	8	13	8	13	8	13	GHz

注释:

1. 此处所列的值为根据公式 $(2 \times \text{CPLL_Frequency})/\text{Output_Divider}$ 计算结果舍入所得。
2. 此处所列的值为根据公式 $(\text{QPLL0_Frequency})/\text{Output_Divider}$ 计算结果舍入所得。
3. 此处所列的值为根据公式 $(\text{QPLL1_Frequency})/\text{Output_Divider}$ 计算结果舍入所得。

表 53: GTH 收发器动态重新配置端口 (DRP) 开关特性

标识	描述	所有速度等级	单位
F _{GTHDRPCLK}	GTHDRPCLK 最高频率	250	MHz

表 54: GTH 收发器参考时钟开关特性

标识	描述	条件	所有速度等级			单位
			最小值	典型值	最大值	
F _{GCLK}	参考时钟频率范围		60	-	820	MHz
T _{RCLK}	参考时钟上升时间	20% - 80%	-	200	-	ps
T _{FCLK}	参考时钟下降时间	80% - 20%	-	200	-	ps
T _{DCREF}	参考占空比	仅限收发器 PLL	40	50	60	%

表 55: GTH 收发器参考时钟振荡器选择相位噪声屏蔽

标识	描述	偏移频率	最小值	典型值	最大值	单位
QPLL _{REFCLKMASK} ^{1,2}	REFCLK 频率 = 312.5 MHz 时 QPLL0/QPLL1 参考时钟选择相位噪声屏蔽	10 kHz	-	-	-105	dBc/Hz
		100 kHz	-	-	-124	
		1 MHz	-	-	-130	
CPLL _{REFCLKMASK} ^{1,2}	REFCLK 频率 = 312.5 MHz 时 CPLL 参考时钟选择相位噪声屏蔽	10 kHz	-	-	-105	dBc/Hz
		100 kHz	-	-	-124	
		1 MHz	-	-	-130	
		50 MHz	-	-	-140	

注释:

1. 对于除 312.5 MHz 以外的参考时钟频率, 请按 $20 \times \text{Log}(N/312.5)$ 调整相位噪声屏蔽值, 其中 N 是新的参考时钟频率 (单位为 MHz)。
2. 受支持的协议 (例如, PCIe) 中指定的任意参考时钟相位噪声屏蔽将取代此参考时钟相位噪声屏蔽。

表 56: GTH 收发器 PLL/锁定时间调整

标识	描述	条件	所有速度等级			单位
			最小值	典型值	最大值	
T _{LOCK}	初始 PLL 锁定		-	-	1	ms
T _{DLOCK}	对应判定反馈均衡器 (DFE) 的时钟恢复相位捕获和调整时间	当 PLL 锁定到参考时钟后, 这表示将时钟数据恢复 (CDR) 锁定到输入中存在的时钟所需的时间。	-	50,000	37 × 10 ⁶	UI
	禁用 DFE 时对应低功耗模式 (LPM) 的时钟恢复相位捕获和调整时间		-	50,000	2.3 × 10 ⁶	UI

表 57: GTH 收发器用户时钟开关特性

标识	描述 ¹	数据宽度条件 (位)		速度等级和 V _{CCINT} 工作电压					单位
				0.90V	0.85V		0.72V		
		内部逻辑	互联逻辑	-3 ²	-2 ^{2,3}	-1 ^{4,5}	-2 ³	-1 ⁵	
F _{TXOUTPMA}	源自 OUTCLKPMA 的 TXOUTCLK 最高频率			511.719	511.719	390.625	390.625	322.266	MHz
F _{RXOUTPMA}	源自 OUTCLKPMA 的 RXOUTCLK 最高频率			511.719	511.719	390.625	390.625	322.266	MHz
F _{TXOUTPROGDIV}	源自 TXPROGDIVCLK 的 TXOUTCLK 最高频率			511.719	511.719	511.719	511.719	511.719	MHz
F _{RXOUTPROGDIV}	源自 RXPROGDIVCLK 的 RXOUTCLK 最高频率			511.719	511.719	511.719	511.719	511.719	MHz
F _{TXIN}	TXUSRCLK ⁶ 最高频率	16	16、32	511.719	511.719	390.625	390.625	322.266	MHz
		32	32、64	511.719	511.719	390.625	390.625	322.266	MHz
		20	20、40	409.375	409.375	312.500	312.500	257.813	MHz
		40	40、80	409.375	409.375	312.500	312.500	257.813	MHz
F _{RXIN}	RXUSRCLK ⁶ 最高频率	16	16、32	511.719	511.719	390.625	390.625	322.266	MHz
		32	32、64	511.719	511.719	390.625	390.625	322.266	MHz
		20	20、40	409.375	409.375	312.500	312.500	257.813	MHz
		40	40、80	409.375	409.375	312.500	312.500	257.813	MHz
F _{TXIN2}	TXUSRCLK2 ⁶ 最高频率	16	16	511.719	511.719	390.625	390.625	322.266	MHz
		16	32	255.859	255.859	195.313	195.313	161.133	MHz
		32	32	511.719	511.719	390.625	390.625	322.266	MHz
		32	64	255.859	255.859	195.313	195.313	161.133	MHz
		20	20	409.375	409.375	312.500	312.500	257.813	MHz
		20	40	204.688	204.688	156.250	156.250	128.906	MHz
		40	40	409.375	409.375	312.500	312.500	257.813	MHz
		40	80	204.688	204.688	156.250	156.250	128.906	MHz

表 57: GTH 收发器用户时钟开关特性 (续)

标识	描述 ¹	数据宽度条件（位）		速度等级和 V _{CCINT} 工作电压					单位
				0.90V	0.85V		0.72V		
		内部逻辑	互联逻辑	-3 ²	-2 ^{2,3}	-1 ^{4,5}	-2 ³	-1 ⁵	
F _{RXIN2}	RXUSRCLK2 ⁶ 最高频率	16	16	511.719	511.719	390.625	390.625	322.266	MHz
		16	32	255.859	255.859	195.313	195.313	161.133	MHz
		32	32	511.719	511.719	390.625	390.625	322.266	MHz
		32	64	255.859	255.859	195.313	195.313	161.133	MHz
		20	20	409.375	409.375	312.500	312.500	257.813	MHz
		20	40	204.688	204.688	156.250	156.250	128.906	MHz
		40	40	409.375	409.375	312.500	312.500	257.813	MHz
		40	80	204.688	204.688	156.250	156.250	128.906	MHz

注释:

- 必须按《UltraScale 架构 GTH 收发器用户指南》(UG576) 中所述来实现时钟设置。
- 对于速度等级 -3E、-2E 和 -2I, 16 位和 20 位内部数据路径只能用于低于 8.1875 Gb/s 的线速。
- 对于速度等级 -2LE, 16 位和 20 位内部数据路径只能用于低于 8.1875 Gb/s (当 V_{CCINT} = 0.85V 时) 或 6.25 Gb/s (当 V_{CCINT} = 0.72V 时) 的线速。
- 对于速度等级 -1E、-1I 和 -1M, 16 位和 20 位内部数据路径只能用于低于 6.25 Gb/s 的线速。
- 对于速度等级 -1LI, 16 位和 20 位内部数据路径只能用于低于 6.25 Gb/s (当 V_{CCINT} = 0.85V 时) 或 5.15625 Gb/s (当 V_{CCINT} = 0.72V 时) 的线速。
- 使用变速箱时, 这些最大值对应 XCLK。如需了解更多信息, 请参阅《UltraScale 架构 GTH 收发器用户指南》(UG576)。

表 58: GTH 收发器发射器开关特性

标识	描述	条件	最小值	典型值	最大值	单位
F _{GHTX}	串行数据速率范围		0.500	-	F _{GTHMAX}	Gb/s
T _{RTX}	TX 上升时间	20%-80%	-	21	-	ps
T _{FTX}	TX 下降时间	80%-20%	-	21	-	ps
T _{LLSKEW}	TX 通道间偏差 ¹		-	-	500.00	ps
T _{J16.375}	总抖动 ^{2,4}	16.375 Gb/s	-	-	0.28	UI
D _{J16.375}	确定性抖动 ^{2,4}		-	-	0.17	UI
T _{J15.0}	总抖动 ^{2,4}	15.0 Gb/s	-	-	0.28	UI
D _{J15.0}	确定性抖动 ^{2,4}		-	-	0.17	UI
T _{J14.1}	总抖动 ^{2,4}	14.1 Gb/s	-	-	0.28	UI
D _{J14.1}	确定性抖动 ^{2,4}		-	-	0.17	UI
T _{J14.1}	总抖动 ^{2,4}	14.025 Gb/s	-	-	0.28	UI
D _{J14.1}	确定性抖动 ^{2,4}		-	-	0.17	UI
T _{J13.1}	总抖动 ^{2,4}	13.1 Gb/s	-	-	0.28	UI
D _{J13.1}	确定性抖动 ^{2,4}		-	-	0.17	UI
T _{J12.5_QPLL}	总抖动 ^{2,4}	12.5 Gb/s	-	-	0.28	UI
D _{J12.5_QPLL}	确定性抖动 ^{2,4}		-	-	0.17	UI
T _{J12.5_CPLL}	总抖动 ^{3,4}	12.5 Gb/s	-	-	0.33	UI
D _{J12.5_CPLL}	确定性抖动 ^{3,4}		-	-	0.17	UI
T _{J11.3_QPLL}	总抖动 ^{2,4}	11.3 Gb/s	-	-	0.28	UI
D _{J11.3_QPLL}	确定性抖动 ^{2,4}		-	-	0.17	UI

表 58: GTH 收发器发射器开关特性 (续)

标识	描述	条件	最小值	典型值	最大值	单位
T _{J10.3125_QPLL}	总抖动 ^{2,4}	10.3125 Gb/s	-	-	0.28	UI
D _{J10.3125_QPLL}	确定性抖动 ^{2,4}		-	-	0.17	UI
T _{J10.3125_CPLL}	总抖动 ^{3,4}	10.3125 Gb/s	-	-	0.33	UI
D _{J10.3125_CPLL}	确定性抖动 ^{3,4}		-	-	0.17	UI
T _{J9.953_QPLL}	总抖动 ^{2,4}	9.953 Gb/s	-	-	0.28	UI
D _{J9.953_QPLL}	确定性抖动 ^{2,4}		-	-	0.17	UI
T _{J9.953_CPLL}	总抖动 ^{3,4}	9.953 Gb/s	-	-	0.33	UI
D _{J9.953_CPLL}	确定性抖动 ^{3,4}		-	-	0.17	UI
T _{J8.0}	总抖动 ^{3,4}	8.0 Gb/s	-	-	0.32	UI
D _{J8.0}	确定性抖动 ^{3,4}		-	-	0.17	UI
T _{J6.6}	总抖动 ^{3,4}	6.6 Gb/s	-	-	0.30	UI
D _{J6.6}	确定性抖动 ^{3,4}		-	-	0.15	UI
T _{J5.0}	总抖动 ^{3,4}	5.0 Gb/s	-	-	0.30	UI
D _{J5.0}	确定性抖动 ^{3,4}		-	-	0.15	UI
T _{J4.25}	总抖动 ^{3,4}	4.25 Gb/s	-	-	0.30	UI
D _{J4.25}	确定性抖动 ^{3,4}		-	-	0.15	UI
T _{J4.0}	总抖动 ^{3,4}	4.0 Gb/s	-	-	0.32	UI
D _{J4.0}	确定性抖动 ^{3,4}		-	-	0.16	UI
T _{J3.20}	总抖动 ^{3,4}	3.20 Gb/s ⁵	-	-	0.20	UI
D _{J3.20}	确定性抖动 ^{3,4}		-	-	0.10	UI
T _{J2.5}	总抖动 ^{3,4}	2.5 Gb/s ⁶	-	-	0.20	UI
D _{J2.5}	确定性抖动 ^{3,4}		-	-	0.10	UI
T _{J1.25}	总抖动 ^{3,4}	1.25 Gb/s ⁷	-	-	0.15	UI
D _{J1.25}	确定性抖动 ^{3,4}		-	-	0.06	UI
T _{J500}	总抖动 ^{3,4}	500 Mb/s ⁸	-	-	0.10	UI
D _{J500}	确定性抖动 ^{3,4}		-	-	0.03	UI

注释:

- 按最大线速, 针对最多四个连续发射器 (其中之一为完全填充的 GTH Quad) 使用相同 REFCLK 输入 (启用 TX 相位对齐)。
- 使用 QPLL_FBDIV = 40, 内部数据位宽为 20 位。这些值并非旨在用于协议相关兼容性判定。
- 使用 QPLL_FBDIV = 2, 内部数据位宽为 20 位。这些值并非旨在用于协议相关兼容性判定。
- 所有抖动值都是基于误码率 10^{-12} 得出的。
- CPLL 频率为 3.2 GHz 且 TXOUT_DIV = 2。
- CPLL 频率为 2.5 GHz 且 TXOUT_DIV = 2。
- CPLL 频率为 2.5 GHz 且 TXOUT_DIV = 4。
- CPLL 频率为 2.0 GHz 且 TXOUT_DIV = 8。

表 59: GTH 收发器接收器开关特性

标识	描述	条件	最小值	典型值	最大值	单位
F _{GTHRX}	串行数据速率		0.500	-	F _{GTHMAX}	Gb/s
R _{XSS}	接收器扩展频谱跟踪 ¹	以 33 kHz 的频率调制	-5000	-	0	ppm
R _{XRL}	运行长度 (CID)		-	-	256	UI

表 59: GTH 收发器接收器开关特性 (续)

标识	描述	条件	最小值	典型值	最大值	单位
RXPPMTOL	数据/REFCLK PPM 偏移容限	比特率 ≤ 6.6 Gb/s	-1250	-	1250	ppm
		比特率 > 6.6 Gb/s 且 ≤ 8.0 Gb/s	-700	-	700	ppm
		比特率 > 8.0 Gb/s	-200	-	200	ppm
SJ 抖动容限 ²						
J _T _SJ16.375	正弦抖动 (QPLL) ³	16.375 Gb/s	0.30	-	-	UI
J _T _SJ15.0	正弦抖动 (QPLL) ³	15.0 Gb/s	0.30	-	-	UI
J _T _SJ14.1	正弦抖动 (QPLL) ³	14.1 Gb/s	0.30	-	-	UI
J _T _SJ13.1	正弦抖动 (QPLL) ³	13.1 Gb/s	0.30	-	-	UI
J _T _SJ12.5	正弦抖动 (QPLL) ³	12.5 Gb/s	0.30	-	-	UI
J _T _SJ11.3	正弦抖动 (QPLL) ³	11.3 Gb/s	0.30	-	-	UI
J _T _SJ10.32_QPLL	正弦抖动 (QPLL) ³	10.32 Gb/s	0.30	-	-	UI
J _T _SJ10.32_CPLL	正弦抖动 (CPLL) ³	10.32 Gb/s	0.30	-	-	UI
J _T _SJ9.953_QPLL	正弦抖动 (QPLL) ³	9.953 Gb/s	0.30	-	-	UI
J _T _SJ9.953_CPLL	正弦抖动 (CPLL) ³	9.953 Gb/s	0.30	-	-	UI
J _T _SJ8.0	正弦抖动 (QPLL) ³	8.0 Gb/s	0.42	-	-	UI
J _T _SJ6.6_CPLL	正弦抖动 (CPLL) ³	6.6 Gb/s	0.44	-	-	UI
J _T _SJ5.0	正弦抖动 (CPLL) ³	5.0 Gb/s	0.44	-	-	UI
J _T _SJ4.25	正弦抖动 (CPLL) ³	4.25 Gb/s	0.44	-	-	UI
J _T _SJ3.2	正弦抖动 (CPLL) ³	3.2 Gb/s ⁴	0.45	-	-	UI
J _T _SJ2.5	正弦抖动 (CPLL) ³	2.5 Gb/s ⁵	0.30	-	-	UI
J _T _SJ1.25	正弦抖动 (CPLL) ³	1.25 Gb/s ⁶	0.30	-	-	UI
J _T _SJ500	正弦抖动 (CPLL) ³	500 Mb/s ⁷	0.30	-	-	UI
SJ 抖动容限 (含压力眼图) ²						
J _T _TJSE3.2	总抖动 (含压力眼图) ⁸	3.2 Gb/s	0.70	-	-	UI
J _T _TJSE6.6		6.6 Gb/s	0.70	-	-	UI
J _T _SJSE3.2	正弦抖动 (含压力眼图) ⁸	3.2 Gb/s	0.10	-	-	UI
J _T _SJSE6.6		6.6 Gb/s	0.10	-	-	UI

注释:

1. 使用 RXOUT_DIV = 1、2 和 4。
2. 所有抖动值都是基于误码率 10^{-12} 得出的。
3. 注入的正弦抖动频率为 80 MHz。
4. CPLL 频率为 3.2 GHz 且 RXOUT_DIV = 2。
5. CPLL 频率为 2.5 GHz 且 RXOUT_DIV = 2。
6. CPLL 频率为 2.5 GHz 且 RXOUT_DIV = 4。
7. CPLL 频率为 2.0 GHz 且 RXOUT_DIV = 8。
8. 启用 RX 均衡器的组合抖动。DFE 已禁用。

GTH 收发器电气兼容性

《UltraScale 架构 GTH 收发器用户指南》(UG576) 包含推荐的使用模式, 旨在确保符合下表中所列协议的要求。收发器向导为这些用例以及协议相关特性提供了推荐设置。

表 60: GTH 收发器协议列表

协议	规格	串行速率 (Gb/s)	电气兼容性
CAUI-10	IEEE 802.3-2012	10.3125	兼容
nPPI	IEEE 802.3-2012	10.3125	兼容
10GBASE-KR ¹	IEEE 802.3-2012	10.3125	兼容
40GBASE-KR	IEEE 802.3-2012	10.3125	兼容
SFP+	SFF-8431 (SR 和 LR)	9.95328-11.10	兼容
XFP	INF-8077i 4.5 修订版	10.3125	兼容
RXAUI	CEI-6G-SR	6.25	兼容
XAUI	IEEE 802.3-2012	3.125	兼容
1000BASE-X	IEEE 802.3-2012	1.25	兼容
5.0G 以太网	IEEE 802.3bx (PAR)	5	兼容
2.5G 以太网	IEEE 802.3bx (PAR)	2.5	兼容
HiGig、HiGig+ 和 HiGig2	IEEE 802.3-2012	3.74、6.6	兼容
OTU2	ITU G.8251	10.709225	兼容
OTU4 (OTL4.10)	OIF-CEI-11G-SR	11.180997	兼容
OC-3/12/48/192	GR-253-CORE	0.1555-9.956	兼容
TFI-5	OIF-TFI5-0.1.0	2.488	兼容
Interlaken	OIF-CEI-6G、OIF-CEI-11G-SR	4.25-12.5	兼容
PCIe Gen1、2 和 3	PCI Express Base 3.0	2.5、5.0 和 8.0	兼容
SDI ²	SMPTE 424M-2006	0.27-2.97	兼容
UHD-SDI ²	SMPTE ST-2081 6G 和 SMPTE ST-2082 12G	6 和 12	兼容
混合内存立方体 (HMC)	HMC-15G-SR	10、12.5 和 15.0	兼容
MoSys 带宽引擎	CEI-11-SR 和 CEI-11-SR (已超频)	10.3125、15.5	兼容
CPRI	CPRI_v_6_1_2014-07-01	0.6144-12.165	兼容
HDMI ²	HDMI 2.0	全部	兼容
无源光纤网络 (PON)	10G-EPON、1G-EPON、NG-PON2、XG-PON 和 2.5G-PON	0.155-10.3125	兼容
JESD204a/b	OIF-CEI-6G、OIF-CEI-11G	3.125-12.5	兼容
Serial RapidIO	RapidIO 规格 3.1	1.25-10.3125	兼容
DisplayPort ²	DP 1.2B CTS	1.62-5.4	兼容
光纤通道	FC-PH-4	1.0625-14.025	兼容
SATA Gen1、2 和 3	串行 ATA 修订版 3.0 规格	1.5、3.0 和 6.0	兼容
SAS Gen1、2 和 3	T10/BSR INCITS 519	3.0、6.0 和 12.0	兼容
SFI-5	OIF-SFI5-01.0	0.625-12.5	兼容
Aurora	CEI-6G、CEI-11G-LR	高达 11.180997	兼容

注释:

1. 发射器的转换时间比 IEEE Std 802.3-2012 规格更快。
2. 本协议需要外部电路才能实现兼容。

GTY 收发器规格

《UltraScale 架构和产品数据手册: 简介》(DS890) 列出了包含 GTY 收发器的 Kintex UltraScale+ FPGA。

GTY 收发器 DC 输入电平和输出电平

表 61 汇总了 Kintex UltraScale+ FPGA 中 GTY 收发器的 DC 规格。请参阅《UltraScale 架构 GTY 收发器用户指南》(UG578)，以获取更多详情。

表 61： GTY 收发器 DC 规格

标识	DC 参数	条件	最小值	典型值	最大值	单位
DV _{PPIN}	差分峰峰值输入电压（外部 AC 已耦合）	>10.3125 Gb/s	150	-	1250	mV
		6.6 Gb/s - 10.3125 Gb/s	150	-	1250	mV
		≤6.6 Gb/s	150	-	2000	mV
V _{IN}	单端输入电压。在参考 GND 的引脚上测量所得电压。	DC 耦合 V _{MGTAVTT} = 1.2V	-400	-	V _{MGTAVTT}	mV
V _{CMIN}	共模输入电压	DC 耦合 V _{MGTAVTT} = 1.2V	-	2/3 V _{MGTAVTT}	-	mV
D _{VPPOUT}	差分峰峰值输出电压 ¹	发射器输出摆幅设置为 11111	800	-	-	mV
V _{CMOUTDC}	共模输出电压：DC 已耦合（根据方程）	当远程 RX 终止于 GND 时	$V_{MGTAVTT}/2 - D_{VPPOUT}/4$			mV
		当远程 RX 终端浮动时	$V_{MGTAVTT} - D_{VPPOUT}/2$			mV
		当远程 RX 终止于 V _{RX_TERM} ² 时	$V_{MGTAVTT} - \frac{D_{VPPOUT}}{4} - \left(\frac{V_{MGTAVTT} - V_{RX_TERM}}{2} \right)$			mV
V _{CMOUTAC}	共模输出电压：AC 已耦合	根据方程	$V_{MGTAVTT} - D_{VPPOUT}/2$			mV
R _{IN}	差分输入电阻		-	100	-	Ω
R _{OUT}	差分输出电阻		-	100	-	Ω
T _{OSKEW}	发射器输出对（TXP 和 TXN）的配对间偏差		-	-	10	ps
C _{EXT}	推荐的外部 AC 耦合电容器 ³		-	100	-	nF

- 注释：
- 1. 输出摆幅和预加重电平可使用《UltraScale 架构 GTY 收发器用户指南》(UG578) 中所探讨的 GTY 收发器属性来加以编程，生成的值可能低于该表中报告的值。
 - 2. V_{RX_TERM} 为远程 RX 终端电压。
 - 3. 可使用其他适当的值以符合具体协议和标准的要求。

图 5：单端峰峰值电压

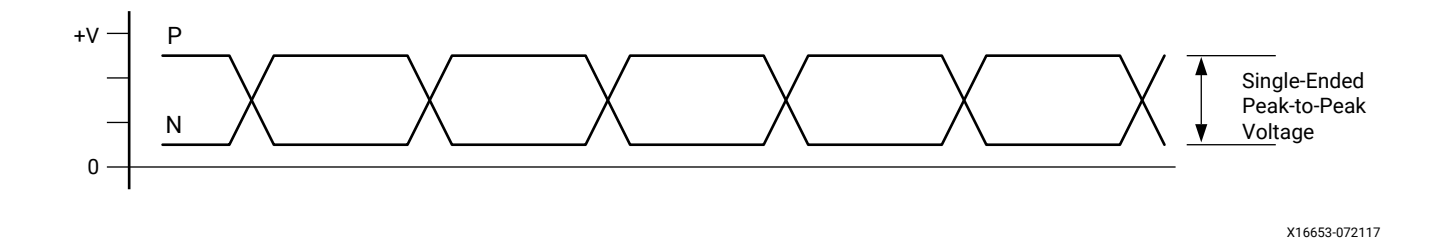
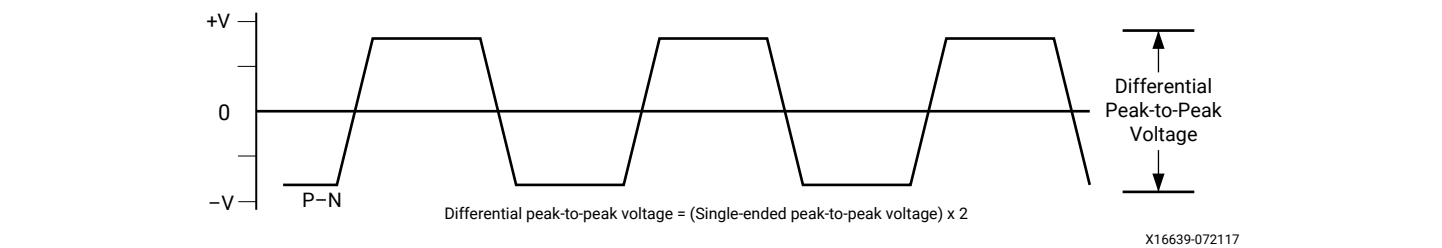


图 6：差分峰峰值电压



下表汇总了 Kintex UltraScale+ FPGA 中 GTY 收发器的时钟输入/输出电平的 DC 规格。请参阅《UltraScale 架构 GTY 收发器用户指南》(UG578)，以获取更多详情。

表 62: GTY 收发器时钟 DC 输入电平规格

标识	DC 参数	最小值	典型值	最大值	单位
V _{IDIFF}	差分峰峰值输入电压	250	-	2000	mV
R _{IN}	差分输入电阻	-	100	-	Ω
C _{EXT}	所需的外部 AC 耦合电容器	-	10	-	nF

表 63: GTY 收发器时钟输出电平规格

标识	描述	条件	最小值	典型值	最大值	单位
V _{OL}	P 和 N 的输出低电压	P 和 N 信号间 R _T = 100Ω	100	-	330	mV
V _{OH}	P 和 N 的输出高电压	P 和 N 信号间 R _T = 100Ω	500	-	700	mV
V _{DDOUT}	差分输出电压 (P-N), P = 高 (N-P), N = 高	P 和 N 信号间 R _T = 100Ω	300	-	430	mV
V _{CMOUT}	共模电压	P 和 N 信号间 R _T = 100Ω	300	-	500	mV

GTY 收发器开关特性

请参阅《UltraScale 架构 GTY 收发器用户指南》(UG578)，以获取更多信息。

表 64: GTY 收发器性能

标识	描述	输出分频器	速度等级和 V _{CCINT} 工作电压										单位
			0.90V		0.85V				0.72V				
			-3		-2		-1		-2		-1		
F _{GTYMAX}	GTY 最高线速		32.75 ¹		28.21 ¹		25.785 ¹		28.21 ¹		12.5		Gb/s
F _{GTYMIN}	GTY 最低线速		0.5		0.5		0.5		0.5		0.5		Gb/s
			最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
F _{GTYCRANGE}	CPLL 线速范围 ²	1	4.0	12.5	4.0	12.5	4.0	8.5	4.0	12.5	4.0	8.5	Gb/s
		2	2.0	6.25	2.0	6.25	2.0	4.25	2.0	6.25	2.0	4.25	Gb/s
		4	1.0	3.125	1.0	3.125	1.0	2.125	1.0	3.125	1.0	2.125	Gb/s
		8	0.5	1.5625	0.5	1.5625	0.5	1.0625	0.5	1.5625	0.5	1.0625	Gb/s
		16	不适用										Gb/s
		32	不适用										Gb/s
			最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
F _{GTYQRANGE1}	QPLL0 线速范围 ³	1	19.6	32.75	19.6	28.21	19.6	25.785	19.6	28.21	不适用		Gb/s
		1	9.8	16.375	9.8	16.375	9.8	16.375	9.8	16.375	9.8	12.5	Gb/s
		2	4.9	8.1875	4.9	8.1875	4.9	8.1875	4.9	8.1875	4.9	8.1875	Gb/s
		4	2.45	4.0938	2.45	4.0938	2.45	4.0938	2.45	4.0938	2.45	4.0938	Gb/s
		8	1.225	2.0469	1.225	2.0469	1.225	2.0469	1.225	2.0469	1.225	2.0469	Gb/s
		16	0.6125	1.0234	0.6125	1.0234	0.6125	1.0234	0.6125	1.0234	0.6125	1.0234	Gb/s

表 64: GTY 收发器性能 (续)

标识	描述	输出分频器	速度等级和 V _{CCINT} 工作电压										单位
			0.90V		0.85V				0.72V				
			-3		-2		-1		-2		-1		
			最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
F _{GTYQRANGE2}	QPLL1 线速范围 ⁴	1	16.0	26.0	16.0	26.0	16.0	25.785	16.0	26.0	不适用		Gb/s
		1	8.0	13.0	8.0	13.0	8.0	12.5	8.0	13.0	8.0	12.5	Gb/s
		2	4.0	6.5	4.0	6.5	4.0	6.5	4.0	6.5	4.0	6.5	Gb/s
		4	2.0	3.25	2.0	3.25	2.0	3.25	2.0	3.25	2.0	3.25	Gb/s
		8	1.0	1.625	1.0	1.625	1.0	1.625	1.0	1.625	1.0	1.625	Gb/s
		16	0.5	0.8125	0.5	0.8125	0.5	0.8125	0.5	0.8125	0.5	0.8125	Gb/s
			最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
F _{CPLL} RANGE	CPLL 频率范围		2.0	6.25	2.0	6.25	2.0	4.25	2.0	6.25	2.0	4.25	GHz
F _{QPLL0} RANGE	QPLL0 频率范围		9.8	16.375	9.8	16.375	9.8	16.375	9.8	16.375	9.8	16.375	GHz
F _{QPLL1} RANGE	QPLL1 频率范围		8.0	13.0	8.0	13.0	8.0	13.0	8.0	13.0	8.0	13.0	GHz

注释:

1. GTY 收发器线速受封装限制: SFVB784 和 SFRB784 上限为 12.5 Gb/s; FFVA676、FFVD900、FFVA1156 和 FFRA1156 上限为 16.3 Gb/s。
2. 此处所列的值为根据公式 $(2 \times \text{CPLL_Frequency}) / \text{Output_Divider}$ 计算结果舍入所得。
3. 此处所列的值为根据公式 $(\text{QPLL0_Frequency} \times \text{RATE}) / \text{Output_Divider}$ 计算结果舍入所得, 其中, 当 QPLL0_CLKOUT_RATE 设置为 HALF 时 RATE 为 1, 当 QPLL0_CLKOUT_RATE 设置为 FULL 时, 则 RATE 为 2。
4. 此处所列的值为根据公式 $(\text{QPLL1_Frequency} \times \text{RATE}) / \text{Output_Divider}$ 计算结果舍入所得, 其中, 当 QPLL0_CLKOUT_RATE 设置为 HALF 时 RATE 为 1, 当 QPLL0_CLKOUT_RATE 设置为 FULL 时, 则 RATE 为 2。

表 65: GTY 收发器动态重新配置端口 (DRP) 开关特性

标识	描述	所有速度等级	单位
F _{GTYDRPCLK}	GTYDRPCLK 最高频率	250	MHz

表 66: GTY 收发器参考时钟开关特性

标识	描述	条件	所有速度等级			单位
			最小值	典型值	最大值	
F _{GCLK}	参考时钟频率范围		60	-	820	MHz
T _{RCLK}	参考时钟上升时间	20% - 80%	-	200	-	ps
T _{FCLK}	参考时钟下降时间	80% - 20%	-	200	-	ps
T _{DCREF}	参考占空比	仅限收发器 PLL	40	50	60	%

表 67: GTY 收发器参考时钟振荡器选择相位噪声屏蔽

标识	描述 ^{1,2}	偏移频率	最小值	典型值	最大值	单位
QPLL _{REFCLKMASK}	REFCLK 频率 = 156.25 MHz 时 QPLL0/QPLL1 参考时钟选择相位噪声屏蔽	10 kHz	-	-	-112	dBc/Hz
		100 kHz	-	-	-128	
		1 MHz	-	-	-145	
	REFCLK 频率 = 312.5 MHz 时 QPLL0/QPLL1 参考时钟选择相位噪声屏蔽	10 kHz	-	-	-103	dBc/Hz
		100 kHz	-	-	-123	
		1 MHz	-	-	-143	
	REFCLK 频率 = 625 MHz 时 QPLL0/QPLL1 参考时钟选择相位噪声屏蔽	10 kHz	-	-	-98	dBc/Hz
		100 kHz	-	-	-117	
		1 MHz	-	-	-140	
CPLL _{REFCLKMASK}	REFCLK 频率 = 156.25 MHz 时 CPLL 参考时钟选择相位噪声屏蔽	10 kHz	-	-	-112	dBc/Hz
		100 kHz	-	-	-128	
		1 MHz	-	-	-145	
		50 MHz	-	-	-145	
	REFCLK 频率 = 312.5 MHz 时 CPLL 参考时钟选择相位噪声屏蔽	10 kHz	-	-	-103	dBc/Hz
		100 kHz	-	-	-123	
		1 MHz	-	-	-143	
		50 MHz	-	-	-145	
	REFCLK 频率 = 625 MHz 时 CPLL 参考时钟选择相位噪声屏蔽	10 kHz	-	-	-98	dBc/Hz
		100 kHz	-	-	-117	
		1 MHz	-	-	-140	
		50 MHz	-	-	-144	

注释:

- 对于该表中不包含的参考时钟频率, 请使用最接近的参考时钟频率的相位噪声屏蔽。
- 受支持的协议 (例如, PCIe) 中指定的任意参考时钟相位噪声屏蔽将取代此参考时钟相位噪声屏蔽。

表 68: GTY 收发器 PLL/锁定时间调整

标识	描述	条件	所有速度等级			单位
			最小值	典型值	最大值	
T _{LOCK}	初始 PLL 锁定。		-	-	1	ms
T _{DLOCK}	对应判定反馈均衡器 (DFE) 的时钟恢复相位捕获和调整时间	当 PLL 锁定到参考时钟后, 这表示将时钟数据恢复 (CDR) 锁定到输入中存在的时钟所需的时间。	-	50,000	37 x 10 ⁶	UI
	禁用 DFE 时对应低功耗模式 (LPM) 的时钟恢复相位捕获和调整时间		-	50,000	2.3 x 10 ⁶	UI

表 69: GTY 收发器用户时钟开关特性

标识	描述 ¹	数据宽度条件 (位)		速度等级和 V _{CCINT} 工作电压					单位
				0.90V	0.85V		0.72V		
		内部逻辑	互联逻辑	-3 ²	-2 ^{2, 3}	-1 ^{4, 5, 6}	-2 ³	-1 ⁵	
F _{TXOUTPMA}	源自 OUTCLKPMA 的 TXOUTCLK 最高频率			511.719	511.719	402.891	402.832	322.266	MHz
F _{RXOUTPMA}	源自 OUTCLKPMA 的 RXOUTCLK 最高频率			511.719	511.719	402.891	402.832	322.266	MHz
F _{TXOUTPROGDIV}	源自 TXPROGDIVCLK 的 TXOUTCLK 最高频率			511.719	511.719	511.719	511.719	511.719	MHz

表 69: GTY 收发器用户时钟开关特性 (续)

标识	描述 ¹	数据宽度条件（位）		速度等级和 V _{CCINT} 工作电压					单位
				0.90V	0.85V		0.72V		
		内部逻辑	互联逻辑	-3 ²	-2 ^{2,3}	-1 ^{4,5,6}	-2 ³	-1 ⁵	
FRXOUTPROGDIV	源自 RXPROGDIVCLK 的 RXOUTCLK 最高频率			511.719	511.719	511.719	511.719	511.719	MHz
FTXIN	TXUSRCLK ⁷ 最高频率	16	16、32	511.719	511.719	390.625	390.625	322.266	MHz
		32	32、64	511.719	511.719	390.625	390.625	322.266	MHz
		64	64、128	511.719	440.781	402.891	402.832	195.313	MHz
		20	20、40	409.375	409.375	312.500	312.500	257.813	MHz
		40	40、80	409.375	409.375	312.500	350.000	257.813	MHz
		80	80、160	409.375	352.625	322.313	352.625	156.250	MHz
FRXIN	RXUSRCLK ⁷ 最高频率	16	16、32	511.719	511.719	390.625	390.625	322.266	MHz
		32	32、64	511.719	511.719	390.625	390.625	322.266	MHz
		64	64、128	511.719	440.781	402.891	402.832	195.313	MHz
		20	20、40	409.375	409.375	312.500	312.500	257.813	MHz
		40	40、80	409.375	409.375	312.500	350.000	257.813	MHz
		80	80、160	409.375	352.625	322.313	352.625	156.250	MHz
FTXIN2	TXUSRCLK2 ⁷ 最高频率	16	16	511.719	511.719	390.625	390.625	322.266	MHz
		16	32	255.859	255.859	195.313	195.313	161.133	MHz
		32	32	511.719	511.719	390.625	390.625	322.266	MHz
		32	64	255.859	255.859	195.313	195.313	161.133	MHz
		64	64	511.719	440.781	402.891	402.832	195.313	MHz
		64	128	255.859	220.391	201.445	201.416	97.656	MHz
		20	20	409.375	409.375	312.500	312.500	257.813	MHz
		20	40	204.688	204.688	156.250	156.250	128.906	MHz
		40	40	409.375	409.375	312.500	350.000	257.813	MHz
		40	80	204.688	204.688	156.250	175.000	128.906	MHz
		80	80	409.375	352.625	322.313	352.625	156.250	MHz
		80	160	204.688	176.313	161.156	176.313	78.125	MHz

表 69: GTY 收发器用户时钟开关特性 (续)

标识	描述 ¹	数据宽度条件 (位)		速度等级和 V _{CCINT} 工作电压					单位
				0.90V	0.85V		0.72V		
		内部逻辑	互联逻辑	-3 ²	-2 ^{2,3}	-1 ^{4,5,6}	-2 ³	-1 ⁵	
F _{RXIN2}	RXUSRCLK2 ⁷ 最高频率	16	16	511.719	511.719	390.625	390.625	322.266	MHz
		16	32	255.859	255.859	195.313	195.313	161.133	MHz
		32	32	511.719	511.719	390.625	390.625	322.266	MHz
		32	64	255.859	255.859	195.313	195.313	161.133	MHz
		64	64	511.719	440.781	402.891	402.832	195.313	MHz
		64	128	255.859	220.391	201.445	201.416	97.656	MHz
		20	20	409.375	409.375	312.500	312.500	257.813	MHz
		20	40	204.688	204.688	156.250	156.250	128.906	MHz
		40	40	409.375	409.375	312.500	350.000	257.813	MHz
		40	80	204.688	204.688	156.250	175.000	128.906	MHz
		80	80	409.375	352.625	322.313	352.625	156.250	MHz
		80	160	204.688	176.313	161.156	176.313	78.125	MHz

注释:

- 必须按《UltraScale 架构 GTY 收发器用户指南》(UG578) 中所述来实现时钟设置。
- 对于速度等级 -3E、-2E 和 -2I, 16 位和 20 位内部数据路径只能用于低于 8.1875 Gb/s 的线速。
- 对于速度等级 -2LE, 16 位和 20 位内部数据路径只能用于低于 8.1875 Gb/s (当 V_{CCINT} = 0.85V 时) 或 6.25 Gb/s (当 V_{CCINT} = 0.72V 时) 的线速。
- 对于速度等级 -1E、-1I 和 -1M, 16 位和 20 位内部数据路径只能用于低于 6.25 Gb/s 的线速。
- 对于速度等级 -1LI, 16 位和 20 位内部数据路径只能用于低于 6.25 Gb/s (当 V_{CCINT} = 0.85V 时) 或 5.15625 Gb/s (当 V_{CCINT} = 0.72V 时) 的线速。
- 对于速度等级 -1E、-1I 和 -1M, 仅限 64 位或 80 位内部数据路径才能用于高于 12.5 Gb/s 的线速。
- 使用变速箱时, 这些最大值对应 XCLK。如需了解更多信息, 请参阅《UltraScale 架构 GTY 收发器用户指南》(UG578) 中的“TX 异步变速箱的有效数据宽度组合”表。

表 70: GTY 收发器发射器开关特性

标识	描述	条件	最小值	典型值	最大值	单位
F _{GTYTX}	串行数据速率范围		0.500	-	F _{GTYMAX}	Gb/s
T _{RTX}	TX 上升时间	20%-80%	-	21	-	ps
T _{FTX}	TX 下降时间	80%-20%	-	21	-	ps
T _{LLSKEW}	TX 通道间偏差 ¹		-	-	500.00	ps
T _{J32.75}	总抖动 ^{2,4}	32.75 Gb/s	-	-	0.35	UI
D _{J32.75}	确定性抖动 ^{2,4}		-	-	0.19	UI
T _{J28.21}	总抖动 ^{2,4}	28.21 Gb/s	-	-	0.28	UI
D _{J28.21}	确定性抖动 ^{2,4}		-	-	0.17	UI
T _{J16.375}	总抖动 ^{2,4}	16.375 Gb/s	-	-	0.28	UI
D _{J16.375}	确定性抖动 ^{2,4}		-	-	0.17	UI
T _{J15.0}	总抖动 ^{2,4}	15.0 Gb/s	-	-	0.28	UI
D _{J15.0}	确定性抖动 ^{2,4}		-	-	0.17	UI
T _{J14.1}	总抖动 ^{2,4}	14.1 Gb/s	-	-	0.28	UI
D _{J14.1}	确定性抖动 ^{2,4}		-	-	0.17	UI

表 70: GTY 收发器发射器开关特性 (续)

标识	描述	条件	最小值	典型值	最大值	单位
T _{J14.1}	总抖动 ^{2,4}	14.025 Gb/s	-	-	0.28	UI
D _{J14.1}	确定性抖动 ^{2,4}		-	-	0.17	UI
T _{J13.1}	总抖动 ^{2,4}	13.1 Gb/s	-	-	0.28	UI
D _{J13.1}	确定性抖动 ^{2,4}		-	-	0.17	UI
T _{J12.5_QPLL}	总抖动 ^{2,4}	12.5 Gb/s	-	-	0.28	UI
D _{J12.5_QPLL}	确定性抖动 ^{2,4}		-	-	0.17	UI
T _{J12.5_CPLL}	总抖动 ^{3,4}	12.5 Gb/s	-	-	0.33	UI
D _{J12.5_CPLL}	确定性抖动 ^{3,4}		-	-	0.17	UI
T _{J11.3_QPLL}	总抖动 ^{2,4}	11.3 Gb/s	-	-	0.28	UI
D _{J11.3_QPLL}	确定性抖动 ^{2,4}		-	-	0.17	UI
T _{J10.3125_QPLL}	总抖动 ^{2,4}	10.3125 Gb/s	-	-	0.28	UI
D _{J10.3125_QPLL}	确定性抖动 ^{2,4}		-	-	0.17	UI
T _{J10.3125_CPLL}	总抖动 ^{3,4}	10.3125 Gb/s	-	-	0.33	UI
D _{J10.3125_CPLL}	确定性抖动 ^{3,4}		-	-	0.17	UI
T _{J9.953_QPLL}	总抖动 ^{2,4}	9.953 Gb/s	-	-	0.28	UI
D _{J9.953_QPLL}	确定性抖动 ^{2,4}		-	-	0.17	UI
T _{J9.953_CPLL}	总抖动 ^{3,4}	9.953 Gb/s	-	-	0.33	UI
D _{J9.953_CPLL}	确定性抖动 ^{3,4}		-	-	0.17	UI
T _{J8.0}	总抖动 ^{3,4}	8.0 Gb/s	-	-	0.32	UI
D _{J8.0}	确定性抖动 ^{3,4}		-	-	0.17	UI
T _{J6.6}	总抖动 ^{3,4}	6.6 Gb/s	-	-	0.30	UI
D _{J6.6}	确定性抖动 ^{3,4}		-	-	0.15	UI
T _{J5.0}	总抖动 ^{3,4}	5.0 Gb/s	-	-	0.30	UI
D _{J5.0}	确定性抖动 ^{3,4}		-	-	0.15	UI
T _{J4.25}	总抖动 ^{3,4}	4.25 Gb/s	-	-	0.30	UI
D _{J4.25}	确定性抖动 ^{3,4}		-	-	0.15	UI
T _{J3.20}	总抖动 ^{3,4}	3.20 Gb/s ⁵	-	-	0.20	UI
D _{J3.20}	确定性抖动 ^{3,4}		-	-	0.10	UI
T _{J2.5}	总抖动 ^{3,4}	2.5 Gb/s ⁶	-	-	0.20	UI
D _{J2.5}	确定性抖动 ^{3,4}		-	-	0.10	UI
T _{J1.25}	总抖动 ^{3,4}	1.25 Gb/s ⁷	-	-	0.15	UI
D _{J1.25}	确定性抖动 ^{3,4}		-	-	0.06	UI
T _{J500}	总抖动 ^{3,4}	500 Mb/s ⁸	-	-	0.10	UI
D _{J500}	确定性抖动 ^{3,4}		-	-	0.03	UI

注释:

- 按最大线速, 针对最多四个连续发射器 (其中之一为完全填充的 GTY Quad) 使用相同 REFCLK 输入 (启用 TX 相位对齐)。
- 使用 QPLL_FBDIV = 40, 内部数据位宽为 20 位。这些值并非旨在用于协议相关兼容性判定。
- 使用 QPLL_FBDIV = 2, 内部数据位宽为 20 位。这些值并非旨在用于协议相关兼容性判定。
- 所有抖动值都是基于误码率 10^{-12} 得出的。
- CPLL 频率为 3.2 GHz 且 TXOUT_DIV = 2。
- CPLL 频率为 2.5 GHz 且 TXOUT_DIV = 2。
- CPLL 频率为 2.5 GHz 且 TXOUT_DIV = 4。
- CPLL 频率为 2.0 GHz 且 TXOUT_DIV = 8。

表 71: GTY 收发器接收器开关特性

标识	描述		条件	最小值	典型值	最大值	单位
F _{GTYRX}	串行数据速率			0.500	-	F _{GTYMAX}	Gb/s
R _{XSSST}	接收器扩展频谱跟踪 ¹		以 33 kHz 的频率调制	-5000	-	0	ppm
R _{XRL}	运行长度 (CID)			-	-	256	UI
R _{XPMTOL}	数据/REFCLK PPM 偏移容限		比特率 ≤ 6.6 Gb/s	-1250	-	1250	ppm
			比特率 > 6.6 Gb/s 且 ≤ 8.0 Gb/s	-700	-	700	ppm
			比特率 > 8.0 Gb/s	-200	-	200	ppm
SJ 抖动容限 ²							
J _{T_SJ32.75}	正弦抖动 (QPLL) ³		32.75 Gb/s	0.25	-	-	UI
J _{T_SJ28.21}	正弦抖动 (QPLL) ³		28.21 Gb/s	0.30	-	-	UI
J _{T_SJ16.375}	正弦抖动 (QPLL) ³		16.375 Gb/s	0.30	-	-	UI
J _{T_SJ15.0}	正弦抖动 (QPLL) ³		15.0 Gb/s	0.30	-	-	UI
J _{T_SJ14.1}	正弦抖动 (QPLL) ³		14.1 Gb/s	0.30	-	-	UI
J _{T_SJ13.1}	正弦抖动 (QPLL) ³		13.1 Gb/s	0.30	-	-	UI
J _{T_SJ12.5}	正弦抖动 (QPLL) ³		12.5 Gb/s	0.30	-	-	UI
J _{T_SJ11.3}	正弦抖动 (QPLL) ³		11.3 Gb/s	0.30	-	-	UI
J _{T_SJ10.32_QPLL}	正弦抖动 (QPLL) ³		10.32 Gb/s	0.30	-	-	UI
J _{T_SJ10.32_CPLL}	正弦抖动 (CPLL) ³		10.32 Gb/s	0.30	-	-	UI
J _{T_SJ9.953_QPLL}	正弦抖动 (QPLL) ³		9.953 Gb/s	0.30	-	-	UI
J _{T_SJ9.953_CPLL}	正弦抖动 (CPLL) ³		9.953 Gb/s	0.30	-	-	UI
J _{T_SJ8.0}	正弦抖动 (CPLL) ³		8.0 Gb/s	0.42	-	-	UI
J _{T_SJ6.6}	正弦抖动 (CPLL) ³		6.6 Gb/s	0.44	-	-	UI
J _{T_SJ5.0}	正弦抖动 (CPLL) ³		5.0 Gb/s	0.44	-	-	UI
J _{T_SJ4.25}	正弦抖动 (CPLL) ³		4.25 Gb/s	0.44	-	-	UI
J _{T_SJ3.2}	正弦抖动 (CPLL) ³		3.2 Gb/s ⁴	0.45	-	-	UI
J _{T_SJ2.5}	正弦抖动 (CPLL) ³		2.5 Gb/s ⁵	0.30	-	-	UI
J _{T_SJ1.25}	正弦抖动 (CPLL) ³		1.25 Gb/s ⁶	0.30	-	-	UI
J _{T_SJ500}	正弦抖动 (CPLL) ³		500 Mb/s ⁷	0.30	-	-	UI
SJ 抖动容限 (含压力眼图) ²							
J _{T_TJSE3.2}	总抖动 (含压力眼图) ⁸		3.2 Gb/s	0.70	-	-	UI
J _{T_TJSE6.6}			6.6 Gb/s	0.70	-	-	UI
J _{T_SJSE3.2}	正弦抖动 (含压力眼图) ⁸		3.2 Gb/s	0.10	-	-	UI
J _{T_SJSE6.6}			6.6 Gb/s	0.10	-	-	UI

注释:

1. 使用 RXOUT_DIV = 1、2 和 4。
2. 所有抖动值都是基于误码率 10⁻¹² 得出的。
3. 注入的正弦抖动频率为 80 MHz。
4. CPLL 频率为 3.2 GHz 且 RXOUT_DIV = 2。
5. CPLL 频率为 2.5 GHz 且 RXOUT_DIV = 2。
6. CPLL 频率为 2.5 GHz 且 RXOUT_DIV = 4。
7. CPLL 频率为 2.0 GHz 且 RXOUT_DIV = 8。
8. 启用 RX 均衡器的组合抖动。DFE 已禁用。

GTy 收发器电气兼容性

《UltraScale 架构 GTy 收发器用户指南》(UG578) 包含推荐的使用模式, 旨在确保符合下表中所列协议的要求。收发器向导为这些用例以及协议相关特性提供了推荐设置。

表 72: GTy 收发器协议列表

协议	规格	串行速率 (Gb/s)	电气兼容性
CAUI-4	IEEE 802.3-2012	25.78125	兼容
28 Gb/s 背板	CEI-25G-LR	25-28.05	兼容
Interlaken	OIF-CEI-6G、OIF-CEI-11GSR 和 OIF-CEI-28G-MR	4.25-25.78125	兼容
100GBASE-KR4	IEEE 802.3bj-2014 和 CEI-25G-LR	25.78125	兼容 ¹
100GBASE-CR4	IEEE 802.3bj-2014 和 CEI-25G-LR	25.78125	兼容 ¹
50GBASE-KR4	IEEE 802.3by-2014, CEI-25G-LR	25.78125	兼容 ¹
50GBASE-CR4	IEEE 802.3by-2014 和 CEI-25G-LR	25.78125	兼容 ¹
25GBASE-KR4	IEEE 802.3by-2014, CEI-25G-LR	25.78125	兼容 ¹
25GBASE-CR4	IEEE 802.3by-2014, CEI-25G-LR	25.78125	兼容 ¹
OTU4 (OTL4.4) CFP2	OIF-CEI-28G-VSR	27.952493-32.75	兼容
OTU4 (OTL4.4) CFP	OIF-CEI-11G-MR	11.18-13.1	兼容
CAUI-10	IEEE 802.3-2012	10.3125	兼容
nPPI	IEEE 802.3-2012	10.3125	兼容
10GBASE-KR ²	IEEE 802.3-2012	10.3125	兼容
SFP+	SFF-8431 (SR 和 LR)	9.95328-11.10	兼容
XFP	INF-8077i 4.5 修订版	10.3125	兼容
RXAUI	CEI-6G-SR	6.25	兼容
XAUI	IEEE 802.3-2012	3.125	兼容
1000BASE-X	IEEE 802.3-2012	1.25	兼容
5.0G 以太网	IEEE 802.3bx (PAR)	5	兼容
2.5G 以太网	IEEE 802.3bx (PAR)	2.5	兼容
HiGig、HiGig+ 和 HiGig2	IEEE 802.3-2012	3.74、6.6	兼容
QSGMII	QSGMII v1.2 (Cisco System ENG-46158)	5	兼容
OTU2	ITU G.8251	10.709225	兼容
OTU4 (OTL4.10)	OIF-CEI-11G-SR	11.180997	兼容
OC-3/12/48/192	GR-253-CORE	0.1555-9.956	兼容
PCIe Gen1、2 和 3	PCI Express Base 3.0	2.5、5.0 和 8.0	兼容
SDI ³	SMPTE 424M-2006	0.27-2.97	兼容
UHD-SDI ³	SMPTE ST-2081 6G 和 SMPTE ST-2082 12G	6 和 12	兼容
混合内存立方体 (HMC)	HMC-15G-SR	10、12.5 和 15.0	兼容
MoSys 带宽引擎	CEI-11-SR 和 CEI-11-SR (已超频)	10.3125、15.5	兼容
CPRI	CPRI_v_6_1_2014-07-01	0.6144-12.165	兼容
无源光纤网络 (PON)	10G-EPON、1G-EPON、NG-PON2、XG-PON 和 2.5G-PON	0.155-10.3125	兼容
JESD204a/b	OIF-CEI-6G、OIF-CEI-11G	3.125-12.5	兼容
Serial RapidIO	RapidIO 规格 3.1	1.25-10.3125	兼容
DisplayPort	DP 1.2B CTS	1.62-5.4	兼容 ³
光纤通道	FC-P1-4	1.0625-14.025	兼容
SATA Gen1、2 和 3	串行 ATA 修订版 3.0 规格	1.5、3.0 和 6.0	兼容

表 72: GTY 收发器协议列表 (续)

协议	规格	串行速率 (Gb/s)	电气兼容性
SAS Gen1、2 和 3	T10/BSR INCITS 519	3.0、6.0 和 12.0	兼容
SFI-5	OIF-SFI5-01.0	0.625 - 12.5	兼容
Aurora	CEI-6G、CEI-11G-LR	所有速率	兼容

注释:

1. 奈奎斯特区域内发生 25 dB 损失 (无 FEC)。
2. 发射器的转换时间比 IEEE Std 802.3-2012 规格更快。
3. 本协议需要外部电路才能实现兼容。

Interlaken 集成接口块

如需获取有关使用 Interlaken 集成接口块的解决方案的更多信息和相关文档, 请参阅 [UltraScale+ Interlaken](#)。《UltraScale 架构和产品数据手册: 简介》(DS890) 列出了每个 Kintex UltraScale+ FPGA 中的块数量。本节描述了以下 Interlaken 配置。

- 12 x 12.5 Gb/s 协议和通道逻辑模式 (表 73)。
- 6 x 25.78125 Gb/s 和 6 x 28.21 Gb/s 协议和通道逻辑模式 (表 74)。
- 12 x 25.78125 Gb/s 仅限通道逻辑模式 (表 75)。

仅限使用 12 x 12.5 Gb/s Interlaken 配置时才支持 SFVB784、SFRB784、SFVA676、FFVD900、FFVA1156 和 FFRA1156 封装中的 Kintex UltraScale+ FPGA。请参阅 [F_{GTMAX}](#) 最大线速。

表 73: Interlaken 12 x 12.5 Gb/s 协议和通道逻辑模式设计的最高性能

标识	描述	速度等级和 V _{CCINT} 工作电压										单位
		0.90V		0.85V				0.72V				
		-3	-2	-1	-2	-1						
F _{RX_SERDES_CLK}	接收串行器/解串器时钟	195.32	195.32	195.32	195.32	195.32	195.32	195.32	195.32	195.32	MHz	
F _{TX_SERDES_CLK}	发射串行器/解串器时钟	195.32	195.32	195.32	195.32	195.32	195.32	195.32	195.32	195.32	MHz	
F _{DRP_CLK}	动态重新配置端口时钟	250.00	250.00	250.00	250.00	250.00	250.00	250.00	250.00	250.00	MHz	
		最小值 ₁	最大值	最小值 ₁	最大值	最小值 ₁	最大值	最小值 ₁	最大值	最小值 ₁	最大值	
F _{CORE_CLK}	Interlaken 核时钟	300.00	322.27	300.00	322.27	300.00	322.27	300.00	322.27	300.00	322.27	MHz
F _{LBUS_CLK}	Interlaken 本地总线时钟	300.00	322.27	300.00	322.27	300.00	322.27	300.00	322.27	300.00	322.27	MHz

注释:

1. 这些值是处于最高通道性能时的最低时钟频率。

表 74: Interlaken 6 x 25.78125 Gb/s 和 6 x 28.21 Gb/s 协议和通道逻辑模式设计的最高性能

标识	描述	速度等级和 V _{CCINT} 工作电压										单位
		0.90V		0.85V				0.72V				
		-3 ¹		-2 ¹		-1		-2		-1		
F _{RX_SERDES_CLK}	接收串行器/解串器时钟	440.79		440.79		不适用		402.84		不适用		MHz
F _{TX_SERDES_CLK}	发射串行器/解串器时钟	440.79		440.79		不适用		402.84		不适用		MHz
F _{DRP_CLK}	动态重新配置端口时钟	250.00		250.00		不适用		250.00		不适用		MHz
		最小值 ²	最大值	最小值 ²	最大值	最小值	最大值	最小值 ²	最大值	最小值	最大值	
F _{CORE_CLK}	Interlaken 核时钟	412.50 ³	479.20	412.50 ³	479.20	不适用		412.50	429.69	不适用		MHz
F _{LBUS_CLK}	Interlaken 本地总线时钟	300.00 ⁴	349.52	300.00 ⁴	349.52	不适用		300.00	349.52	不适用		MHz

注释:

1. 仅限在 -2 (V_{CCINT} = 0.85V) 和 -3 (V_{CCINT} = 0.90V) 速度等级中才支持 6 x 28.21 模式。
2. 这些值是处于最高通道性能时的最低时钟频率。
3. 针对 6 x 28.21 Gb/s 协议, CORE_CLK 最小值为 451.36 MHz。
4. 针对 6 x 28.21 Gb/s 协议, LBUS_CLK 最小值为 330.00 MHz。

表 75: Interlaken 12 x 25.78125 Gb/s 仅限通道逻辑模式设计的最高性能

标识	描述	速度等级和 V _{CCINT} 工作电压					单位
		0.90V	0.85V		0.72V		
		-3	-2	-1	-2	-1	
F _{RX_SERDES_CLK}	接收串行器/解串器时钟	402.84	402.84	不适用	不适用	不适用	MHz
F _{TX_SERDES_CLK}	发射串行器/解串器时钟	402.84	402.84	不适用	不适用	不适用	MHz
F _{DRP_CLK}	动态重新配置端口时钟	250.00	250.00	不适用	不适用	不适用	MHz
F _{CORE_CLK}	Interlaken 核时钟	412.50	412.50	不适用	不适用	不适用	MHz
F _{LBUS_CLK}	Interlaken 本地总线时钟	349.52	349.52	不适用	不适用	不适用	MHz

100G 以太网 MAC 和 PCS 的集成接口块

如需获取有关使用集成 100 Gb/s 以太网块的解决方案的更多信息和相关文档, 请参阅 [UltraScale+ Integrated 100G Ethernet MAC/PCS](#)。《UltraScale 架构和产品数据手册: 简介》(DS890) 列出了每个 Kintex UltraScale+ FPGA 中的块数量。

表 76: 100G 以太网设计的最高性能

标识	描述	速度等级和 V _{CCINT} 工作电压					单位
		0.90V	0.85V		0.72V		
		-3	-2	-1	-2	-1	
CAUI-10 模式							
F _{TX_CLK}	发射时钟	390.625	390.625	322.266	322.266	322.266	MHz
F _{RX_CLK}	接收时钟	390.625	390.625	322.266	322.266	322.266	MHz
F _{RX_SERDES_CLK}	接收串行器/解串行器时钟	390.625	390.625	322.266	322.266	322.266	MHz
F _{DRP_CLK}	动态重新配置端口时钟	250.00	250.00	250.00	250.00	250.00	MHz
CAUI-4、CAUI-4 + RS-FEC 和 RS-FEC 转码旁路模式							
F _{TX_CLK}	发射时钟	390.625	322.266	322.266	322.266	不适用	MHz
F _{RX_CLK}	接收时钟	390.625	322.266	322.266	322.266	不适用	MHz
F _{RX_SERDES_CLK}	接收串行器/解串行器时钟	390.625	322.266	322.266	322.266	不适用	MHz
F _{DRP_CLK}	动态重新配置端口时钟	250.00	250.00	250.00	250.00	不适用	MHz

PCI Express 设计的集成接口块

如需获取有关 PCI Express® 设计的更多信息和相关文档, 请参阅 [PCI Express](#)。《UltraScale 架构和产品数据手册: 简介》(DS890) 列出了每个 Kintex UltraScale+ FPGA 中的块数量。

表 77: PCI Express 设计的最高性能

标识	描述	速度等级和 V _{CCINT} 工作电压					单位
		0.90V	0.85V		0.72V		
		-3	-2	-1	-2	-1	
F _{PIPECLK}	管道时钟最高频率	250.00	250.00	250.00	250.00	250.00	MHz
F _{CORECLK}	核时钟最高频率	500.00	500.00	500.00	250.00	250.00	MHz
F _{DRPCLK}	DRP 时钟最高频率	250.00	250.00	250.00	250.00	250.00	MHz
F _{MCAPCLK}	MCAP 时钟最高频率	125.00	125.00	125.00	125.00	125.00	MHz

系统监控器规格

表 78: 系统监控器规格

参数	标识	注释/条件	最小值	典型值	最大值	单位
V _{CCADC} = 1.8V ±3%, V _{REFP} = 1.25V, V _{REFN} = 0V, ADCCLK = 5.2 MHz, T _j = -40°C 到 100°C, T _j = 40°C 时的典型值						
ADC 准确性¹						
分辨率			10	-	-	比特
积分非线性 ²	INL		-	-	±1.5	LSB
差分非线性	DNL	无缺失代码, 保证独立	-	-	±1	LSB
偏移误差		已启用偏移校准	-	-	±2	LSB
增益误差			-	-	±0.4	%
采样率			-	-	0.2	MS/s
RMS 代码噪声	外部 1.25V 参考		-	-	1	LSB
	片上参考		-	1	-	LSB

表 78: 系统监控器规格 (续)

参数	标识	注释/条件	最小值	典型值	最大值	单位
扩展级温度的 ADC 准确性						
分辨率		T _J = -55°C 到 125°C	10	-	-	比特
积分非线性 ²	INL	T _J = -55°C 到 125°C	-	-	±1.5	LSB
差分非线性	DNL	无缺失代码, 保证独立 T _J = -55°C 到 125°C	-	-	±1	
模拟输入 ²						
ADC 输入范围	单极操作		0	-	1	V
	双极操作		-0.5	-	+0.5	V
	单极共模范围 (FS 输入)		0	-	+0.5	V
	双极共模范围 (FS 输入)		+0.5	-	+0.6	V
最大外部通道输入范围	这些范围内设置的相邻通道不应破坏相邻通道的测量值		-0.1	-	V _{CCADC}	V
片上传感器准确性						
温度传感器错误 ^{1,3}	T _J = -55°C 到 125°C (含外部 REF)		-	-	±3	°C
	T _J = -55°C 到 110°C (含内部 REF)		-	-	±3.5	°C
	T _J = 110°C 到 125°C (含内部 REF)		-	-	±5	°C
电源传感器错误 ⁴	供电电压 0.72V 到 1.2V T _J = -40°C 到 100°C (含外部 REF)		-	-	±0.5	%
	供电电压 0.72V 到 1.2V T _J = -55°C 到 125°C (含外部 REF)		-	-	±1.0	%
	所有其他供电电压 T _J = -40°C 到 100°C (含外部 REF)		-	-	±1.0	%
	所有其他供电电压 T _J = -55°C 到 125°C (含外部 REF)		-	-	±2.0	%
	供电电压 0.72V 到 1.2V T _J = -40°C 到 100°C (含内部 REF)		-	-	±1.0	%
	供电电压 0.72V 到 1.2V T _J = -55°C 到 125°C (含内部 REF)		-	-	±2.0	%
	所有其他供电电压 T _J = -40°C 到 100°C (含内部 REF)		-	-	±1.5	%
	所有其他供电电压 T _J = -55°C 到 125°C (含内部 REF)		-	-	±2.5	%
转换率 ⁵						
转换时间 (连续)	t _{CONV}	ADCCLK 循环次数	26	-	32	循环次数
转换时间 (事件)	t _{CONV}	ADCCLK 循环次数	-	-	21	循环次数
DRP 时钟频率	DCLK	DRP 时钟频率	8	-	250	MHz
ADC 时钟频率	ADCCLK	派生自 DCLK	1	-	5.2	MHz
DCLK 占空比			40	-	60	%
SYSMON 参考 ⁶						
外部参考	V _{REFP}	外部供电参考电压	1.20	1.25	1.30	V

表 78: 系统监控器规格 (续)

参数	标识	注释/条件	最小值	典型值	最大值	单位
片上参考		接地 V_{REFP} 引脚到 AGND, $T_j = -40^{\circ}\text{C}$ 到 100°C	1.2375	1.25	1.2625	V
		接地 V_{REFP} 引脚到 AGND, $T_j = -55^{\circ}\text{C}$ 到 125°C	1.225	1.25	1.275	V

注释:

- 通过启用 ADC 自动偏移校准功能即可消除 ADC 偏移误差。此处的值是针对启用该功能的情况指定的。
- 请参阅《UltraScale 架构系统监控器用户指南》(UG580) 中的“模拟输入”部分。
- 从 PMBus 接口直接读取温度时, 由于 PMBus 应用所使用的传递函数, SYSMON 存在 $+4^{\circ}\text{C}$ 偏差。例如, 通过 PMBus 接口读取温度时, 外部 REF 温度传感器误差范围从 $\pm 3^{\circ}\text{C}$ 变为 $+1^{\circ}\text{C}$ 到 $+7^{\circ}\text{C}$ 。
- 通过启用自动偏移和增益校准功能即可消除电源传感器偏移误差和增益误差。此处的值是针对启用该功能的情况指定的。
- 请参阅《UltraScale 架构系统监控器用户指南》(UG580) 中的“调整获取稳定时间”部分以了解相关信息。
- 只要参考电压不同于额定 $V_{REFP} = 1.25\text{V}$ 和 $V_{REFN} = 0\text{V}$, 就会导致与理想传递函数产生偏差。这也会影响内部传感器测量值 (例如, 温度和电源) 的准确性。但对于外部比率型应用, 允许参考值存在 $\pm 4\%$ 的变化范围。

SYSMON I2C/PMBus 接口

表 79: SYSMON I2C 快速模式接口开关特性

标识	描述 ¹	最小值	最大值	单位
T_{SMFCKL}	SCL 低电平时间	1.3	-	μs
T_{SMFCKH}	SCL 高电平时间	0.6	-	μs
T_{SMFCKO}	SDAO 时钟到输出延迟	-	900	ns
T_{SMFDCK}	SDAI 建立时间	100	-	ns
F_{SMFCLK}	SCL 时钟频率	-	400	kHz

注释:

- 测试条件是根据 LVCMOS 1.8V I/O 标准配置的。

表 80: SYSMON I2C 标准模式接口开关特性

标识	描述 ¹	最小值	最大值	单位
T_{SMSCKL}	SCL 低电平时间	4.7	-	μs
T_{SMSCKH}	SCL 高电平时间	4.0	-	μs
T_{SMSCKO}	SDAO 时钟到输出延迟	-	3450	ns
T_{SMSDCK}	SDAI 建立时间	250	-	ns
F_{SMSCLK}	SCL 时钟频率	-	100	kHz

注释:

- 测试条件是根据 LVCMOS 1.8V I/O 标准配置的。

配置开关特性

表 81: 配置开关特性

标识	描述		速度等级和 V _{CCINT} 工作电压					单位
			0.90V	0.85V		0.72V		
			-3	-2	-1	-2	-1	
上电时序特性								
T _{PL}	程序时延		7.5	7.5	7.5	7.5	7.5	ms, 最大值
T _{POR}	上电复位（最大 40 ms 缓升速率）		65	65	65	65	65	ms, 最大值
			0	0	0	0	0	ms, 最小值
	含 POR 覆盖的上电复位（最大 2 ms 缓升速率）		15	15	15	15	15	ms, 最大值
			5	5	5	5	5	ms, 最小值
T _{PROGRAM}	程序脉冲宽度		250	250	250	250	250	ns, 最小值
CCLK 输出（主模式）								
T _{ICCK}	来自 INIT_B 的主 CCLK 输出延迟		150	150	150	150	150	ns, 最小值
T _{MCCKL} ¹	主 CCLK 时钟低电平时间占空比		40/60	40/60	40/60	40/60	40/60	%, 最小值/ 最大值
T _{MCCKH}	主 CCLK 时钟高电平时间占空比		40/60	40/60	40/60	40/60	40/60	%, 最小值/ 最大值
F _{MCCK}	主 SPI/BPI CCLK 频率	XCKU3P、XCKU5P 和 XQKU5P	125	125	125	60	60	MHz, 最大值
		所有其他器件	150	150	150	125	125	
F _{MCCK_START}	配置启动时的主 CCLK 频率		2.70	2.70	2.70	2.70	2.70	MHz, 典型值
F _{MCCKTOL}	有关额定 CCLK 的主模式频率容限		±15	±15	±15	±15	±15	%, 最大值
CCLK 输入（从模式）								
T _{SCCKL}	从 CCLK 时钟最短低电平时间		2.5	2.5	2.5	2.5	2.5	ns, 最小值
T _{SCCKH}	从 CCLK 时钟最短高电平时间		2.5	2.5	2.5	2.5	2.5	ns, 最小值
F _{SCCK}	从串行/从 SelectMAP CCLK 频率	XCKU3P、XCKU5P 和 XQKU5P	125	125	125	60	60	MHz, 最大值
		所有其他器件	125	125	125	125	125	
EMCCLK 输入（主模式）								
T _{EMCCKL}	外部主 CCLK 低电平时间		2.5	2.5	2.5	2.5	2.5	ns, 最小值
T _{EMCCKH}	外部主 CCLK 高电平时间		2.5	2.5	2.5	2.5	2.5	ns, 最小值
F _{EMCCK}	外部主 CCLK 频率	XCKU3P、XCKU5P 和 XQKU5P	125	125	125	60	60	MHz, 最大值
		所有其他器件	150	150	150	125	125	
内部配置访问端口								
F _{ICAPCK}	内部配置访问端口 (ICAPE3)		200	200	200	150	150	MHz, 最大值
从串行模式编程开关								
T _{DCCK} /T _{CCKD}	D _{IN} 建立/保持		3.0/0	3.0/0	3.0/0	4.0/0	4.0/0	ns, 最小值
T _{CCO}	D _{OUT} 时钟到输出		8.0	8.0	8.0	9.0	9.0	ns, 最大值
SelectMAP 模式编程开关								
T _{SMDCK} /T _{SMCKD}	D[31:00] 建立/保持	XCKU3P、XCKU5P 和 XQKU5P	4.5/0	4.5/0	4.5/0	8.0/0	8.0/0	ns, 最小值
		所有其他器件	3.5/0	3.5/0	3.5/0	4.5/0	4.5/0	

表 81: 配置开关特性 (续)

标识	描述		速度等级和 V _{CCINT} 工作电压					单位
			0.90V	0.85V		0.72V		
			-3	-2	-1	-2	-1	
T _{SMCSCCK} /T _{SMCCKCS}	CSI_B 建立/保持	XCKU3P、XCKU5P 和 XQKU5P	4.5/0	4.5/0	4.5/0	7.0/0	7.0/0	ns, 最小值
		所有其他器件	4.0/0	4.0/0	4.0/0	5.0/0	5.0/0	
T _{SMWCCK} /T _{SMCCKW}	RDWR_B 建立/保持	XCKU3P、XCKU5P 和 XQKU5P	10.0/0	10.0/0	10.0/0	17.0/0	17.0/0	ns, 最小值
		所有其他器件	10.0/0	10.0/0	10.0/0	11.0/0	11.0/0	
T _{SMCKCSO}	CSO_B 时钟到输出（需要 330Ω 上拉电阻）	XCKU3P、XCKU5P 和 XQKU5P	7.0	7.0	7.0	10.0	10.0	ns, 最大值
		所有其他器件	7.0	7.0	7.0	7.0	7.0	
T _{SMCO}	回读中的 D[31:00] 时钟到输出	XCKU3P、XCKU5P 和 XQKU5P	8.0	8.0	8.0	10.0	10.0	ns, 最大值
		所有其他器件	8.0	8.0	8.0	8.0	8.0	
F _{RBCK}	回读频率	XCKU3P、XCKU5P 和 XQKU5P	125	125	125	60	60	MHz, 最大值
		所有其他器件	125	125	125	125	125	
边界扫描端口时序规格								
T _{TAPTCK} /T _{TCKTAP}	TMS 和 TDI 建立/保持		3.0/2.0	3.0/2.0	3.0/2.0	3.0/2.0	3.0/2.0	ns, 最小值
T _{TCKTDO}	TCK 下降沿到 TDO 输出		7.0	7.0	7.0	7.0	7.0	ns, 最大值
F _{TCK}	TCK 频率	XCKU15P、XQKU15P	66	66	66	50	50	MHz, 最大值
		所有其他器件	66	66	66	66	66	
BPI 主闪存模式编程开关								
T _{BPICCO}	A[28:00]、RS[1:0]、FCS_B、FOE_B、FWE_B、ADV_B 时钟到输出		10	10	10	10	10	ns, 最大值
T _{BPIDCC} /T _{BPICCD}	D[15:00] 建立/保持	XCKU3P、XCKU5P 和 XQKU5P	4.5/0	4.5/0	4.5/0	8.0/0	8.0/0	ns, 最小值
		所有其他器件	3.5/0	3.5/0	3.5/0	4.5/0	4.5/0	
SPI 主闪存模式编程开关								
T _{SPIIDCC} /T _{SPIICD}	D[3:00] 建立/保持		3.0/0	3.0/0	3.0/0	4.0/0	4.0/0	ns, 最小值
T _{SPIIDCC} /T _{SPIICD}	D[7:04] 建立/保持	XCKU3P、XCKU5P 和 XQKU5P	4.5/0	4.5/0	4.5/0	8.0/0	8.0/0	ns, 最小值
		所有其他器件	3.5/0	3.5/0	3.5/0	4.5/0	4.5/0	
T _{SPIICCM}	MOSI 时钟到输出		8.0	8.0	8.0	8.0	8.0	ns, 最大值
T _{SPIICCM2}	D[04] 时钟到输出		10.0	10.0	10.0	10.0	10.0	ns, 最大值
T _{SPIICFC}	FCS_B 时钟到输出		8.0	8.0	8.0	8.0	8.0	ns, 最大值
T _{SPIICFC2}	FCS2_B 时钟到输出		10.0	10.0	10.0	10.0	10.0	ns, 最大值
DNA 端口开关								
F _{DNACK}	DNA 端口频率		200	200	200	175	175	MHz, 最大值
STARTUPE3 端口								
T _{USRCCLKO}	STARTUPE3 USRCCLKO 输入端口到 CCLK 引脚输出延迟		0.25/6.00	0.25/6.50	0.25/7.50	0.25/9.00	0.25/9.00	ns, 最小值/最大值
T _{DO}	DO[3:0] 端口到 D03-D00 引脚输出延迟		0.25/6.70	0.25/7.70	0.25/8.40	0.25/10.00	0.25/10.00	ns, 最小值/最大值
T _{DTS}	DTS[3:0] 端口到 D03-D00 引脚三态延迟		0.25/6.70	0.25/7.70	0.25/8.40	0.25/10.00	0.25/10.00	ns, 最小值/最大值

表 81: 配置开关特性 (续)

标识	描述	速度等级和 V _{CCINT} 工作电压					单位
		0.90V	0.85V		0.72V		
		-3	-2	-1	-2	-1	
T _{FCSBO}	FCSBO 端口到 FCS_B 引脚输出延迟	0.25/6.90	0.25/7.50	0.25/8.40	0.25/9.80	0.25/9.80	ns, 最小值/ 最大值
T _{FCSBTS}	FCSBTS 端口到 FCS_B 引脚三态延迟	0.25/6.90	0.25/7.50	0.25/8.40	0.25/9.80	0.25/9.80	ns, 最小值/ 最大值
T _{USRDONEO}	USRDONEO 端口到 DONE 引脚输出延迟	0.25/8.60	0.25/9.40	0.25/10.50	0.25/12.10	0.25/12.10	ns, 最小值/ 最大值
T _{USRDONETS}	USRDONETS 端口到 DONE 引脚三态延迟	0.25/8.60	0.25/9.40	0.25/10.50	0.25/12.10	0.25/12.10	ns, 最小值/ 最大值
T _{DI}	D03-D00 引脚到 DI[3:0] 端口输入延迟	0.5/2.6	0.5/3.1	0.5/3.5	0.5/4.0	0.5/4.0	ns, 最小值/ 最大值
F _{CFGMCLK}	STARTUPE3 CFGMCLK 输出频率	50	50	50	50	50	MHz, 典型值
F _{CFGMCLKTOL}	STARTUPE3 CFGMCLK 输出频率容限	±15	±15	±15	±15	±15	%, 最大值
T _{DCI_MATCH}	指定在启动循环中停止, 直至断言数控阻抗 (DCI) 匹配信号为止	4	4	4	4	4	ms, 最大值

注释:

1. 如果 CCLK 源自含“除以 1”设置的 EMCCLK 引脚, 那么外部 EMCCLK 必须满足此占空比要求。

修订历史

日期	版本	修订版说明
2019 年 7 月 12 日	1.15	在表 10 中新增注释 7。新增对应于使用 Vivado Design Suite v2019.1.1 或更高版本设计的 XC 器件的功能, 以提升表 25 中的 MIPI PHY 发射器/接收器性能。
2019 年 4 月 9 日	1.14	在此整个版本中, 新增 Vivado Design Suite 2018.3.1 v1.23 中 -1M 温度等级的 XQKU5P 和 XQKU15P 器件, 并且已更新表 20、表 21 和表 22。此版本还新增了加固型 FFRB676、SFRB784、FFRA1156 和 FFRE1517 封装。 在 FPGA 逻辑性能特性中已新增 LVDS 组件模式注释。 在 PCI Express 设计的集成接口块、注释 1、注释 2 和注释 3 中已删除 PCI Express Gen4 支持。
2018 年 8 月 1 日	1.13	已更新表 20、表 21 和表 22, 在 Vivado Design Suite 2018.2.1 v1.21 中已将 -3E 速度/温度等级的 XCKU9P 器件更新至量产级。 在表 24 中, 新增有关 LVDS RX DDR 最大数据的注释 4。 在表 76 中, 已将计算所得值从 322.223 修改为 322.266。
2018 年 6 月 18 日	1.12	在表 64 中已修改速度等级 -1 (V _{CCINT} = 0.85) F _{GTMAX} , 这导致表 69 中的值一并发生修改, 并新增注释 6。
2018 年 4 月 9 日	1.11	已更新表 20、表 21 和表 22, 在 Vivado Design Suite 2018.1 v1.19 中已将 -3E 速度/温度等级的 XCKU3P、XCKU5P、XCKU11P、XCKU13P 和 XCKU15P 器件更新至量产级。 新增表 43 和表 47。在表 46 中新增注释 2 和注释 3。 已修改表 76
2018 年 2 月 7 日	1.10	已更新表 20、表 21 和表 22, 在 Vivado Design Suite 2017.4.1 中已将 -2LE 和 -1LI 速度/温度等级的 XCKU11P 器件更新至量产级。已添加特定模式规格并已删除注释 1 和注释 2。 在表 28、表 40、表 41、表 42、表 44 和表 45 中已修改部分 -3E 和 -1LI/-2LE (V _{CCINT} = 0.72V) 速度文件。
2017 年 12 月 22 日	1.9	已更新表 21 和表 22, 在 Vivado Design Suite 2017.4 中已将 -1L、-2L、-1LV 和 -2LV 速度/温度等级的 XCKU15P 器件修改为量产级。
2017 年 11 月 28 日	1.8	已更新表 20、表 21 和表 22, 在 Vivado Design Suite 2017.4 中已将以下器件/速度/温度等级更新至量产级。 XCKU3P: -2LE 和 -1LI XCKU5P: -2LE 和 -1LI 在表 35 中已修改 F _{REFCLK} 描述。在表 64 中已修改 F _{GTQRANGE2} -1 速度等级最小值。在表 81 中新增 T _{SPICCM2} 和 T _{SPICFC2} 。

日期	版本	修订版说明
2017 年 11 月 17 日	1.7	在表 1 中, 已更正“系统监控器”部分的最低电压。 已更新表 20、表 21 和表 22, 在 Vivado Design Suite 2017.3.1 中已将以下器件/速度/温度等级更新至量产级。 XCKU9P: -2LE 和 -1LI XCKU13P: -2LE 和 -1LI 在表 40、表 41、表 42 和表 44 中已更新此版本的速度文件数据。在表 64 中已更新 F_{GTMAX} 的注释。
2017 年 10 月 5 日	1.6	在表 1 中, 已删除对应 HD I/O bank 的 I/O 输入的 V_{IN} 相关注释, 因为在表 4 中已涵盖这些电压的相关内容。 在表 1 中已更新 T_{SOL} (按封装)。在表 4 中新增注释 2。 已更新表 20、表 21 和表 22, 在 Vivado Design Suite 2017.3 v1.14 中已将 -2E、-2I、-1E、-1I 等级 (全部符合 $V_{CCINT} = 0.85V$) 的 XCKU11P 器件更新至量产级。在表 40、表 41、表 42、表 44 和表 45 中还更新了此发行版的速度文件数据。
2017 年 8 月 29 日	1.5	已更新表 20、表 21 和表 22, 在 Vivado Design Suite 2017.2.1 中已将以下器件/速度/温度等级更新至量产级。 XCKU15P: -2E、-2I、-1E、-1I (全部符合 $V_{CCINT} = 0.85V$) 在表 29 中, 已修改 DIFF_SSTL135_S、DIFF_SSTL15_DCI_S、DIFF_SSTL15_S、DIFF_SSTL18_I_DCI_S 和 DIFF_SSTL18_I_S 的 $T_{OUTBUF_DELAY_O_PAD} -2$ ($V_{CCINT} = 0.85V$) 值。 在表 28、表 29、表 30、表 40、表 41、表 42、表 44 和表 45 中已修改部分 -3E 和 -1LI/-2LE ($V_{CCINT} = 0.72V$) 速度文件。
2017 年 6 月 26 日	1.4	已更新表 20、表 21 和表 22, 在 Vivado Design Suite 2017.2 中已将以下器件/速度/温度等级更新至量产级。 XCKU13P: -2E、-2I、-1E、-1I (全部符合 $V_{CCINT} = 0.85V$) 在表 2 中已更新注释 11 以作澄清。在表 28、表 29、表 30、表 40、表 41、表 42、表 44 和表 45 中已修改 -3E 和 -1LI/-2LE ($V_{CCINT} = 0.72V$) 速度文件。在表 34 中已更新 F_{MAX} 标识名称和值。在表 36 中新增注释 1。在表 77 中新增注释 3。
2017 年 5 月 8 日	1.3	已更新表 21 和表 22, 在 Vivado Design Suite 2017.1 中已将以下器件/速度/温度等级更新至量产级。 XCKU9P: -2E、-2I、-1E 和 -1I 已从表 9 中删除 MIPI_DPHY_DCI_LP 标准 (HD I/O bank 从未支持 DCI)。在表 71 中已修改 32.75 Gb/s 条件下的正弦抖动最小值。
2017 年 4 月 11 日	1.2	已更新综述中的说明。在表 1 中, 已更新并新增数据, 已更新注释 6, 新增注释 7、注释 8 和注释 9。在表 2 中, 已更新并新增数据, 已修改注释 11, 新增注释 12 和注释 13。已更新表 3 并新增注释 6。在表 4 到表 6 中新增规格。在表 18 中已更新 V_{ICM} 最大值和注释 1。在表 19 中已更新 V_{ODIFF} 最大值。 已更新表 20、表 21 和表 22, 在 Vivado Design Suite 2017.1 中已将以下器件/速度/温度等级更新至量产级。 XCKU3P: -2E、-2I、-1E 和 -1I XCKU5P: -2E、-2I、-1E 和 -1I 在表 21 中新增注释 1。已更新表 23。已更新表 24 并新增注释 2。新增表 25。已更新表 27 并新增注释 3。在表 28、表 29、表 30、表 33、表 34、表 35、表 40、表 41、表 42、表 44、表 45 和表 46 中对速度规格进行了大量修改。在表 31 中已更新 V_L 和 V_H 值。在表 35 中, 新增 T_{MINPER_CLK} 和注释 1, 并已修改 F_{REFCLK}。在表 38 中新增 MMCM_FDPCLK_MAX, 在表 39 中新增 PLL_FDPCLK_MAX。已更新表 48。已修改 GTH 收发器规格和 GTY 收发器规格部分。已修改 Interlaken 集成接口块和 100G 以太网 MAC 和 PCS 的集成接口块部分。已更新系统监控器规格部分 (包括“片上传感器准确性”), 在表 78 中新增注释 3。在 SYSMON I2C/PMBus 接口部分中已删除时序图。已更新配置开关特性部分。在表 2 和表 3 中已删除“eFUSE 编程条件”表, 并新增规格。已更新表 81。已更新“关于与汽车相关用途的免责声明”。
2016 年 5 月 9 日	1.1	在表 1 中, 已修改 HP I/O bank 的 V_{IN}。在表 3 中已更新注释 5。在表 7 中新增值。在表 9、表 10 和表 12 中新增 MIPI_DPHY_DCI。在表 18 和表 19 中已更新并新增注释。已更新表 20 中的 Vivado Design Suite 2016.1 速度规格。已删除“表 23. 视频编解码器单元性能”。已更新表 24。已扩展并更新表 27。已更新表 28 和表 29。已更新表 31 和表 32, 新增 MIPI D-PHY 值。已更新表 31 和表 32。在表 33 中, 新增“块 RAM 和 FIFO 时钟到输出延迟”部分。已更新表 40 到表 45。在表 44 中已修改标识名称。在表 50 中已修改典型值。在表 52 中已更新 -2 (0.72V) 和 -1 (0.72V) 值。新增表 55 和表 67。在表 61 中新增注释 2。已修改表 69。在表 64、表 73 和表 76 中已修改数据并新增注释。在表 78 中已修改 INL。在表 79 和表 80 中新增注释。在表 81 中已修改多个部分。
2015 年 11 月 24 日	1.0	初始赛灵思版本。

请阅读：重要法律提示

本文向贵司/您所提供的信息（下称“资料”）仅在对赛灵思产品进行选择和使用参考。在适用法律允许的最大范围内：（1）资料均按“现状”提供，且不保证不存在任何瑕疵，赛灵思在此声明对资料及其状况不作任何保证或担保，无论是明示、暗示还是法定的保证，包括但不限于对适销性、非侵权性或任何特定用途的适用性的保证；且（2）赛灵思对任何因资料发生的或与资料有关的（含对资料的使用）任何损失或赔偿（包括任何直接、间接、特殊、附带或连带损失或赔偿，如数据、利润、商誉的损失或任何因第三方行为造成的任何类型的损失或赔偿），均不承担责任，不论该等损失或者赔偿是何种类或性质，也不论是基于合同、侵权、过失或是其他责任认定原理，即便该损失或赔偿可以合理预见或赛灵思事前被告知有发生该损失或赔偿的可能。赛灵思无义务纠正资料中包含的任何错误，也无义务对资料或产品说明书发生的更新进行通知。未经赛灵思公司的事先书面许可，贵司/您不得复制、修改、分发或公开展示本资料。部分产品受赛灵思有限保证条款的约束，请参阅赛灵思销售条款：<https://china.xilinx.com/legal.htm#tos>；IP 核可能受赛灵思向贵司/您签发的许可证中所包含的保证与支持条款的约束。赛灵思产品并非为故障安全保护目的而设计，也不具备此故障安全保护功能，不能用于任何需要专门故障安全保护性能的用途。如果把赛灵思产品应用于此类特殊用途，贵司/您将自行承担风险和责任。请参阅赛灵思销售条款：<https://china.xilinx.com/legal.htm#tos>。

关于与汽车相关用途的免责声明

如将汽车产品（部件编号中含“XA”字样）用于部署安全气囊或用于影响车辆控制的应用（“安全应用”），除非有符合 ISO 26262 汽车安全标准的安全概念或冗余特性（“安全设计”），否则不在质保范围内。客户应在使用或分销任何包含产品的系统之前为了安全的目的全面地测试此类系统。在未采用安全设计的条件下将产品用于安全应用的所有风险，由客户自行承担，并且仅在适用的法律法规对产品责任另有规定的情况下，适用该等法律法规的规定。